

1. Trajanje kolokvijuma 120 minuta.
2. Kolokvijum se radi u vežbanci.
3. Dozvoljena je upotreba kalkulatora.

Tehnološki parametri izrade MOS tranzistora su: $L=100nm$, $\mu_n C_{ox}=432\mu A/V^2$, $\mu_p C_{ox}=112\mu A/V^2$, $C_{ox}=1.6\mu F/cm^2$, $V_{Tn}=0.4V$, $V_{Tp}=-0.4V$, $E_{cn}L=0.6V$, $E_{cp}L=2.4V$, $\lambda \approx 0$.

Zadatak 1 (a-5, b-5, c-5, d-5, e-5 poena)

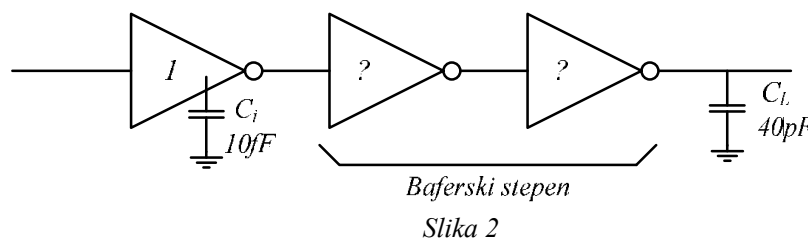
Za kolo CMOS invertora sa $V_{DD}=1.2V$, $W_p=W_n=200nm$:

- a) približno nacrtati karakteristiku prenosa i odrediti vrednosti napona V_{OH} , V_{OL} , V_S ;
- b) napisati izraze i postupak na osnovu kojih se izračunavaju vrednosti napona V_{IH} i V_{IL} ;
- c) izračunati dinamičke otpornosti p i n kanalnog tranzistora potrebne za procenu kašnjenja;
- d) izračunati potrebnu odnose širina kanala p i n kanalnog tranzistora da bi se dobilo minimalno srednje kašnjenje;
- e) za CMOS invertor dimenzionisan po rezultatu iz tačke d) i tehnološkim mogućnostima izračunati vrednost praga prebacivanja, V_S .

Zadatak 2 (a-7, b-8 poena)

U cilju poboljšanja dinamičkih karakteristika kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=40pF$, na pravilno projektovan CMOS invertor 1 minimalne geometrije i interne kapacitivnosti $C_i=10fF$, izvršeno je dodavanje dvostrukog bafera prema slici 2. Vreme propagacije signala kroz neopterećen invertor 1 je 25ps.

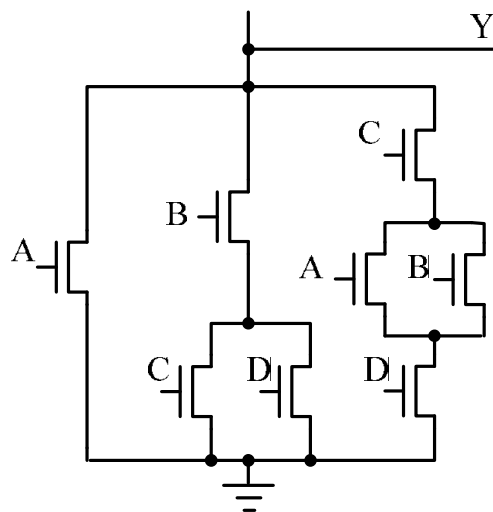
- a) Odrediti veličinu, odnose širine kanala tranzistora ostalih invertora prema tranzistorima jediničnog invertoru, kako bi se minimizovalo ukupno vreme propagacije. Koliko je vreme propagacije u tom slučaju?
- b) Ukoliko je moguće dodati proizvoljan broja baferskih stepena u cilju postizanja minimalnog vremena propagacije, koliki broj invertora je potrebno dodati? Koliko je vreme propagacije u tom slučaju? Smatrati $\gamma \approx 1$ i da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini.



Zadatak 3 (a-6, b-4, c-10 poena)

Za Power-down mrežu (PDN) datu na slici 3 odrediti:

- a) Odgovarajuću Power-up mrežu (PUN) statičkog CMOS kola
- b) Funkciju koju realizuje logičko kolo iz tačke a). Nije potrebno minimizovati funkciju.
- c) Odrediti odnose širina svih tranzistora u realizaciji iz tačke a) tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_n = 2 : 1$.



Slika 3

Zadatak 4 (a-10, b-10, c-10, d-10 poena)

a) Realizovati funkciju $Y = (AB + CD + BD)(D + E)$ kao jednostepeno dinamičko CMOS kolo. Nije dozvoljeno minimizovati funkciju Y.

b) Za realizaciju pod a) dopuniti dijagram sa Slike 4.

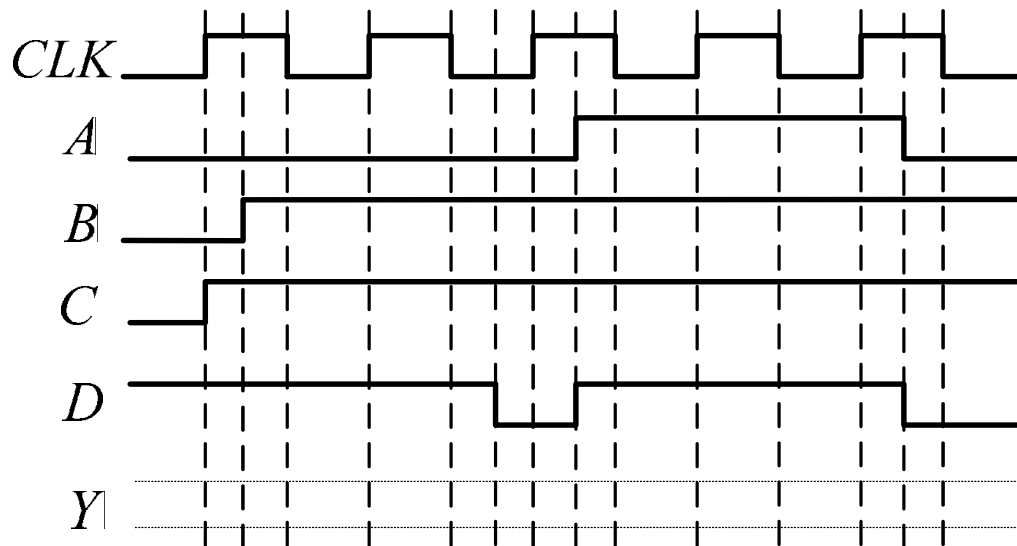
c) Realizovati funkciju $Z = \bar{Y}$ kao višestepeno dinamičko CMOS kolo. Na raspolaganju su

1) kola sa proizvoljnim brojem ulaza

2) samo dvoulazna logička kola

Potruditi se da broj upotrebljenih tranzistora bude minimalan.

d) Realizovati funkciju $Z = \bar{Y}$ pomoću transmisionih gejtova.



Slika 4