

1. Trajanje kolokvijuma 150 minuta.
2. Kolokvijum se radi u vežbanci.
3. Dozvoljena je upotreba kalkulatora.

Tehnološki parametri izrade MOS tranzistora su:  $L=200nm$ ,  $\mu_n C_{ox}=270\mu A/V^2$ ,  $\mu_p C_{ox}=70\mu A/V^2$ ,  $C_{ox}=1\mu F/cm^2$ ,  $V_{Tn}=0.5V$ ,  $V_{Tp}=-0.5V$ ,  $E_c L_n=1.2V$ ,  $E_c L_p=4.8V$ ,  $v_{SAT}=8 \times 10^6 cm/s$ ,  $\lambda \approx 0$ .

**Zadatak 1 (a-5, b-5, c-5, d-5, e-5 poena)**

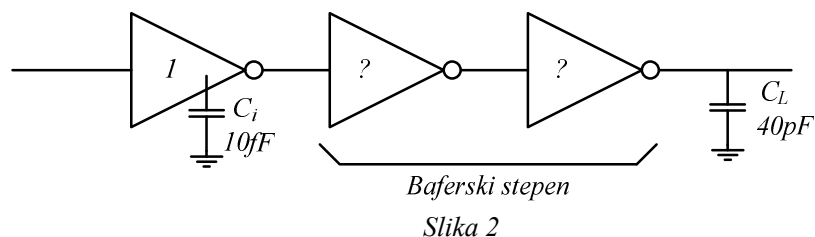
Za kolo CMOS invertora sa  $V_{DD}=2.8V$ ,  $W_p=W_n=400nm$ :

- a) približno nacrtati karakteristiku prenosa i odrediti vrednosti napona  $V_{OH}$ ,  $V_{OL}$ ,  $V_S$ ;
- b) napisati izraze na osnovu kojih se izračunavaju vrednosti napona  $V_{IH}$  i  $V_{IL}$ ;
- c) izračunati dinamičke otpornosti  $p$  i  $n$  kanalnog tranzistora potrebne za procenu kašnjenja;
- d) izračunati potreban odnos širina kanala  $p$  i  $n$  kanalnog tranzistora da bi se dobilo minimalno srednje kašnjenje;
- e) za CMOS invertor dimenzionisan po rezultatu iz tačke d) i tehnološkim mogućnostima izračunati vrednost praga prebacivanja,  $V_S$ .

**Zadatak 2 (a-7, b-8 poena)**

U cilju poboljšanja dinamičkih karakteristika kola koje treba da radi sa velikom izlaznom kapacitivnošću  $C_L=40pF$ , na pravilno projektovan CMOS invertor 1 minimalne geometrije i interne kapacitivnosti  $C_i=10fF$ , izvršeno je dodavanje dvostrukog baferskog stepena prema slici 2. Vreme propagacije signala kroz neopterećen invertor 1 je 33ps. Smatrati  $\gamma \approx 1$  i da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini.

- a) Odrediti veličinu, odnose širine kanala tranzistora ostalih invertora prema tranzistorima jediničnog invertoru, kako bi se minimizovalo ukupno vreme propagacije. Koliko je vreme propagacije u tom slučaju?
- b) Ukoliko je moguće dodati proizvoljan broj baferskih stepena u cilju postizanja minimalnog vremena propagacije, koliki broj invertora je potrebno dodati? Koliko je vreme propagacije u tom slučaju?



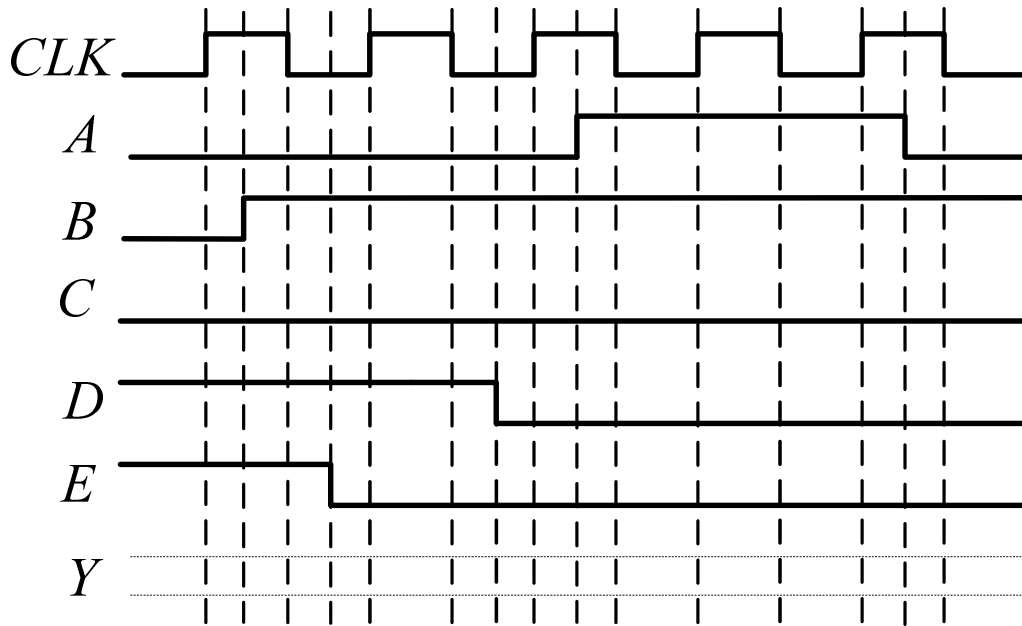
**Zadatak 3 (a-10, b-10 poena)**

Zadata je logička funkcija  $Y = \overline{A(BC + D(C + BE)) + E}$ .

- a) Nacrtati jednostepeno statičko CMOS logičko kolo koje realizuje logičku funkciju Y. Nije dozvoljeno minimizovati funkciju Y.
- b) Odrediti odnose širina svih tranzistora u realizaciji iz tačke a) tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je  $W_p : W_n = 2 : 1$ .

**Zadatak 4 (a-10, b-10 poena)**

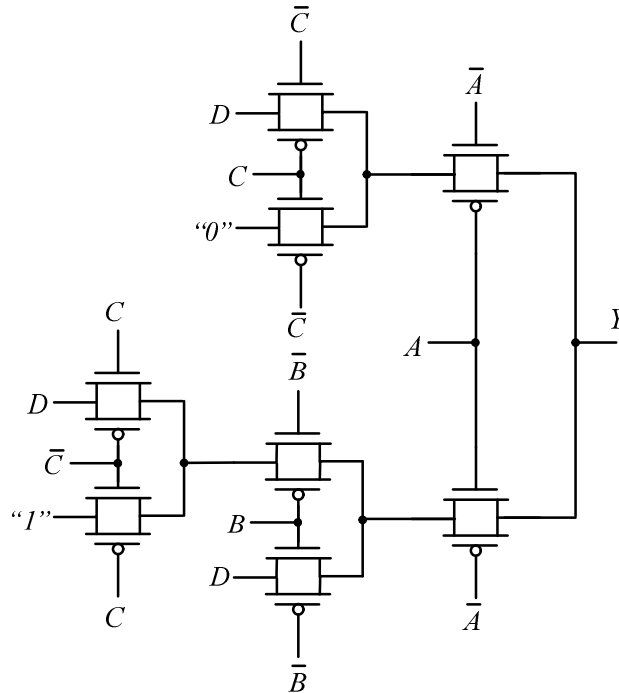
- a) Realizovati funkciju  $Y = (AB + (C + B)D)(A + E)$  kao jednostepeno dinamičko CMOS kolo. Nije dozvoljeno minimizovati funkciju Y.  
 b) Za realizaciju pod a) dopuniti dijagram sa Slike 4.



Slika 4

**Zadatak 5 (a-5, b-15 poena)**

- a) Odrediti logičku funkciju kola sa Slike 5, realizovanog pomoću transmisionih gejtova.  
 b) Funkciju  $Y = (A + B) \oplus C$  realizovati pomoću transmisionih gejtova. Na raspolaganju su i prave i komplementne vrednosti ulaznih promenljivih.



Slika 5