

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Dozvoljena je upotreba kalkulatora.
4. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

Zadatak 1 (a - 8, b - 12 poena)

Algoritamskim računanjem, korak po korak, izračunati i pokazati da li su date tvrdnje tačne ili netačne:

a) ukoliko su na raspolaganju 4 cifre

- $1001_{KMV} + 0111_{KMV} > 1011_{KMV} - 1100_{KMV}$
- $1001_{KO} - 1011_{KO} < 0101_{KO} + 1000_{KO}$

Napomena: Ukoliko dođe do prekoračenja, naznačiti to i nastaviti sa dobijenim četvorocifarskim rezultatom

b) ukoliko je na raspolaganju proizvoljan broj cifara

- $123.1_4 + 35.2_8 > 3C.D_{16}$
- $01010111_{BCD} + 01010100_{BCD} > 000100010011_{BCD}$
- $11010_{KO} \cdot 10100_{KO} > 001001001_{KO}$ (brojevi su dati u komplementu osnove)
- količnik neoznačenih brojeva 1001001_2 i 101_2 je veći od četvostruke vrednosti ostatka

Zadatak 2 (a - 7, b - 5, c - 8 poena)

Za logičko kolo sa slike 2:

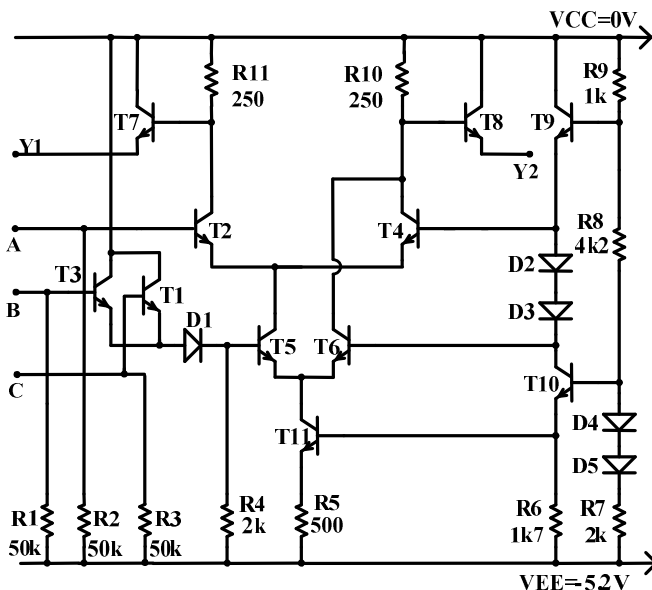
a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno.

b) Odrediti logičke funkcije kola $Y_1=f(A,B,C)$ i $Y_2=f(A,B,C)$.

c) Odrediti vrednosti napona logičke nule i jedinice, V_{OL} i V_{OH} .

Poznato je: $V_{BE}=V_D=0.7V$, $V_{\gamma}=0.6V$, $V_{CES}=0.2V$, $V_{D\check{S}}=0.2V$, $\beta_F=60$

NAPOMENA: Koristiti sledeće skraćenice za označavanje režima rada tranzistora: *ZAK* – zakočenje, *DAR* – direktan aktivni režim, *ZAS* – direktno zasićenje, *IAR* – inverzni aktivni režim, *IZAS* – inverzno zasićenje. Za diodu koristiti: *ON* – provodi, *OFF* – zakočena.



Slika 2

Zadatak 3 (a - 10, b - 7 poena)

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju $Y = (A + B(C + D))(B + D)A$. Nije dozvoljeno minimizovati funkciju. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_n = 2 : 1$.

b) Realizovati funkciju $Z = \bar{Y}$ kao višestepeno dinamičko kolo projektovano u domino logici. Dozvoljena je upotreba samo dvoulaznih logičkih kola. Težiti da realizacija bude minimalne kompleksnosti.

Zadatak 4 (a - 5, b - 5, c - 5 poena)

a) Izvesti izraz za odnose širine kanala n i p tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se invertor koristi u lancu istih invertora.

b) U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L = 20\text{pF}$, na CMOS invertor minimalne geometrije iz tačke a) i interne kapacitivnosti $C_i = 10\text{fF}$, izvršeno je dodavanje dvostrukog bafera. Vreme propagacije signala kroz invertor minimalne geometrije je 50ps . Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliko je ukupno vreme propagacije u slučaju?

c) Ako su za invertore u tački b) podaci za napon napajanja $V_{DD} = 3.3\text{V}$ kolika će biti propagacija kola iz tačke a) ako baferisano kolo bude radilo na $V_{DD} = 1.8\text{V}$.

Poznato je: $W_n = 400\text{nm}$, $L = 200\text{nm}$, $\mu_n C_{ox} = 270\mu\text{A}/\text{V}^2$, $\mu_p C_{ox} = 70\mu\text{A}/\text{V}^2$, $C_{ox} = 1\mu\text{F}/\text{cm}^2$, $V_{Tn} = 0.5\text{V}$, $V_{Tp} = -0.5\text{V}$, $E_{cn} L_n = 1.2\text{V}$, $E_{cp} L_p = 4.8\text{V}$, $\lambda = 0.04\text{V}^{-1}$, $v_{SAT} = 8 \times 10^6\text{ cm/s}$, $\gamma = 1$.

Zadatak 5 (10 poena)

Projektovati kombinacionu mrežu koja za četvorobitni binarni broj na ulazu generiše binarni broj na izlazu koji predstavlja ulazni broj sa svim invertovanim ciframa, ako je ulazni broj paran, odnosno ulazni broj čije su cifre napisane u obrnutom redosledu, ako je ulazni broj neparan. Na raspolaganju su proizvoljna logička kola. Težiti da mreža bude minimalne kompleksnosti.

Primer: Za ulaz 1000 izlaz je 0111 , dok je za ulaz 1101 izlaz 1011 .

Zadatak 6 (18 poena)

Ako su A, B i C neoznačeni dvobitni binarni brojevi projektovati kombinacionu mrežu koja na izlazu generiše neoznačeni četvorobitni binarni broj $Y = \max\{A(B+1), B+3C\}$.

Na raspolaganju su kola srednjeg stepena integracije i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.