

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Dozvoljena je upotreba kalkulatora.
4. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

**Zadatak 1 (a - 4, b - 4, c - 4, d - 4, e - 4 poena)**

a) Odrediti heksadekadne predstave brojeva

$$3552.72_8, \quad 1121.3312_4, \quad 163_7$$

b) Izvršiti sledeće operacije, u digitalnom sistemu predstavljanja brojeva sa 5 bita, nad označenim brojevima zadatim u komplementu maksimalne vrednosti. Označiti sve bite prenosa i naznačiti da li je došlo do prekoračenja.

$$10010 + 01110, \quad 10110 + 11010, \quad 01010 - 01100$$

c) Izvršiti sabiranje dva neoznačena 8 bitna BCD broja.

$$01110011 + 01101001, \quad 01001000 + 01010111$$

d) Izvršiti množenje dva binarna broja data u komplementu osnove.

$$10111*11001, \quad 11010*01101$$

e) Izvršiti operaciju deljenja dva celobrojna podatka zadata u odgovarajućem brojnom sistemu. Odrediti celobrojni deo i ostatak deljenja.

$$3422_5/21_5, \quad 2301_4/13_4$$

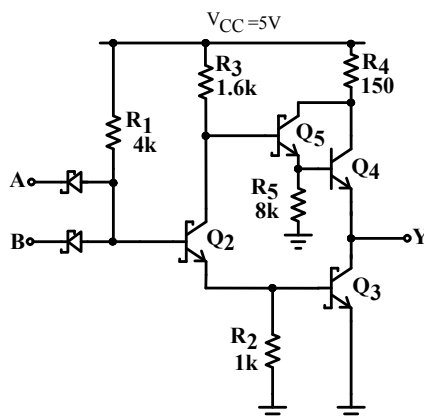
**Zadatak 2 (a - 7, b - 5, c - 8 poena)**

Za logičko kolo sa slike 2:

- a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola  $Y=f(A,B)$ .
- b) Odrediti vrednosti napona logičke nule i jedinice,  $V_{OL}$  i  $V_{OH}$ .
- c) Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju višestrukih izvora smetnji. Za svaku karakterističnu tačku u proračunu navesti kojim uslovom je određena.

Poznato je:  $V_{BE}=0.7V$ ,  $V_{\gamma}=0.6V$ ,  $V_{DS}=0.2V$ ,  $\beta_F=60$

NAPOMENA: Koristiti sledeće skraćenice za označavanje režima rada tranzistora: *ZAK* – zakočenje, *DAR* – direktan aktivni režim, *ZAS* – direktno zasićenje, *IAR* – inverzni aktivni režim, *IZAS* – inverzno zasićenje. Pod *ZAS* smatrati i slučaj kada u šotkijevom tranzistoru vodi šotki dioda. Za diodu koristiti: *ON* – provodi, *OFF* – zakočena.



Slika 2

**Zadatak 3 (a - 10, b - 5 poena)**

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju  $Y = \overline{(AB + D + C(A + B))(C + AD)}$ . Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je  $W_P : W_N = 2 : 1$ .

b) Realizovati funkciju  $Z = \overline{Y}$  kao višestepeno dinamičko kolo projektovano u domino logici. Dozvoljena je upotreba samo dvoulaznih logičkih kola. Težiti da realizacija bude minimalne kompleksnosti.

**Zadatak 4 (a - 5, b - 5, c - 5 poena)**

a) Izvesti izraz za odnose širine kanala  $n$  i  $p$  tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se invertor koristi u lancu istih invertora.

b) U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću  $C_L = 40\text{pF}$ , na CMOS invertor minimalne geometrije iz tačke a) i ulazne kapacitivnosti  $C_I = 10\text{fF}$ , izvršeno je dodavanje dvostrukog bafera. Vreme propagacije signala kroz invertor minimalne geometrije je  $70\text{ps}$ . Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliko je ukupno vreme propagacije u slučaju?

c) Ako su za invertore u tački b) podaci za napon napajanja  $V_{DD} = 3.3\text{V}$  kolika će biti propagacija kola iz tačke a) ako baferisano kolo bude radilo na  $V_{DD} = 1.8\text{V}$ .

Poznato je:  $W_n = 400\text{nm}$ ,  $L = 200\text{nm}$ ,  $\mu_n C_{ox} = 270\mu\text{A}/\text{V}^2$ ,  $\mu_p C_{ox} = 70\mu\text{A}/\text{V}^2$ ,  $C_{ox} = 1\mu\text{F}/\text{cm}^2$ ,  $V_{Tn} = 0.5\text{V}$ ,  $V_{Tp} = -0.5\text{V}$ ,  $E_{cn} L_n = 1.2\text{V}$ ,  $E_{cp} L_p = 4.8\text{V}$ ,  $\lambda = 0.04\text{V}^{-1}$ ,  $v_{SAT} = 8 \times 10^6\text{ cm/s}$ ,  $\gamma = 1$ .

**Zadatak 5 (a - 5, b - 5, c - 5 poena)**

a) Funkciju  $Y = \overline{ABC} + \overline{ABC} + \overline{ABD}$  realizovati u što minimalnijoj formi korišćenjem NILI logičkih kola sa proizvoljnim brojem ulaza.

b) Pri kojim prelazima u slučaju realizacije pod a) dolazi do pojave lažne jedinice. Skicirati pojavu lažne jedinice za proizvoljno izabran slučaj.

c) Izvršiti modifikaciju realizacije pod a) tako da ne postoji mogućnost generisanja lažne jedinice.

**Zadatak 6 (15 poena)**

Ako su A, B i C neoznačeni dvobitni binarni brojevi projektovati kombinacionu mrežu koja na izlazu generiše neoznačeni četvorobitni binarni broj  $Y = \min\{2(A + B), C + 3B\}$ .

Na raspolaganju su kola srednjeg stepena integracije i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.