

**Zadatak 1 (a-4, b-4, c-4, d-4, e-4 poena)**

- a) U kom brojnom sistemu važi jednakost  $13 \cdot 20 + 1 = 14^2$  ?
- b) Prikazati postupak množenje označenih brojeva datih u drugom komplementu na primeru  $1010 \times 1011$ .
- c) Dati su sledeći brojevi u brojnom sistemu sa osnovom 8: 2153, 0. Naći komplement osnove i komplement do maksimalne vrednosti tih brojeva ako se zapis vrši sa pet cifara.
- d) Prikazati postupak sabiranja dva neoznačena 10-bitna broja data u BCD kodu:

$$10\ 0011\ 0010 + 11\ 1001\ 1001$$

Rezultat operacije predstaviti u Gray-ovom BCD kodu.

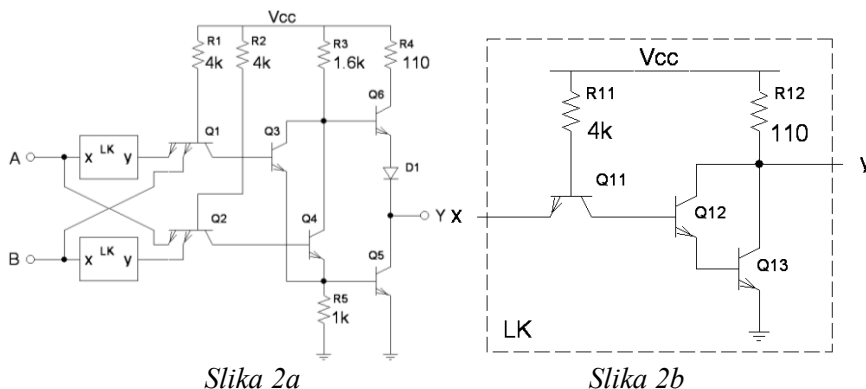
- e) Prikazati postupke operacija nad binarnim brojevima datim u komplementu do maksimalne vrednosti. Za predstavljanje rezultata operacija na raspolaganju je 4 bita. Odrediti da li dolazi do prekoračenja (*overflow*) prilikom izvršavanja operacije. U slučaju prekoračenja naznačiti  $OF=1$ .

$$0100 + 111, 1-1001.$$

**Zadatak 2 (a-7, b-8, c-5 poena)**

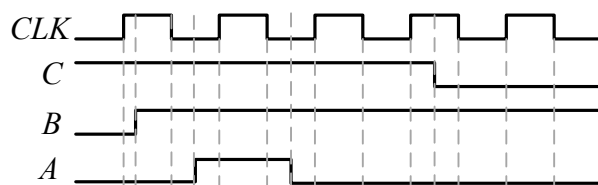
- a) Za kolo sa slike 2a, odrediti logičku funkciju kola i režime rada svih tranzistora za sve vrednosti logičkih nivoa na ulazu kola ako blok LK predstavlja kolo sa slike 2b. Za svaki tranzistor naznačiti pretpostavljeni režim rada (DAR, ZAS, IAR, IZAS, GdR, PROV, ZAK).
- b) Kolo iz tačke a) opterećeno je ukupnom kapacitivnošću od  $C_p=1\text{pF}$  na izlazu. Odrediti vremena kašnjenja opadajuće i rastuće ivice signala na izlazu kola,  $t_{pHL}$  i  $t_{pLH}$ .
- c) Bez dodavanja dodatnih komponentata modifikovati kolo sa slike 2a, tako da logička funkcija modifikovanog kola  $Y_1 = Y_1(A, B)$  bude  $Y_1 = A + \bar{B}$ .

**Poznato je:**  $V_{BE}=V_D=0.7\text{V}$ ,  $V_\gamma=V_{\gamma D}=0.6\text{V}$ ,  $V_{CES}=0.2\text{V}$ ,  $V_{BES}=0.8\text{V}$ ,  $\beta_F=50$ ,  $\beta_R=0.2$ ,  $V_{CC}=5\text{V}$ .



**Zadatak 3 (a-5, b-5, c-5, d-5 poena)**

- a) Nacrtati jednostepeno statičko CMOS logičko kolo koje realizuje logičku funkciju  $Y = ABCD + \bar{A}\bar{C} + \bar{B}\bar{C} + \bar{A}BC$ . Na ulazu logičkog kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija sadrži minimalan broj tranzistora.
- b) Odrediti odnose širina svih tranzistora u realizaciji iz tačke a) tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je  $W_P : W_N = 2 : 1$ .
- c) Projektovati jednostepeno dinamičko CMOS logičko kolo koje realizuje logičku funkciju datu izrazom  $Y = AC + (A+B)C$ . Na ulazu logičkog kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija sadrži minimalan broj tranzistora.
- d) Nacrtati vremenski dijagram logičke vrednosti Y izlaza kola iz tačka c) ukoliko se na ulazu kola dovode signali prikazani na slici 3.

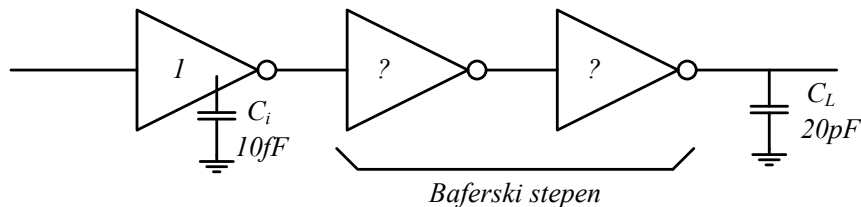


Slika 3

#### Zadatak 4 (a-5, b-5, c-5, d-5 poena)

U cilju poboljšanja dinamičkih karakteristika kola koje treba da radi sa velikom izlaznom kapacitivnošću  $C_L=20\text{pF}$ , na pravilno projektovan CMOS invertor 1 minimalne geometrije i interne kapacitivnosti  $C_i=10\text{fF}$ , izvršeno je dodavanje dvostrukog bafera prema slici 4. Vreme propagacije signala kroz neopterećen invertor 1 je 50ps.

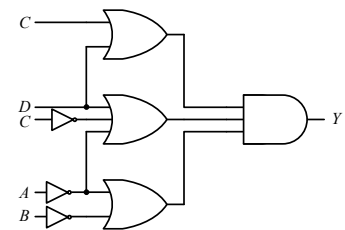
- Odrediti veličinu, odnose širine kanala ostalih invertora kako bi se minimizovalo ukupno vreme propagacije. Koliko je vreme propagacije u tom slučaju?
- Ako se projektovano kolo iz tačke a), optereti sa  $C_L=10\text{pF}$  koliko je vreme propagacije?
- Ukoliko je moguće dodati proizvoljan broja baferskih stepena u cilju postizanja minimalnog vremena propagacije, koliki broj invertora je potrebno dodati? Koliko je vreme propagacije u tom slučaju?  $\gamma \approx 1$ .
- Ako se projektovano kolo iz tačke c), optereti sa  $C_L=10\text{pF}$  koliko je vreme propagacije? Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini.



Slika 4

#### Zadatak 5 (a-5, b-5, c-5, d-5 poena)

- Odrediti pri kojim prelazima ulaznih signala se javljaju statički hazardi u kolu sa slike 5. Ilustrovati vremenskim dijagramima jedan slučaj pojave hazarda.
- Modifikovati kolo iz tačke a) tako da se eliminiše pojava statičkih hazarda. Težiti da broj upotrebljenih komponenti bude minimalan.
- Realizovati multiplexer 4/1 bez signala dozvole korišćenjem transmisionih gejtova i CMOS invertora.
- Realizovati funkciju iz tačke a) korišćenjem samo multiplexera iz tačke c).

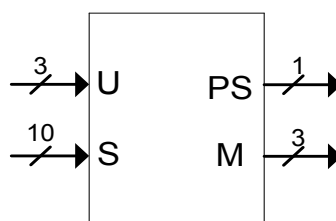


Slika 5

### DODATNI

#### Zadatak 6 (20 poena)

U raznim primenama (npr. u analizi gena) potrebno je detektovati da li se neki uzorak pojavljuje kao podsekvencu neke veće sekvence (101 jeste podsekvencu niza 00101110 počev od mesta 2 i podsekvencu niza 101111010 počev od indeksa 2 i počev od indeksa 5, ali nije podsekvencu niza 01100111). Takođe su od interesa i delovi sekvence koji se od uzorka razlikuju na najviše jednom bitu. Projektovati kombinacionu mrežu koja vrši brojanje na koliko se mesta u 10-bitnom binarnom broju sekvence  $S$  javljaju podsekvence koje se od 3-bitnog binarnog broja uzorak  $U$  razlikuju na najviše jednom bitu. Signal  $PS=1$  treba da označava da je detektovana pojava podsekvence koja je *identična* sa uzorkom  $U$ . Izlaz  $M$  predstavlja broj podsekvenci sekvence  $S$  koje se od uzorka  $U$  razlikuju na najviše jednom bitu. Na raspolaganju su proizvoljna kola niskog i srednjeg stepena integracije. (Primer:  $U=101$   $S=1011110100 \Rightarrow PS=1$   $M=101$ , jer ima 5 podsekvenci koje se razlikuju od uzorka  $U$  najviše na 1 bitu: **1011110100**, **1011110100**, **1011110100**, **1011110100**, **1011110100**).



Slika 6