

1. Trajanje ispita 120 minuta; Trajanje I kolokvijuma 120 minuta; Trajanje II kolokvijuma i ispita 180 minuta
2. Ispit, Kolokvijum se radi u vežbanci. Dozvoljeni su kalkulator i pribor za pisanje.
3. I kolokvijum + ispit bez domaćeg 1. 2. 3. 4. 5. 6. 7. 10. (ukupno 100 poena)
4. I kolokvijum + ispit sa domaćim 2. 3. 4. 5. 6. 7. 10. (ukupno 95 poena)
5. II kolokvijum + ispit 5. 6. 7. 8. 9. 10. (ukupno 70 (60) poena)

Zadatak 1 (5 poena)

U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=20\text{pF}$, na CMOS inverter minimalne geometrije i ulazne kapacitivnosti $C_i=10\text{fF}$, izvršeno je dodavanje dvostrukog bafera. Vreme propagacije signala kroz inverter minimalne geometrije je 70ps. Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini.

- a) Odrediti veličinu i odnose širine kanala ostalih invertora kako bi se minimiziralo ukupno vreme propagacije.
- b) Koliko je ukupno vreme propagacije?

Zadatak 2 (10 poena)

- a) Odrediti rešenje jednačine $202_x=20_{10}$.
- b) Odrediti rešenje jednačine: $1_x \cdot 2_x \cdot 3_x = 10_x$
- c) Odrediti heksadecimalne vrednosti sledećih neoznačenih brojeva 16_{11} i 161_{11} .
- d) Data je jednačina $x^2 - 20x - 121 = 0$ i njeno jedno rešenje $x=22$. U kom brojnom sistemu je data jednačina i njeno rešenje.
- e) Sledeće označene brojeve 123.022_4 , 66.35_8 i 100101110.1101_2 , date u komplementu osnove, prebaciti u odgovarajući broj u oktalnom brojnom sistemu.

Zadatak 3 (15 poena)

- a) Izvršiti sledeće aritmetičke operacije u brojnom sistemu sa osnovom 8: 727_8+272_8 i 363_8*636_8 . Za predstavljanje rezultata operacije na raspolaganju je proizvoljan broj cifara.
- b) Izvršiti sledeće operacije nad binarnim brojevima datim u komplementu osnove. Za predstavljanje rezultata operacija na raspolaganju je 4 bita. Odrediti da li dolazi do prekoračenja (*overflow*) prilikom izvršavanja operacije. U slučaju prekoračenja naznačiti $OF=1$.

$$0101+1110, 1100-1101, 1010+11, 1-0111.$$

- c) Izvršiti sledeće operacije nad binarnim brojevima datim u komplementu do maksimalne vrednosti. Za predstavljanje rezultata operacija na raspolaganju je 4 bita. Odrediti da li dolazi do prekoračenja (*overflow*) prilikom izvršavanja operacije. U slučaju prekoračenja naznačiti $OF=1$.

$$0101+1010, 0101-1011, 1010+10, 1-1100.$$

- d) Izvršiti operaciju sabiranja dva neoznačena 9-bitna binarna broja data u BCD kodu i zatim rezultat operacije predstaviti u Gray-ovom BCD kodu: $101010011+101111001$. Za predstavljanje rezultata aritmetičke operacije na raspolaganju je proizvoljan broj bita.

Zadatak 4 (20 poena)

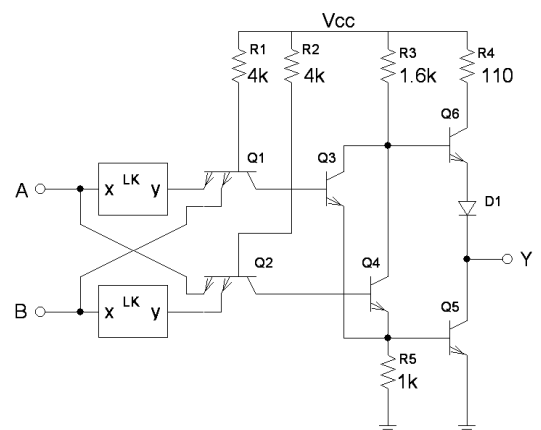
a) Za kolo sa slike 4.a, odrediti logičku funkciju kola i režime rada svih tranzistora za sve vrednosti logičkih nivoa na ulazu kola ako blok LK predstavlja kolo sa slike 4.b. Rezultate prikazati tablično, tako da režimima rada tranzistora odgovaraju skraćenice DA-direktan aktivan režim, IZAS-inverzno zasićenje, IAR-inverzan aktivni režim, ZAS-direktno zasićenje, ZAK-zakočen.

b) Odrediti strujne kapacitete i faktor grananja na izlazu kola sa slike 4.a, pri naponima V_{IL} i V_{IH} na izlazu kola.

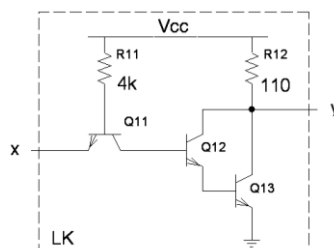
c) Bez dodavanja dodatnih komponenata modifikovati kolo sa slike 5.a, tako da logička funkcija modifikovanog kola $Y_1 = Y_1(A, B)$, bude invertovana u odnosu na logičku funkciju kola iz tačke a, tj. $Y_1 = \bar{Y}$.

Poznato je: $V_{BE}=V_D=0.7\text{V}$, $V_{\gamma}=V_{\gamma D}=0.6\text{V}$, $V_{CES}=0.2\text{V}$, $V_{BES}=0.8\text{V}$, $\beta_F=50$, $\beta_R=0.2$, $V_{CC}=5\text{V}$.

Slika 4.a



Slika 4.b



Zadatak 5 (15 poena)

Izračunati i nacrtati karakteristiku prenosa pseudo NMOS invertora. Izračunati i definisati karakteristične tačke sa karakteristike prenosa. Odrediti margine šuma za jednostruke i višestruke izvore šuma. Poznato je: $W_n=400nm$, $W_p=800nm$, $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_c L_n=1.2V$, $E_c L_p=4.8V$, $V_{DD}=1.8V$, $V_{SAT}=8 \times 10^6 cm/s$.

Zadatak 6 (15 poena)

- a) Na ulazu kombinacione mreže nalazi se 6-bitni binarni broj D. Projektovati kombinacionu mrežu koja na izlazu generiše signale d_{10} , d_9 , c_8 , d_7 , d_6 , d_5 , c_4 , d_3 , c_2 , c_1 i c_0 gde signali na izlazima d_i predstavljaju informacione bite, tj. bite ulaznog 6-bitnog binarnog broja D, a c_i kontrolne bite sekvence date u Hamming-ovom kodu sa minimalnim rastojanjem 4.
- b) Projektovati kombinacionu mrežu koja na izlazu generiše signal *Error*, aktivan na niskom logičkom nivou, ukoliko je došlo do greške u prijemu bilo kog bita sekvence $d_{10}d_9c_8d_7d_6d_5c_4d_3c_2c_1c_0$ na ulazu kombinacione mreže, i 6-bitni izlaz D_{kor} , koji predstavlja korigovane informacione bite. Verovatnoća pojave višebitnih grešaka je zanemarljiva. Na raspolaganju su logička kola proizvoljnog tipa. Težiti da realizacija bude minimalne kompleksnosti.

Zadatak 7 (10 poena)

Projektovati kolo dekodera koji ima 14 ulaza, tako da maksimalno kašnjenje izlaznih signala bude manje ili jednako $4t_{dlk}$. Na raspolaganju su dvoulazna I kola i invertori. Težiti da broj upotrebljenih kola bude minimalan. Vreme propagacije signala kroz logičko kolo iznosi t_{dlk} , dok se kašnjenje signala kroz inverter može zanemariti.

Napomena: Korišćeni dekoderi ne poseduju kontrolne ulaze za generisanje signala dozvole (*enable* ulazi).

Zadatak 8 (10 poena)

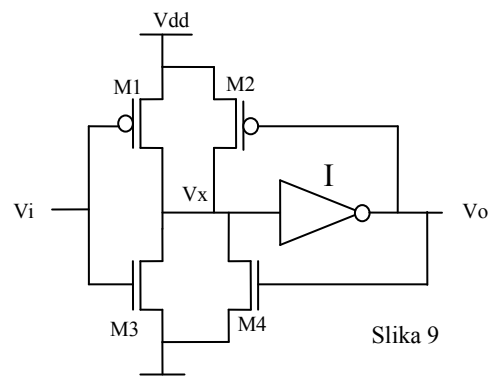
- a) Date su logičke funkcije $Y_1 = (C + D)(C + \bar{A} + \bar{D})(\bar{C} + B)$ i $Y_2 = \bar{A}\bar{B} + B\bar{C} + \bar{A}\bar{B}\bar{D}$. Ako su logičke funkcije realizovane u formi u kojoj su date, sa ILI i I kolima sa proizvoljnim brojem ulaza i invertorima odrediti da li i pri kojim prelazima postoji mogućnost generisanja lažnih jedinica ili nula na izlazu kola.
- b) Za kombinacione mreže koje realizuju logičke funkcije iz tačke a nacrtati vremenske dijagrame signala u relevantnim tačkama kola, za po jedan slučaj pojave statičkog hazarda.
- c) Modifikovati logičke funkcije date u tački a tako da nema mogućnosti pojave statičkih hazarda bilo kog tipa. Težiti da modifikovane logičke funkcije budu date u minimalnoj formi.

Zadatak 9 (10 poena)

Ako je prag odlučivanja standardnog CMOS invertora dat izrazom:

$$V_M = \frac{rV_{DD}}{1+r}, \quad r = \frac{1}{2} \frac{W_p}{W_n}$$

„približno“ (smatrati da parovi tranzistora M1-M2 i M3-M4 kada rade istovremeno imaju približno isti napon na gejtu) nacrtati karakteristiku prenosa kola sa slike 9, i odrediti margine šuma. Poznato je $W_n=400nm$, $W_p=800nm$ a upotrebljeni inverter I ima karakteristiku prenosa idealnog logičkog kola i ima isto napajanje.



Zadatak 10 (10 poena)

- a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje zadatu logičku funkciju. Odrediti relativne odnose širine kanala svih tranzistora, ako je u datoj tehnologiji za CMOS inverter određen odnos $W_p: W_n=2:1$.

$$Y=AB+AD+BCD$$

- b) Projektovati multiplekser 4 u 1 sa signalom dozvole sa transmissionim gejtovima. Na raspolaganju su i CMOS invertori. Korišćenjem ovih multipleksera napraviti „LUT – look up table“ za realizaciju funkcije iz tačke a) i prikazati način realizacije.
- c) Na bazi domino logike projektovati što jednostavnije višestepeno kolo čiji je izlaz opisan funkcijom iz tačke a).