

1. Trajanje ispita 120 minuta; Trajanje I kolokvijuma 120 minuta; Trajanje II kolokvijuma i ispita 180 minuta
2. Ispit, Kolokvijum se radi u vežbanci. Dozvoljeni su kalkulator i pribor za pisanje.
3. I kolokvijum + ispit bez domaćeg 1. 2. 3. 4. 5. 6. 7. 10. (ukupno 100 poena)
4. I kolokvijum + ispit sa domaćim 2. 3. 4. 5. 6. 7. 10. (ukupno 95 poena)
5. II kolokvijum + ispit 5. 6. 7. 8. 9. 10. (ukupno 70 (60) poena)

Zadatak 1 (5 poena)

U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=20pF$, na CMOS inverter minimalne geometrije i ulazne kapacitivnosti $C_i=10fF$, izvršeno je dodavanje dvostrukog bafera. Vreme propagacije signala kroz inverter minimalne geometrije je 70ps. Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini.

- a) Odrediti veličinu i odnose širine kanala ostalih invertora kako bi se minimiziralo ukupno vreme propagacije.
- b) Koliko je ukupno vreme propagacije?

Zadatak 2 (10 poena)

- a) Odrediti rešenje jednačine $101_x=10_{10}$.
- b) Odrediti rešenje jednačine: $10_{10} + 10_{11} + 10_{12} + 10_{13} = x_{14}$
- c) Odrediti oktalne vrednosti sledećih neoznačenih brojeva 1_{11} , 12_{11} i 123_{11} .
- d) Odrediti osnovu brojnog sistema u kome je dat sistem jednačina: $x + y = 100$, $y - x = 10$ i jedno njeno rešenje $x = 10$. Odrediti drugo rešenje jednačine.
- e) Sledeće označene brojeve 311.022_4 , 55.44_8 i 110101010.0101_2 , date u komplementu osnove, prebaciti u odgovarajući broj u heksadecimalnom brojnog sistemu.

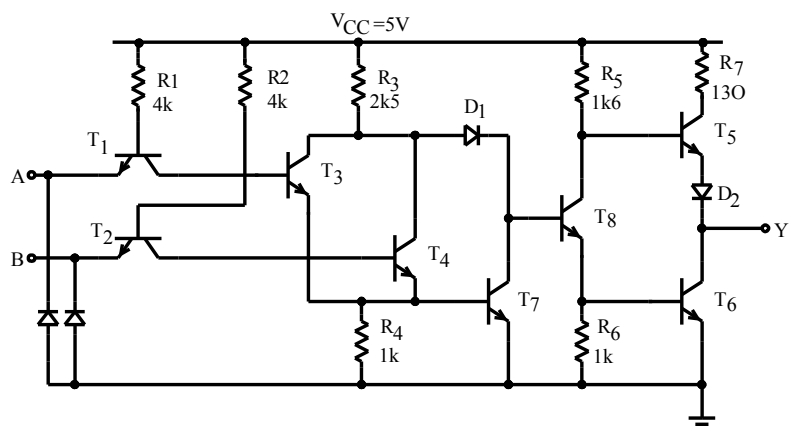
Zadatak 3 (15 poena)

- a) Izvršiti sledeće aritmetičke operacije u brojnog sistemu sa osnovom 7: 115_7+555_7 i 543_7*345_7 . Za predstavljanje rezultata operacije na raspolaganju je proizvoljan broj cifara.
- b) Binarni brojevi $A=1101$ i $B=0111$ su dati u komplementu do maksimalne vrednosti. Izvršiti aritmetičke operacije korak po korak i izračunati vrednosti sledećih izraza: $2A+4-4B$ i $4B-3+2A$. Za predstavljanje rezultata operacija na raspolaganju je proizvoljan broj bita.
- b) Izvršiti sledeće aritmetičke operacije, korak po korak, nad četvorobitnim binarnim brojevima datim u komplementu osnove: $1010+1100$, $1001-0101$ i $1100x1011$ ako je za predstavljanje rezultata operacije na raspolaganju proizvoljan broj bita.
- d) Izvršiti operaciju sabiranja dva neoznačena 10-bitna binarna broja data u *BCD* kodu i zatim rezultat operacije predstaviti u *Gray*-ovom *BCD* kodu: $1001000111 + 1010000101$. Za predstavljanje rezultata aritmetičke operacije na raspolaganju je proizvoljan broj bita.

Zadatak 4 (20 poena)

- a) Za dvoulazno *TTL* logičko kolo sa slike 4 nacrtati karakteristiku prenosa i odrediti režime rada svih elemenata u kolu za sve segmente na prenosnoj karakteristici.
- b) Naći strujne kapacitete kola (I_{cap_0} i I_{cap_1}) pri naponima V_{IH} i V_{IL} na izlazu kola.
- c) Ukoliko se između tačaka Y i V_{CC} veže otpornik $R=33\Omega$, odrediti vrednosti napona V_Y za sve kombinacije logičkih nivoa na ulazima A i B .
- d) Šta se dešava sa statičkim, a šta sa dinamičkim karakteristikama kola ako je $V_{DI}=0.55V$?

Poznato je: $V_{BE}=0.65V$, $V_{BES}=0.7V$, $V_{CES}=0.2V$, $V_D=0.75V$, $V_f=0.6V$, $20 \leq \beta_f \leq 40$, $0.1 \leq \beta_R \leq 0.4$.



Slika 4. Dvoulazno *TTL* logičko kolo

Zadatak 5 (15 poena)

Izračunati i nacrtati karakteristiku prenosa pseudo NMOS invertora. Izračunati i definisati karakteristične tačke sa karakteristike prenosa. Odrediti margine šuma za jednostruke i višestruke izvore šuma. Poznato je: $W_n=400nm$, $W_p=800nm$, $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_c L_n=1.2V$, $E_c L_p=4.8V$, $V_{DD}=1.8V$, $V_{SAT}=8x10^9 cm/s$.

Zadatak 6 (15 poena)

Projektovati kombinacionu mrežu definisanu funkcionalnom tabelom 6.

Tabela 6.

ULAZ		IZLAZ
KONTROLNI BITI H ₃ H ₄ G P	BITI PODATAKA	
1 0 0 0	d ₃ d ₂ d ₁ d ₀	d ₃ d ₂ d ₁ c ₄ d ₀ c ₂ c ₁ 0
0 1 0 0	d ₃ d ₂ d ₁ d ₀	d ₃ d ₂ d ₁ c ₄ d ₀ c ₂ c ₁ c ₀
0 0 1 0	d ₃ d ₂ d ₁ d ₀	0 0 0 0 g ₃ g ₂ g ₁ g ₀
0 0 0 1	d ₃ d ₂ d ₁ d ₀	0 0 0 p d ₃ d ₂ d ₁ d ₀

Mreža ima 8 ulaza i 8 izlaza. Ako je kontrolni bit H₃ setovan, na izlazu se generiše kodna reč data u *Hamming*-ovom kodu sa minimalnim rastojanjem 3, pri čemu su c₄, c₂ i c₁ odgovarajući kontrolni biti kodne reči. Ako je kontrolni bit H₄ setovan, na izlazu se generiše kodna reč data u *Hamming*-ovom kodu sa minimalnim rastojanjem 4, pri čemu su c₄, c₂, c₁ i c₀ odgovarajući kontrolni biti kodne reči. Ako je kontrolni bit G setovan, na izlazu se generiše podatak dat u *Gray*-ovom kodu. Ako je P bit setovan na izlazu se generiše kodna reč sa bitom neparne parnosti p. Ukoliko su logički nivoi kontrolnih bita takvi da nisu sadržani u tabeli 4, na izlazu treba generisati stanje visoke impedanse.

Na raspolaganju su proizvoljna kola niskog stepena integracije, dekoderi, multiplekseri sa EN ulazom, koji kada je aktivan na niskom logičkom nivou obezbeđuje na izlazu multipleksera stanje visoke impedanse, i druga kola srednjeg stepena integracije.

Zadatak 7 (10 poena)

Projektovati kolo konvertora koda, koje konvertuje ulazni 3-bitni podatak a₂a₁a₀ u sedmobitni kod za pobudu svetlosnog LED indikatora sa zajedničkom anodom, prema tabeli 7.

Tabela 7.

a) Konvertor koda treba da obezbedi da se u slučaju pojave neke od kombinacija na ulazu, koje nisu definisane tabelom 7, na LED indikatoru prikaže slovo G.

Potrebno je odrediti logičku funkciju pobude samo jednog segmenta LED indikatora (po izboru) i realizovati je isključivo pomoću dvoulaznih NILI kola.

b) Modifikovati realizaciju iz tačke a, tako da se u slučaju kada se konvertor koristi u višeznakovnom indikatoru, obezbedi, samo na poslednjem mestu, prikazivanje znaka G, u slučaju da se na bilo kojoj poziciji na ulazu nađe neka od kombinacija koja nije definisana tabelom 7. Na raspolaganju su isključivo dvoulazna NILI kola.

a ₂ a ₁ a ₀	Prikaz na LED indikatoru
1	O
2	E
3	2
4	O
5	D
6	E

Zadatak 8 (10 poena)

a) Data je logička funkcija $Y = (B + C)(A + \bar{C} + \bar{D})(\bar{C} + D)$. Da li i pri kojim prelazima postoji mogućnost generisanja lažnih jedinica ili nula na izlazu kola. Predpostaviti da je logička funkcija realizovana u formi u kojoj je i data, sa ILI i I kolima sa proizvoljnim brojem ulaza i invertorima.

b) Za kombinacionu mrežu koja realizuje logičku funkciju iz tačke a nacrtati vremenske dijagrame signala u relevantnim tačkama kola, za jedan slučaj pojave statičkog hazarda.

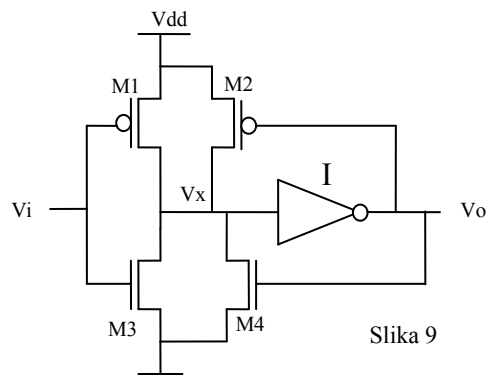
c) Modifikovati logičku funkciju Y datu u tački a tako da nema mogućnosti pojave statičkih hazarda bilo kog tipa. Težiti da realizacija bude data u minimalnoj formi.

Zadatak 9 (10 poena)

Ako je prag odlučivanja standardnog CMOS invertora dat izrazom:

$$V_M = \frac{rV_{DD}}{1+r}, \quad r = \frac{1}{2} \frac{W_p}{W_n}$$

„približno“ (smatrati da parovi tranzistora M1-M2 i M3-M4 kada rade istovremeno imaju približno isti napon na gejtju) nacrtati karakteristiku prenosa kola sa slike 9, i odrediti margine šuma. Poznato je $W_n=400nm$, $W_p=800nm$ a upotrebljeni invertor I ima karakteristiku prenosa idealnog logičkog kola i ima isto napajanje.



Slika 9

Zadatak 10 (10 poena)

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje zadatu logičku funkciju. Odrediti relativne odnose širine kanala svih tranzistora, ako je u datoj tehnologiji za CMOS invertor određen odnos $W_p: W_n=2:1$.

$$Y=AB+AD+BCD$$

b) Projektovati multiplekser 4 u 1 sa signalom dozvole sa transmissionim gejtovima. Na raspolaganju su i CMOS invertori. Korišćenjem ovih multipleksera napraviti „LUT – look up table“ za realizaciju funkcije iz tačke a) i prikazati način realizacije.

c) Na bazi domino logike projektovati što jednostavnije višestepeno kolo čiji je izlaz opisan funkcijom iz tačke a).