

1. Trajanje ispita 240 minuta; Trajanje kolokvijuma 180 minuta
2. Ispit, Kolokvijum se radi u vežbanci. Dozvoljeni su kalkulator i pribor za pisanje.
3. Integralni ispit bez domaćeg 1. 2. 3. 4. 5. 6. 7. 10. (ukupno 100 poena)
4. Integralni ispit sa domaćim 2. 3. 4. 5. 6. 7. 10. (ukupno 95 poena)
5. II kolokvijum 5. 6. 7. 8. 9. 10. (ukupno 70 (60) poena)

Zadatak 1 (5 poena)

Oblasniti pojavu „latchup“ kod CMOS logičkih kola. Ako se pojavio „latchup“ u logičkom, kolu koji je način da se on ukloni? Kako se sprečava pojava „latchup“?

Zadatak 2 (10 poena)

- a) Odrediti rešenje jednačine $303_x = 30_{50}$.
- b) Odrediti rešenje jednačine: $20_2 + 30_3 + 40_4 + 50_5 = x_{50}$
- c) Odrediti minimalne i maksimalne decimalne vrednosti brojeva koje je moguće predstaviti u drugom komplementu i kodu znak plus apsolutna vrednost, sa ukupno 5 bita.
- d) Odrediti osnovu brojnog sistema u kome je dat sistem jednačina: $x + 10y = 101$, $101x + y = 111$ i jedno njeno rešenje $y = 10$. Odrediti drugo rešenje jednačine.
- e) Sledeće označene brojeve 230.032_4 , 73.62_8 i 11000111.0101_2 , date u komplementu osnove, prebaciti u odgovarajući broj u heksadecimalnom brojnom sistemu.

Zadatak 3 (15 poena)

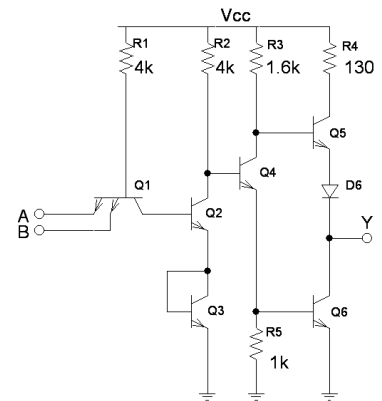
- a) Izvršiti sledeće aritmetičke operacije u brojnom sistemu sa osnovom 6: $331_6 + 535_6$ i $234_6 * 423_6$, ako je za predstavljanje rezultata operacije na raspolaganju proizvoljan broj cifara.
- b) Izvršiti sledeće aritmetičke operacije, korak po korak, nad binarnim brojevima datim u komplementu osnove: $1010 + 1100$, $1001 - 0101$ i $1100x1011$ ako je za predstavljanje rezultata operacije na raspolaganju proizvoljan broj bita.
- c) Izvršiti sledeće operacije, korak po korak, nad četvorobitnim binarnim brojevima datim u komplementu do maksimalne vrednosti: $1101 + 1110$, $1001 - 1100$, ako je za predstavljanje rezultata operacije na raspolaganju 4-bit. Sa $OF=1$, naznačiti da je pri izvršavanju operacije došlo do prekoračenja.
- d) Izvršiti operaciju sabiranja dva neoznačena 10-bitna binarna broja data u BCD kodu i zatim rezultat operacije predstaviti u Gray-ovom BCD kodu: $1101110011 + 1010000101$. Za predstavljanje rezultata aritmetičke operacije na raspolaganju je proizvoljan broj bita.

Zadatak 4 (20 poena)

Za TTL logičko kolo sa slike 4 odrediti:

- a) Logičku funkciju kola i režime rada svih tranzistora za sve kombinacije logičkih nivoa na ulazu kola. Za svaki tranzistor naznačiti režim rada (DAR, ZAS, IAR, IZAS, GR.PROV, ZAK)
- b) Odrediti strujne kapacitete kola kao i faktor grananja na izlazu kola ako izlazni napon može da poraste, tj. može da padne do vrednosti napona V_{IL} , odnosno V_{IH} , respektivno.
- c) Nacrtati prenosnu karakteristiku kola sa izračunatim svim karakterističnim tačkama. Ukoliko prenosna karakteristika kola sa slike 4 sadrži prelomnu tačku predložiti modifikaciju kola tako da prenosna karakteristika modifikovanog kola ne sadrži prelomne tačke. Nije potrebno dimenzionisati dodatne otpornosti.

Poznato je: $V_{BE} = V_D = 0.65V$, $V_{\gamma} = V_{\gamma D} = 0.55V$, $V_{CES} = 0.1V$, $V_{BES} = 0.7V$, $40 \leq \beta_F \leq 60$, $\beta_R = 0.2$, $V_{CC} = 5V$.



Slika 4. Dvoulazno TTL logičko kolo

Zadatak 5 (10 poena)

U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L = 20pF$, na CMOS inverter minimalne geometrije i ulazne kapacitivnosti $C_i = 10fF$, izvršeno je dodavanje dvostrukog bafera. Vreme propagacije signala kroz inverter minimalne geometrije je 70ps. Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini.

- a) Odrediti veličinu i odnose širine kanala ostalih invertora kako bi se minimiziralo ukupno vreme propagacije.
- b) Ukoliko je moguće dodati proizvoljan broj baferskih stepena u cilju postizanja minimalnog vremena propagacije, koliko invertora je potrebno dodati u tom slučaju i koji su odnosi veličina, tj. širina kanala?
- c) Koliko je ukupno vreme propagacije u slučaju a) a koliko u slučaju b)?
- d) Ako su za invertore u tački a) podaci za napon napajanja $V_{DD} = 5.0V$ kolika će biti propagacija kola iz tačke a) ako bafersano kolo bude radilo na $V_{DD} = 3.3V$.

Poznato je: $W_n = 400nm$, $W_p = 800nm$, $L = 200nm$, $\mu_n C_{ox} = 270\mu A/V^2$, $\mu_p C_{ox} = 70\mu A/V^2$, $C_{ox} = 1\mu F/cm^2$, $V_{Tn} = 0.5V$, $V_{Tp} = -0.5V$, $E_{cn} L_n = 1.2V$, $E_{cp} L_p = 4.8V$, $\lambda = 0.04V^{-1}$, $v_{SAT} = 8x10^6 cm/s$, $\gamma = 1$.

Zadatak 6 (20 poena)

Projektovati kombinacionu mrežu čija je funkcionalnost data u tabeli 4.

Tabela 4.

ULAZ		IZLAZ
KONTROLNI BITI N H G P	BITI PODATAKA	
1000	$d_3 d_2 d_1 d_0$	0 0 0 0 $d_3 d_2 d_1 d_0$
0100	$d_3 d_2 d_1 d_0$	$d_3 d_2 d_1 c_4 d_0 c_2 c_1 c_0$
0010	$d_3 d_2 d_1 d_0$	0 0 0 0 $g_3 g_2 g_1 g_0$
0001	$d_3 d_2 d_1 d_0$	0 0 0 p $d_3 d_2 d_1 d_0$

Mreža ima 8 ulaza i 8 izlaza. Ako je kontrolni bit N setovan, ne vrši se kodovanje ulaznih bita već se ulazni biti podataka prosleđuju na izlaz kao donja 4 bita izlaznog podatka. Ako je kontrolni bit H setovan, na izlazu se generiše kodna reč data u *Hamming*-ovom kodu sa minimalnim rastojanjem 4, pri čemu su c_4, c_2, c_1 i c_0 odgovarajući kontrolni biti kodne reči. Ako je kontrolni bit G setovan, na izlazu se generiše podatak dat u *Gray*-ovom kodu. Ako je P bit setovan na izlazu se generiše kodna reč sa bitom parne parnosti p. Ukoliko je na ulazu neka od sekvenci kontrolnih bita koja nije sadržana u tabeli 4, na izlazu treba generisati stanje visoke impedanse. Na raspolaganju su proizvoljna kola niskog i srednjeg stepena integracije. Raspoloživi multiplekseri su sa EN ulazom, koji kada je na niskom logičkom nivou obezbeđuje na izlazu multipleksera stanje visoke impedanse.

Zadatak 7 (10 poena)

- a) Date su logičke funkcije izlaza $Y_1 = (A + C + D)(\overline{B + D})(\overline{B + D})(A + \overline{C} + D)$ i $Y_2 = \overline{AB} + \overline{BC} + ABD + \overline{BCD}$. Ako su logičke funkcije realizovane u formi u kojoj su date, sa ILI i I kolima sa proizvoljnim brojem ulaza i invertorima, odrediti, da li i pri kojim prelazima postoji mogućnost generisanja lažnih jedinica ili nula na izlazima kola.
- b) Za kombinacione mreže koje realizuju logičke funkcije iz tačke a nacrtati vremenske dijagrame signala u relevantnim tačkama kola, za po jedan slučaj pojave statičkog hazarda. Uzeti da je vreme propagacije signala kroz sva logičkih kola, uključujući i invertore, isto i iznosi t_{dlk} .
- c) Modifikovati logičke funkcije date u tački a tako da nema mogućnosti pojave statičkih hazarda bilo kog tipa. Težiti da modifikovane logičke funkcije budu date u minimalnoj formi.

Zadatak 8 (15 poena)

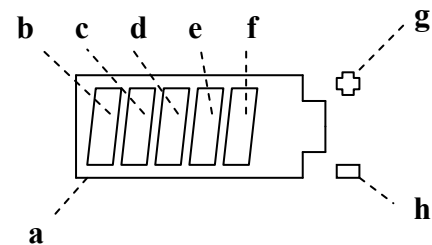
Projektovati kolo konvertora koda za pobudu svetlosnog LED indikatora prikazanog na slici, koji se koristi za vizuelizaciju stanja napunjenosti baterije. Kada je baterija maksimalno napunjena svetle segmenti $f, e, d, c, i b$. Kada je baterija potpuno prazna ugašeni su segmenti $f, e, d, c, i b$. Segment a stalno svetli. LED indikator podržava i prikaz informacije o polaritetu baterije. Ulazni podatak u konvertor koda je dat u drugom komplementu.

a) Definirati broj ulaza u mrežu i odrediti funkcionalnu tabelu konvertora, ako je poznato da je LED indikator sa zajedničkom anodom, a generator koda (koji meri napon baterije) daje minimalan potreban broj bita.

b) Odrediti logičke funkcije izlaza konvertora koda koji kontroliše stanje segmenta f i c . Nacrtati realizaciju ovih logičkih funkcija, ako su na raspolaganju NI logička kola i invertori.

c) Modifikovati kolo konvertora koda iz tačke b, tako da se obezbedi gašenje svih segmenata LED indikatora u slučaju ako je kontrolni ulaz konvertora *BLINK* na niskom logičkom nivou i ako su segmenti b, c, d, e i f ugašeni.

d) Modifikovati kolo konvertora koda iz tačke c, ako je potrebno obezbediti da kolo konvertora koda ispravno radi sa LED indikatorom sa zajedničkom katodom. Na raspolaganju je ulazni kontrolni signal A / \overline{K} .

**Zadatak 9 (5 poena)**

Korišćenjem otpornika i CMOS invertora sa napajanjem $V_{dd}=5V$ realizovati neinvertujuće „logičko“ kolo čije su margine šuma $NM_H=NM_L=4V$. Odrediti odnose upotrebljenih otpornika i nacrtati karakteristiku prenosa realizovanog kola.

Zadatak 10 (10 poena)

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje zadatu logičku funkciju. Odrediti relativne odnose širine kanala svih tranzistora, ako je u datoj tehnologiji za CMOS invertor određen odnos $W_p: W_n=2:1$.

$$Y=ABC+BCD$$

b) Projektovati multiplekser 4 u 1 sa signalom dozvole u „pass transistor“ logici. Na raspolaganju su i CMOS invertori. Korišćenjem ovih multipleksera napraviti „LUT – look up table“ za realizaciju funkcije iz tačke a) i prikazati način realizacije.

c) Na bazi domino logike projektovati što jednostavnije višestepeno kolo čiji je izlaz opisan funkcijom iz tačke a).