

1. Trajanje ispita 240 minuta
2. Ispit se radi u vežbanci. Dozvoljeni su kalkulator i pribor za pisanje.

Zadatak 1**(10 poena)**

- a) Odrediti rešenje jednačine u decimalnom brojnem sistemu ako je jednačina $12x+3=123$, data u brojnem sistemu sa osnovom 4.
- b) Označene brojeve 66.9_{10} , 123.45_{16} , 11000111.0011_2 date u komplementu osnove prebaciti u odgovarajući broj u oktalnom brojnem sistemu.
- c) Izvršiti sledeće aritmetičke operacije u brojnem sistemu sa osnovom 9: 321_9+878_9 i 545_9+454_9 , ako je za predstavljanje rezultata operacije na raspolaganju proizvoljan broj cifara.
- d) Ako je primljena sekvenca bita $d_7d_6d_5d_3c_4c_2c_1=0010010$, gde su d_i informacioni biti a c_i kontrolni biti sekvence date u *Hamming*-ovom kodu sa minimalnim rastojanjem 3, izvršiti korekciju greške u prijemu ako je poznato da je samo jedan bit pogrešan.
- e) Izvršiti sledeće operacije, korak po korak, nad četvorobitnim binarnim brojevima datim u komplementu do jedan: $0101+0110$, $0100-0011$ i $1101-1100$, ako je za predstavljanje rezultata operacije na raspolaganju 5-bita. Odrediti da li dolazi do prekoračenja (*overflow*) prilikom izvršavanja operacije. U slučaju prekoračenja naznačiti $OF=1$.

Zadatak 2**(10 poena)**

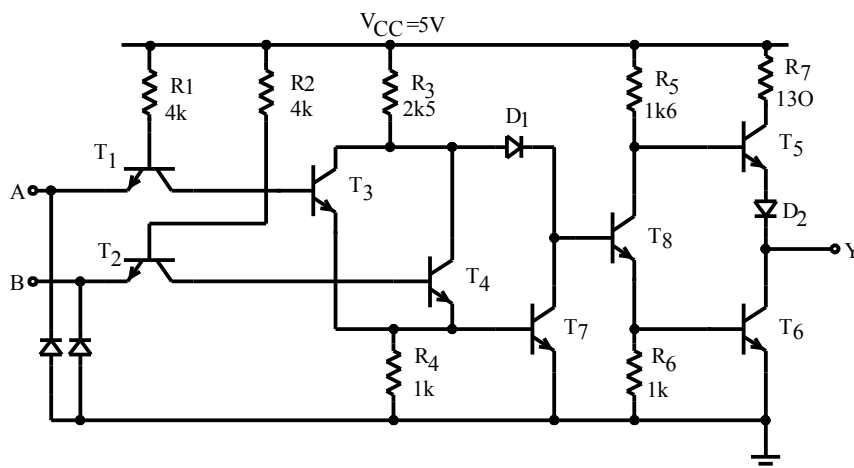
Projektovati kolo dekodera koji ima 13 ulaza, tako da maksimalno kašnjenje izlaznih signala bude manje ili jednako $4t_{dlk}$. Na raspolaganju su dvoulazna I kola i invertori. Težiti da broj upotrebljenih kola bude minimalan. Vreme propagacije signala kroz logičko kolo iznosi t_{dlk} , dok se kašnjenje signala kroz inverter može zanemariti.

Napomena: Korišćeni dekoderi ne poseduju kontrolne ulaze za generisanje signala dozvole (*enable* ulazi).

Zadatak 3**(15 poena)**

Za kolo sa slike 3, odrediti:

- a) Logičku funkciju kola i režime rada svih tranzistora za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tablično, tako da režimima rada tranzistora odgovaraju skraćenice DA-direktan aktivan režim rada tranzistora, IZAS - inverzno zasićenje, IAR - inverzan aktivni režim, ZAS-direktno zasićenje, ZAK - zakočen.
 - b) Naći strujne kapacitete kola (I_{cap_0} i I_{cap_1}) pri naponima V_{IH} i V_{IL} na izlazu kola.
 - c) Ukoliko se između tačaka Y i V_{CC} veže otpornik $R=33\Omega$, odrediti vrednosti napona V_Y za sve kombinacije logičkih nivoa na ulazima A i B.
- Poznato je: $V_{BE}=0.65V$, $V_{BES}=0.7V$, $V_{CES}=0.2V$, $V_D=0.75V$, $V_{\bar{v}}=0.6V$, $20 \leq \beta_F \leq 40$, $0.1 \leq \beta_R \leq 0.4$.



Slika 3. Dvoulazno TTL logičko kolo

Zadatak 4**(10 poena)**

- a) Date su logičke funkcije $Y_1 = (A + C + D)(\overline{B} + \overline{D})(A + \overline{C} + D)$ i $Y_2 = \overline{A}B + \overline{B}C + ABD$. Ako su logičke funkcije realizovane u formi u kojoj su date, sa ILI i I kolima sa proizvoljnim brojem ulaza i invertorima odrediti da li i pri kojim prelazima postoji mogućnost generisanja lažnih jedinica ili nula na izlazu kola.
- b) Za kombinacione mreže koje realizuju logičke funkcije iz tačke a nacrtati vremenske dijagrame signala u relevantnim tačkama kola, za po jedan slučaj pojave statičkog hazarda.
- c) Modifikovati logičke funkcije date u tački a tako da nema mogućnosti pojave statičkih hazarda bilo kog tipa. Težiti da modifikovane logičke funkcije budu date u minimalnoj formi.

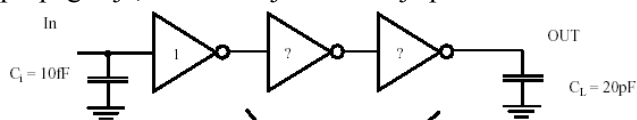
Zadatak 5**(10 poena)**

Izračunati i nacrtati karakteristiku prenosa CMOS invertora. Definisati karakteristične tačke sa karakteristike prenosa CMOS invertora i približno ih odrediti. Poznato je: $W_n=400nm$, $W_p=800nm$, $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $\xi_c L_n=1.2V$, $\xi_c L_p=4.8V$, $V_{DD}=1.8V$, $V_{SAT}=8 \times 10^6$ cm/s.

Zadatak 6**(10 poena)**

U cilju poboljšanja dinamičkih karakteristika kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=20pF$, na CMOS invertor 1 minimalne geometrije i ulazne kapacitivnosti $C_i=10fF$, izvršeno je dodavanje dvostrukog bafera prema slici 6. Vreme propagacije signala kroz invertor 1 je 70ps. Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini.

- a) Odrediti veličinu, odnose širine kanala ostalih invertora kako bi se minimiziralo ukupno vreme propagacije.
- b) Ukoliko je moguće dodati proizvoljan broja baferskih stepena u cilju postizanja minimalnog vremena propagacije, koliko broj invertora je potrebno dodati? Koliko je vreme propagacije u tom slučaju?



Slika 6

Baferski stepen

Zadatak 7**(10 poena)**

a) Projektovati jednostepena statička CMOS logička kola koja realizuju zadatu funkciju. Odrediti relativne odnose širine kanala svih tranzistora, ako je u datoj tehnologiji za CMOS invertor određen odnos $W_p: W_n=2:1$.

$$Y=AB+AD+BCD.$$

- b) Projektovati multiplekser 4 u 1 bez signala dozvole, korišćenjem transmisionih gejtova i CMOS invertora. Korišćenjem ovih multipleksera realizovati funkciju iz tačke a.
- c) Pomoću dekodera 2/4 sa aktivnim logičkim jedinicama na ulazima i izlazima i potrebnih logičkih kola projektovati dekodera 4/16. Korišćenjem ovog dekodera realizovati funkciju iz tačke a.

Zadatak 8**(10 poena)**

- a) Nacrtati logičku šemu D MS flipflopa koji se okida opadajućom ivicom signala takta ako su na raspolaganju samo dvoulazna $NILI$ logička kola.
- b) Odrediti vreme postavljanja D MS flipflopa iz tačke a ako je kašnjenje signala kroz logička kola t_{dlk} konačno i kreće se u opsegu $1ns < t_{dlk} < 3ns$.

Zadatak 9**(15 poena)**

- a) Projektovati brojač, sa sinhronim resetom, sa sekvencom brojanja $2 \rightarrow 3 \rightarrow 1 \rightarrow 4 \rightarrow 5 \rightarrow 2 \dots$. Na raspolaganju su ivični D flipflopovi. Voditi računa da realizacija mreže bude što jednostavnija odnosno da broj upotrebljenih logičkih kola bude minimalan.
- b) Modifikovati kolo iz tačke a, tako da se nakon generisanja ulaznog signala $RESET$, aktivnog na logičkoj nuli, na izlazu brojača generiše 0. Nakon što signal $RESET$ postane neaktivan, na prvu uzlaznu ivicu signala takta brojač prelazi u naredno stanje 4.
- c) Odrediti maksimalnu učestanost taktних impulsa, prema realizaciji iz tačke a, ako vreme propagacije signala kroz logička kola, t_{dlk} , iznosi 5ns, vreme postavljanja D flipflopa, t_{su} , iznosi 4ns i vreme kašnjenja signala kroz ivični D flipflop, t_{dff} , iznosi 15ns.
- d) Na osnovu realizacije brojača iz tačke a, projektovati mrežu koja na izlazu generiše sekvencu $11 \rightarrow 14 \rightarrow 6 \rightarrow 1 \rightarrow 4 \rightarrow 11 \dots$