

**Elektrotehnički fakultet u Beogradu, Katedra za elektroniku, Odsek za elektroniku**  
**II kolokvijum iz Osnova digitalne elektronike**  
**Trajanje 240 minuta. Nije dozvoljena upotreba literature.**

**Zadatak 1 (15 poena)**

Izračunati i nacrtati karakteristiku prenosa NMOS invertora sa pasivnim opterećenjem. Izračunati i definisati karakteristične tačke sa karakteristike prenosa. Odrediti margine šuma za jednostruke i višestruke izvore šuma. Odrediti odnos parametara  $R_L$  i  $W$  tako da širina prelazne zone karakteristike prenosa bude minimalna. Koliki je napon logičke nule u tom slučaju.

Poznato je:  $R_L=30k$ ,  $W=400nm$ ,  $L=200nm$ ,  $\mu_n C_{ox}=270\mu A/V^2$ ,  $C_{ox}=1\mu F/cm^2$ ,  $V_T=0.5V$ ,  $E_c L=1.2V$ ,  $V_{DD}=1.8V$ ,  $V_{SAT}=8 \times 10^6$  cm/s.

**Zadatak 2 (10 poena)**

Projektovati jednostepena statička CMOS logička kola koja realizuju zadatu logičku funkciju. Odrediti relativne odnose širine kanala svih tranzistora, ako je u datoj tehnologiji za CMOS invertor određen odnos  $W_p$ :  $W_n=2:1$ .

a)  $Y=ABD+BC+AD$

b)  $Y=AB+BC+CD +A$

**Zadatak 3 (10 poena)**

a) Projektovati multiplexer 4 u 1 sa signalom dozvole korišćenjem transmisionih gejtova i CMOS invertora.

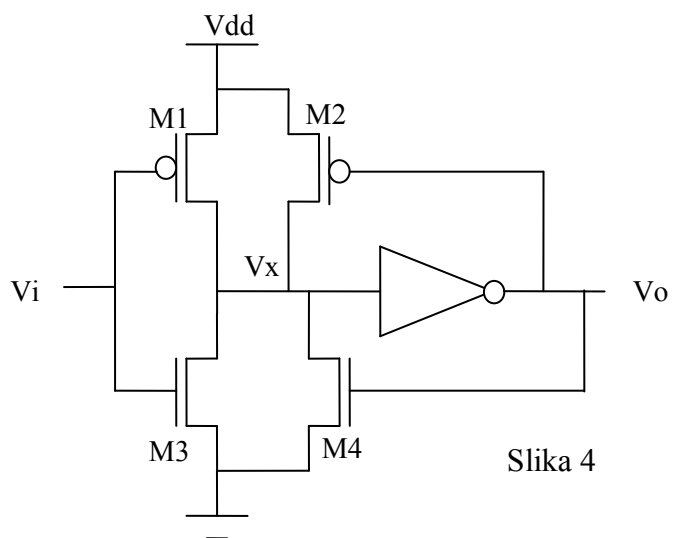
b) Na bazi domino logike projektovati što jednostavnije višestepeno kolo čiji je izlaz opisan funkcijom:

$$Y=\bar{A}B+\bar{B}C$$

**Zadatak 4 (20 poena)**

a) Izračunati vrednost praga prebacivanja ( $V_M$ ,  $V_S$ ) CMOS invertora u zavisnosti od širina kanala MOS tranzistora. Poznato je:  $L=200nm$ ,  $\mu_n C_{ox}=270\mu A/V^2$ ,  $\mu_p C_{ox}=70\mu A/V^2$ ,  $C_{ox}=1\mu F/cm^2$ ,  $V_{Tn}=0.5V$ ,  $V_{Tp}=-0.5V$ ,  $E_c L_n=1.2V$ ,  $E_c L_p=4.8V$ ,  $V_{DD}=1.8V$ ,  $V_{SAT}=8 \times 10^6$  cm/s.

b) Ako je  $W_n=400nm$ ,  $W_p=800nm$  a upotrebljeni invertor ima karakteristiku prenosa idealnog logičkog kola i ima isto napajanje, nacrtati karakteristiku prenosa kola sa slike 4, i odrediti margine šuma.

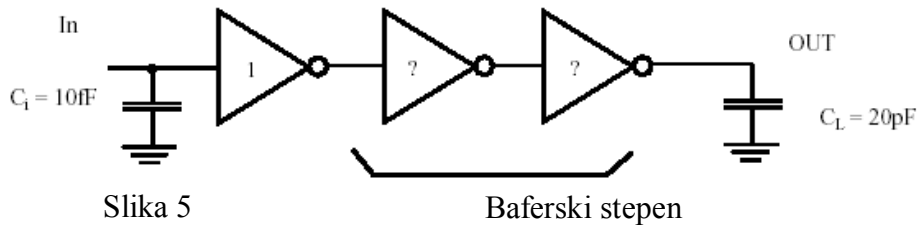


**Zadatak 5 (10 poena)**

U cilju poboljšanja dinamičkih karakteristika kola koje treba da radi sa velikom izlaznom kapacitivnošću  $C_L=20pF$ , na CMOS invertor 1 minimalne geometrije i ulazne kapacitivnosti  $C_I=10fF$ , izvršeno je dodavanje dvostrukog bafera prema slici 5. Vreme propagacije signala kroz invertor 1 je 70ps. Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini.

a) Odrediti veličinu, odnose širine kanala ostalih invertora kako bi se minimiziralo ukupno vreme propagacije.

b) Ukoliko je moguće dodati proizvoljan broj baferskih stepena u cilju postizanja minimalnog vremena propagacije, koliko broj invertora je potrebno dodati? Koliko je vreme propagacije u tom slučaju?



Slika 5

Baferski stepen

**Zadatak 6 (10 poena)**

a) A i B su 2-bitni neoznačeni binarni brojevi. Projektovati kombinačonu mrežu koja na izlazu generiše broj Y, tako da važi:

$$Y = (A+1)(B+1) \quad A \leq B$$

$$Y = 2(A+1)(B+1) \quad A \neq B$$

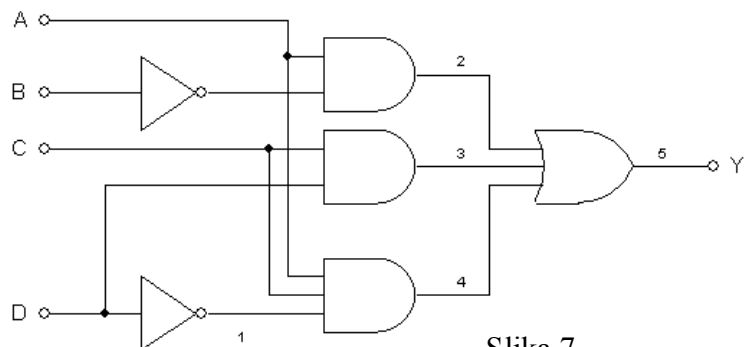
$$Y = 0, \quad \text{za } A=B$$

Na raspolaganju su kola srednjeg stepena integracije i logička kola proizvoljnog tipa. Težiti da broj upotrebljenih integriranih kola bude minimalan.

b) Nacrtati logičke šeme svih kola srednjeg stepena integracije korišćenih u tački a.

**Zadatak 7 (10 poena)**

a) Data je logička funkcija  $Y = (\overline{B} + C + D)(A + \overline{D})(\overline{A} + \overline{C})$ . Da li i pri kojim prelazima postoji mogućnost generisanja lažnih jedinica ili nula na izlazu kola. Predpostaviti da je logička funkcija realizovana u formi u kojoj je i data, sa NE, ILI i I kolima.



Slika 7

b) Modifikovati i realizovati logičku funkciju Y tako da nema mogućnosti pojave statičkih hazarda bilo kog tipa. Težiti da realizacija bude u minimalnoj formi.

c) Za kolo sa slike 7, nacrtati vremenske dijagrame signala u tačkama 1, 2, 3, 4 i 5 u slučaju generisanja lažne nule.

**Zadatak 8 (15 poena)**

a) Projektovati sinhroni 3-bitni brojač sa sekvencom brojanja  $2 \rightarrow 3 \rightarrow 6 \rightarrow 4 \rightarrow 1 \rightarrow 2 \dots$ , sa ivičnim JK flipflopovima koji nemaju asinhronu ulaze za direktan set i reset flipflopa. Obezbediti da brojač izlazi iz zabranjenih stanja posle maksimalno jedne periode taktnog impulsa. Na raspolaganju su logička NI sa proizvoljnim brojem ulaza i EXILI kola. Težiti da broj upotrebljenih logičkih kola bude minimalan.

b) Projektovati kolo, koje brojač, u slučaju generisanja signala START aktivnog na logičkoj nuli, postavlja u početno stanje 4.

c) Odrediti maksimalnu učestanost taktnih impulsa ako je vreme propagacije signala kroz logička kola proizvoljnog tipa 5ns, a vreme postavljanja izlaza flipflopa 20ns. Odrediti minimalni vremenski interval u kome se izlazi brojača ne menjaju.