

Elektrotehnički fakultet u Beogradu, Katedra za elektroniku, Odsek za elektroniku
Ispit iz Osnova digitalne elektronike
Trajanje 240 minuta. Nije dozvoljena upotreba literature.

Zadatak 1 (10 poena)

- a) Data je jednačina $5x^2 - 74x + 207 = 0$ i njeno jedno rešenje $x=11$. U kom brojnom sistemu je data jednačina i njeno rešenje.
 b) Sledeće oktalne brojeve predstaviti sa četiri cifre u komplementu osam i komplementu sedam 2335, 2167, 20, 0.
 c) Izvršiti sledeće operacije nad binarnim brojevima datim u komplementu do dva. Odrediti da li dolazi do prekoračenja (*overflow*) prilikom izvršavanja operacije. U slučaju prekoračenja naznačiti $OF=1$.

$$0101+0110, 0111+1001, 0100-0011, 1101-1100.$$

- d) Izvršiti sledeće operacije sabiranja dva neoznačena 8 bitna broja data u *BCD* kodu
 $01011001+01111001, 01010111+01111001$.

Zadatak 2 (10 poena)

- a) Izvršiti operaciju množenja dva binarna broja data u komplementu do dva. Prikazati svaki korak množenja.

$$1010 \times 1101, 0111 \times 1001$$

- b) Izvršiti sledeće operacije deljenja dva neoznačena binarna broja:
 $11001001 / 1011, 110100010 / 1001$

Zadatak 3. (10 poena)

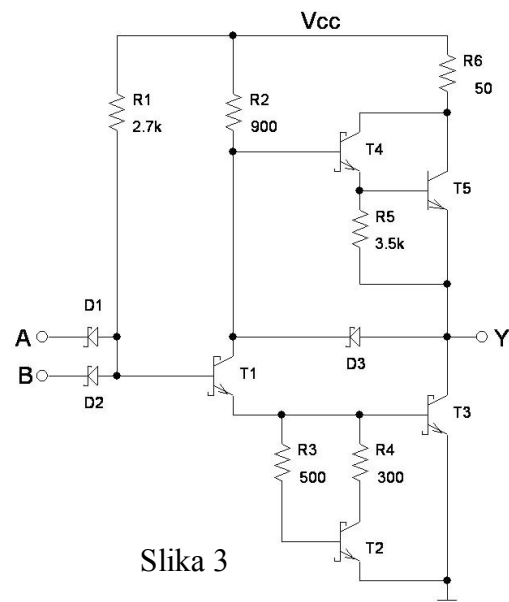
Za logičko kolo, dato na slici 3, odrediti:

- a) Logičku funkciju kola i režime rada svih tranzistora za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tablično, tako da režimima rada tranzistora odgovaraju skraćenice DA-direktan aktivan režim rada tranzistora, IZAS - inverzno zasićenje, IAR - inverzan aktivni režim, ZAS-direktno zasićenje, ZAK - zakočen.

- b) Odrediti strujne kapacitete kola kao i faktor grananja na izlazu kola pri naponima na izlazu kola V_{IL} i V_{IH} .

- c) Odrediti sve vrednosti iz tačke b, ako se u kolu sa slike 4, ukloni dioda D_3 .

Poznato je: $V_{BE}=0.7V$, $V_{\gamma}=0.6V$, $50 \leq \beta_F \leq 70$,
 $V_{DS}=0.3V$, $V_{CC}=5V$. Za tranzistor T_2 važi:
 $V_{BET2}=0.55V$, $V_{\gamma}=V_{\gamma2}=0.5V$



Slika 3

Zadatak 4 (15 poena)

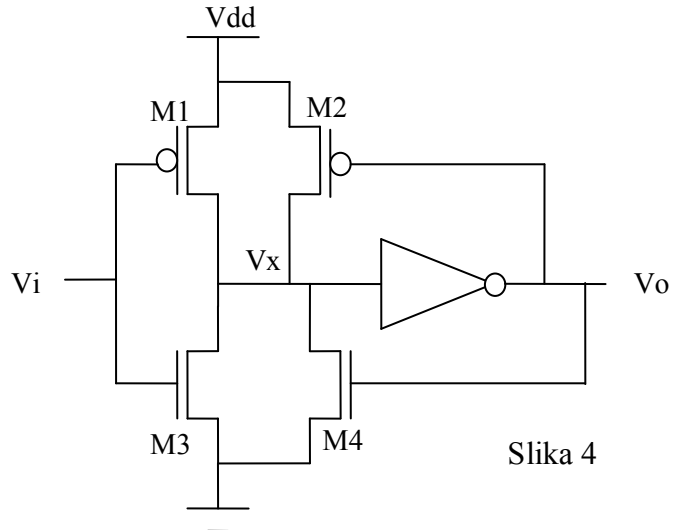
Izračunati i nacrtati karakteristiku prenosa NMOS invertora sa pasivnim opterećenjem. Izračunati i definisati karakteristične tačke sa karakteristike prenosa. Odrediti margine šuma za jednostruke i višestruke izvore šuma. Odrediti odnos parametara R_L i W tako da širina prelazne zone karakteristike prenosa bude minimalna. Koliki je napon logičke nule u tom slučaju.

Poznato je: $R_L=30k$, $W=400nm$, $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_T=0.5V$, $E_c L=1.2V$,
 $V_{DD}=1.8V$, $V_{SAT}=8 \times 10^6 cm/s$.

Zadatak 5 (20 poena)

a) Izračunati vrednost praga prebacivanja (V_M , V_S) CMOS invertora u zavisnosti od širina kanala MOS tranzistora. Poznato je: $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_c L_n=1.2V$, $E_c L_p=4.8V$, $V_{DD}=1.8V$, $V_{SAT}=8 \times 10^6 cm/s$.

b) Ako je $W_n=400nm$, $W_p=800nm$ a upotrebljeni invertor ima karakteristiku prenosa idealnog logičkog kola i ima isto napajanje, nacrtati karakteristiku prenosa kola sa slike 4, i odrediti margine šuma.



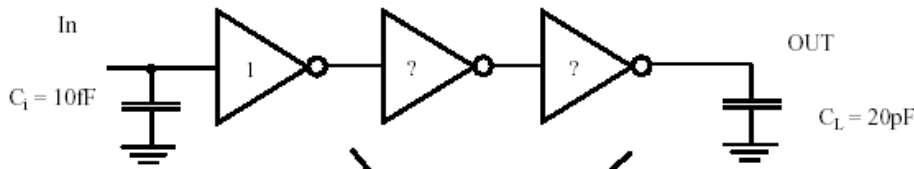
Slika 4

Zadatak 6 (10 poena)

U cilju poboljšanja dinamičkih karakteristika kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=20pF$, na CMOS invertor 1 minimalne geometrije i ulazne kapacitivnosti $C_i=10fF$, izvršeno je dodavanje dvostrukog bafera prema slici 5. Vreme propagacije signala kroz invertor 1 je 70ps. Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini.

a) Odrediti veličinu, odnose širine kanala ostalih invertora kako bi se minimiziralo ukupno vreme propagacije.

b) Ukoliko je moguće dodati proizvoljan broj baferskih stepena u cilju postizanja minimalnog vremena propagacije, koliko broj invertora je potrebno dodati? Koliko je vreme propagacije u tom slučaju?



Slika 5

Baferski stepen

Zadatak 7 (15 poena)

a) Projektovati sinhroni 3-bitni brojač sa sekvencom brojanja $2 \rightarrow 3 \rightarrow 6 \rightarrow 4 \rightarrow 1 \rightarrow 2 \dots$, sa ivičnim JK flipflopovima koji nemaju asinhronu ulaze za direktan set i reset flipflopa. Obezbediti da brojač izlazi iz zabranjenih stanja posle maksimalno jedne periode taktnog impulsa. Na raspolaganju su logička NI sa proizvoljnim brojem ulaza i EXILI kola. Težiti da broj upotrebljenih logičkih kola bude minimalan.

b) Projektovati kolo, koje brojač, u slučaju generisanja signala START aktivnog na logičkoj nuli, postavlja u početno stanje 4.

c) Odrediti maksimalnu učestanost taktnih impulsa ako je vreme propagacije signala kroz logička kola proizvoljnog tipa 5ns, a vreme postavljanja izlaza flipflopa 20ns. Odrediti minimalni vremenski interval u kome se izlazi brojača ne menjaju.