

Elektrotehnički fakultet u Beogradu
 Katedra za elektroniku
 Predmet: OSNOVI DIGITALNE ELEKTRONIKE
 Ispit: 12.04.2006. u 12:30^h
 Odgovorni nastavnik: L. Saranovac

LAB.	DOM.	KOL.	ISPIT	OCENA

KANDIDAT:

Ime _____
 Prezime _____
 Broj indeksa _____
 Laboratorijske vežbe odrađene _____ godine
 Potpis _____

DEŽURNI:

Sala _____
 Potpis _____

USLOVI ISPITA

1. Trajanje ispita 240'.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	5	6	7	8	9	Total
Max	10	10	10	10	10	10	10	10	10	90
Dobijen										

Zadatak 1

(10 poena)

- (a) Izračunati i nacrtati karakteristiku prenosa CMOS invertora. Definisati karakteristične tačke sa karakteristike prenosa CMOS invertora i približno ih odrediti. Poznato je: $W_n=400nm$, $W_p=800nm$, $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $\xi_c L_n=1.2V$, $\xi_c L_p=4.8V$, $V_{DD}=1.8V$, $V_{SAT}=8 \times 10^6 cm/s$.

- (b) U cilju poboljšanja dinamičkih karakteristika CMOS invertora iz tačke (a) koji treba da radi sa velikom izlaznom kapacitivnošću $C_L=20\text{pF}$, na CMOS invertor minimalne geometrije i ulazne kapacitivnosti $C_i=10\text{fF}$, izvršeno je dodavanje dvostrukog bafera. Vreme propagacije signala kroz invertor je 70ps. Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Odrediti veličinu baferskih invertora kako bi se minimiziralo ukupno vreme propagacije

Zadatak 2

(10 poena)

- (a) Sledeće binarne brojeve predstavljene u komplementu do 2 napisati sa minimalnim brojem bita u kodu znak + apsolutna vrednost, označenom BCD kodu i prvom komplementu.

000101

111010

100

0000

- (b) Koristeći predstavu negativnih brojeva u drugom komplementu sa sedam bita izvršiti sledeće operacije i komentarisati rezultate.

$-32+(-31)$

$31+(-32)$

- (c) Koristeći predstavu pozitivnih brojeva u osnovi 8 izvršiti operaciju množenja brojeva 22 i 77.

Zadatak 3

(10 poena)

Projektovati jednostepena statička CMOS logička kola koja realizuju zadataku funkciju. Odrediti relativne odnose širine kanala svih tranzistora.

(a) $Y = ABD + BC + BA$

(b) $\overline{Y} = \overline{A+B+CD} + A$

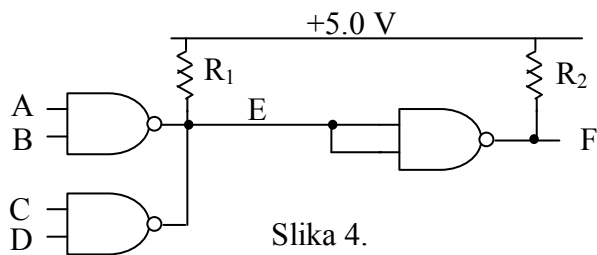
Zadatak 4

(10 poena)

(a) U kolu sa slike 4. korišćena su logička kola sa otvorenim drejnom.

(a1) Napisati kombinacionu tabelu za izlazni signal F i odrediti njegovu logičku funkciju u algebarskoj formi (što minimalnijoj).

(a2) Ako kola nisu sa otvorenim drejnom, šta bi se desilo u tački E za $A=B=0$ i $C=D=1$.



(b) Projektovati kolo korišćenjem transmisionih gejtova čiji je izlaz definisan funkcijom:

$$Y=AB+BC$$

(c) Na bazi domino logike projektovati kolo čiji je izlaz opisan funkcijom:

$$Y=AB+BC$$

Zadatak 5

(10 poena)

(a) Pomoću dekodera $2/4$ sa aktivnim logičkim jedinicama na ulazima i izlazima i potrebnih logičkih kola projektovati dekodera $4/16$.

(b) Pomoću dekodera $n/2^n$ i dekodera $m/2^m$ sa aktivnim logičkim nulama na ulazima i izlazima i potrebnih logičkih kola projektovati dekodera $(n+m)/2^{(n+m)}$.

(c) Pomoću dekodera $2/4$ iz tačke a, i potrebnih logičkih kola, u tri stepena realizovati dekodera $11/2048$

Zadatak 6

(10 poena)

(a) Za svaki od sledećih logičkih izraza odrediti kombinacije promene ulaznih promenljivih kada se javljaju statički hazardi (pojava lažnih nula i jedinica). Podrazumeva se da su izrazi realizovani u obliku kako su i zapisani, u dva nivoa sa I i ILI logičkim kolima.

$$F=(A+C+D)(\bar{B}+\bar{D})(A+D+\bar{C})$$

$$F= \bar{A} B + \bar{C} \bar{B} + A B D$$

(b) Da li je moguće i kako eliminisati statički hazard u ovim kolima?

Zadatak 7

(10 poena)

- (a) Korišćenjem otpornika i CMOS invertora čije je napajanje +5V realizovati invertujuće kolo čije su margine šuma $NM_H=NM_L=3V$.
- (b) Da li je moguće realizovati neinvertujuće kolo sa marginama šuma $NM_H=NM_L=6V$, pod uslovom da ulazni napon može da bude van opsega napona napajanja.

Zadatak 8

(10 poena)

- (a) Sa NI logičkim kolima realizovati JK MS flipflop.
- (b) Ako je kašnjenje signala kroz logičko kolo konačno i iznosi $t_p=10ns$ izračunati vreme postavljanja kao i kašnjenje flip flopa realizovanog u tački (a).

Zadatak 9

(10 poena)

- (a) Projektovati sinhroni 3-bitni binarni brojač sa sekvencom brojanja 0,3,7,2,4,0,3...., sa D flip flopovima koji imaju asinhronne ulaze za direktan set i reset flip flopa. Kombinacionu mrežu realizovati u minimalnoj formi.
- (b) Projektovati kolo koje brojač izvodi iz zabranjenih stanja i preko asinhronih ulaza kolo dovodi u početno stanje 0.
- (c) Ako su kašnjenja flipflopova različita da li će kolo iz tačke (b) pouzdano dovesti brojač u stanje nula odnosno da li će kolo pouzdano izvesti brojač iz zabranjenih stanja. Da li će kolo smetati u normalnom režimu rada i ako hoće predložiti modifikaciju kola tako da ne utiče na normalan režim rada.