

# УНИВЕРЗИТЕТ У БЕОГРАДУ

Трећа лабораторијска вежба

Сложени системи, фазно синхронизована петља



проф. др Милан Поњавић

доц. др Радивоје Ђурић

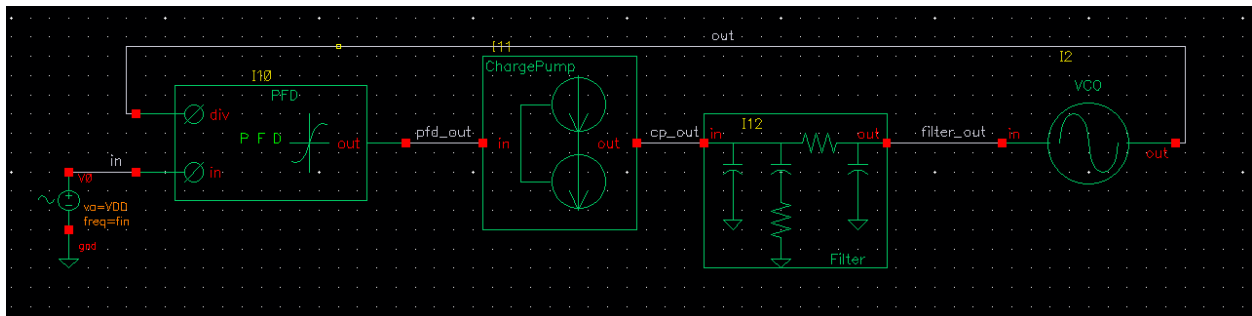
ас. мс Никола Петровић

## Увод

Циљ ове вежбе је моделовање фазно синхронизоване петље (енг. Phase Locked Loop PLL). Фазно синхронизована петља коју је потребно реализовати приказана је на слици 1 и састоји се од:

- Фазно-фреквенцијског детектора
- Charge Pump компоненте
- Филтра
- Напонски контролисаног осцилатора

Фазно синхронизована петља коју је потребно моделовати има централну учестаност од 1 MHz и осцилације се крећу у опсегу од  $\pm 5V$  где напонски контролисани осцилатор може дати на свом излазу учестаности од 0.9 MHz до 1.1 MHz.



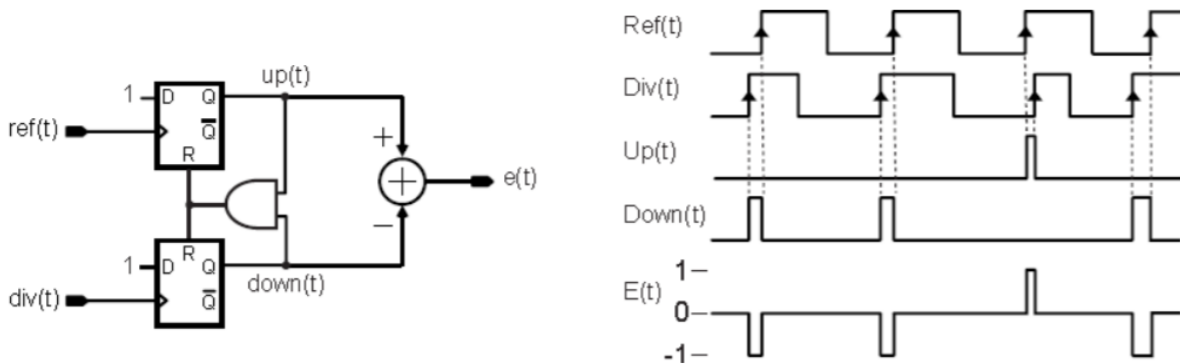
Слика 1. Фазно синхоризована петља.

Потребно предзнање студената:

- Познавање рада фазно-фреквенцијског детектора, Charge Pump компоненте, PLL филтра, напонско-контролисаног осцилатора као и фазно-синхронизоване петље.
- Основна предзнања моделовања компоненти у Verilogu А, декларација модула, дефинисање портова, инстанцирање компонената, покретање симулација у Virtuoso-у (предавања и вежбе из предмета Анализа и моделовање електронских кола употребом HDL-AMS језика).

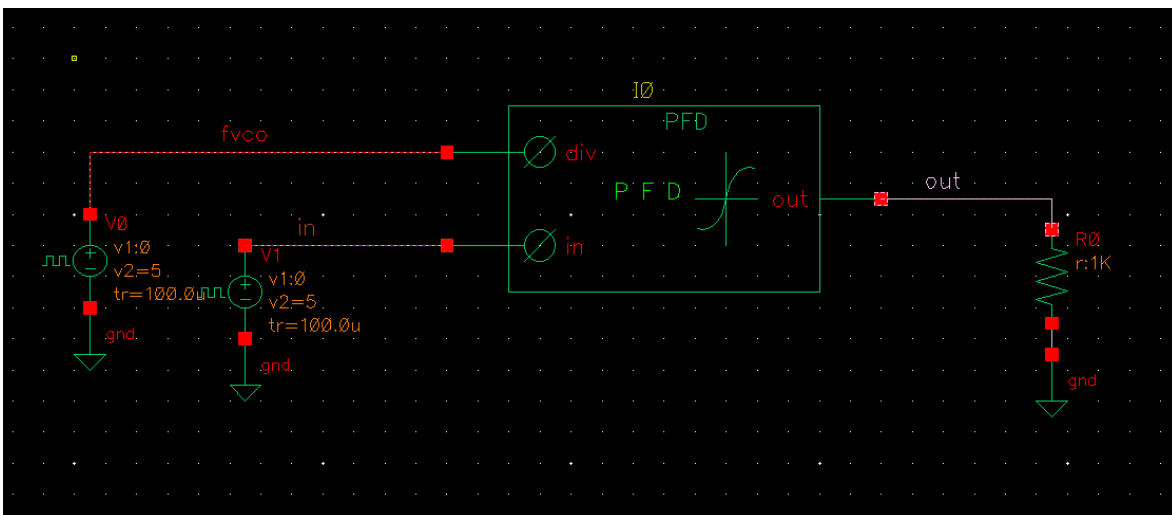
# 1. Фазно-фреквенцијски детектор

Илустрација рада фазно-фреквенцијског детектора дата је на слици 1.1. Фазно-фреквенцијски детектор је потребно моделовати тако да за параметре има *threshold* вредност сигнала на коју модул реагује и вредност амплитуде сигнала на његовом излазу.

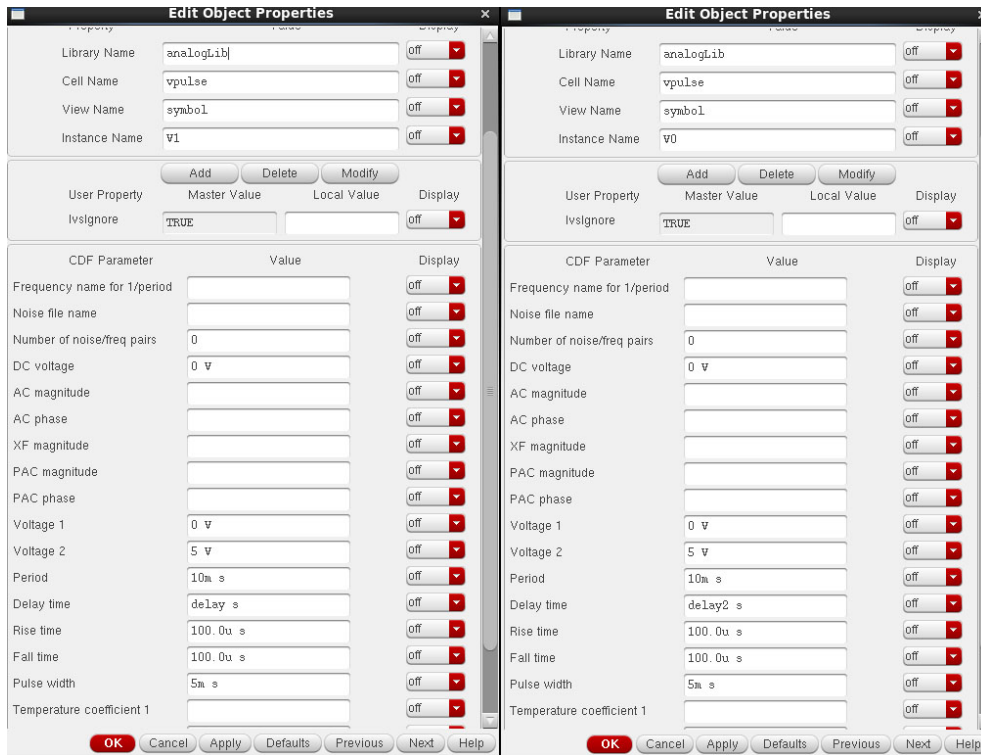


Слика 1.1. Илустрација рада фазно-фреквенцијског детектора.

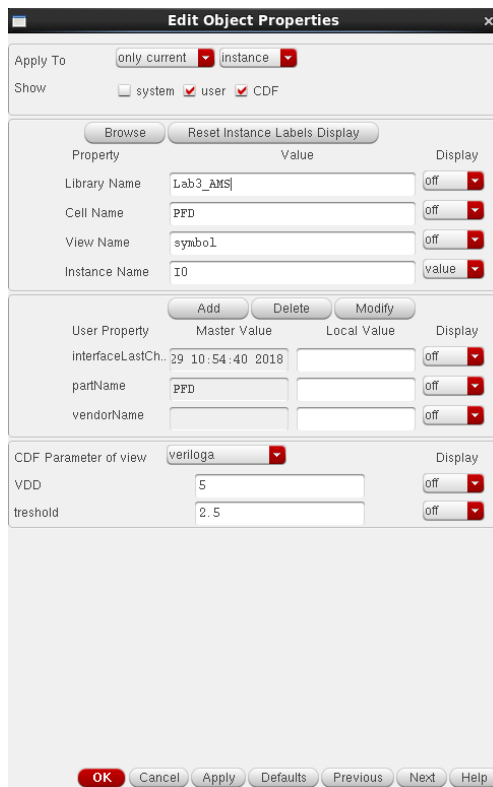
На слици 1.2 дат је приказ шеме за проверу функционалности фазно-фреквенцијског детектора. На слици 1.3 су дата подешавања генератора сигнала док је на слици 1.4 дато подешавање самог фазно-фреквенцијског детектора. Након подешавања шеме потребно је покренути ADE L и наместити *transient* анализу у трајању од 40ms. Након бирања сигнала *out*, *in* и *fvco* за приказ, ADE L прозор би требао да изгледа као што је то дато на слици 1.5. Дијаграми сигнала дати су на слици 1.6 и 1.7 за различите вредности параметара кашњења улазних сигнала.



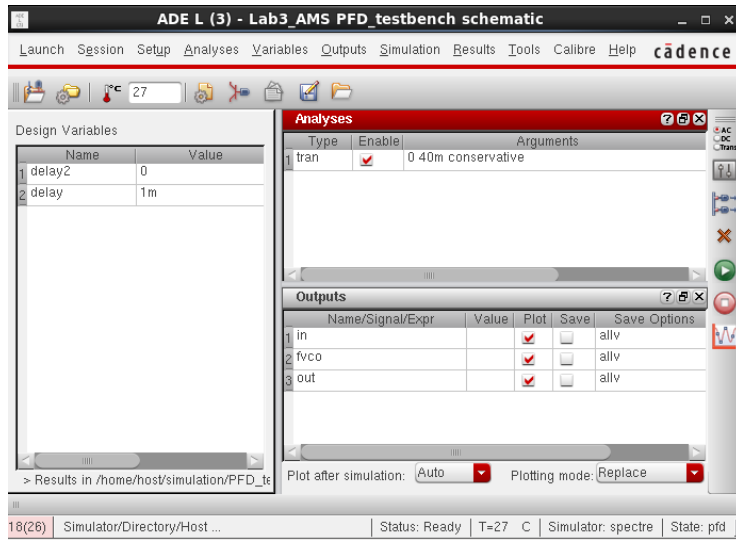
Слика 1.2. Шема за проверу функционалности фазно-фреквенцијског детектора.



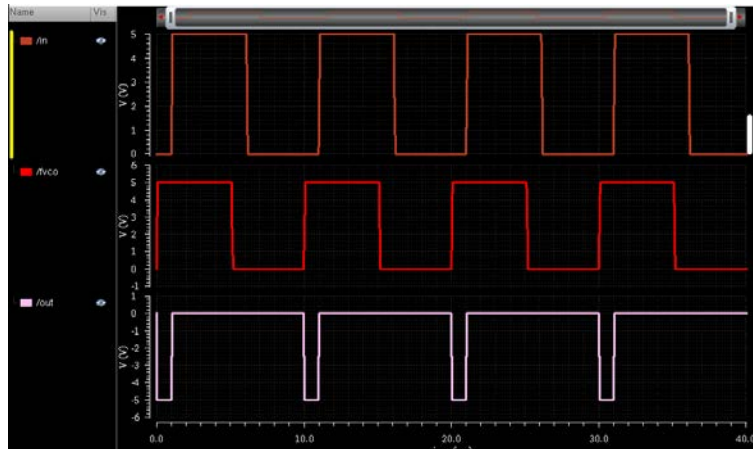
Слика 1.3. Подешавање генератора сигнала.



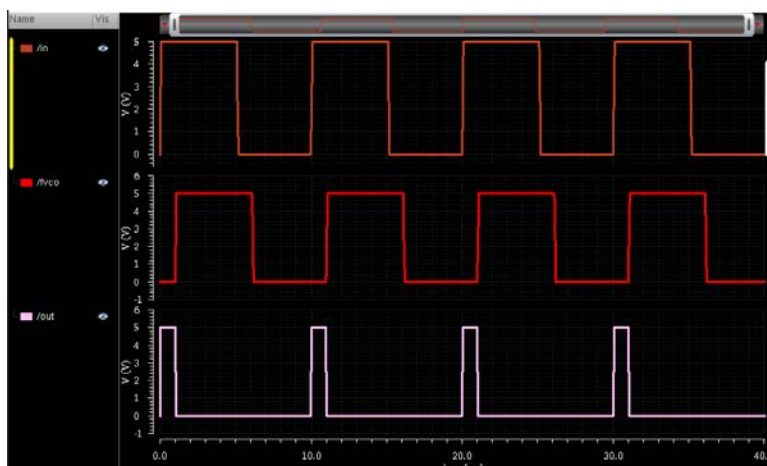
Слика 1.4. Подешавање фазно-фреквенцијског детектора.



Слика 1.5. Приказ ADE L прозора.



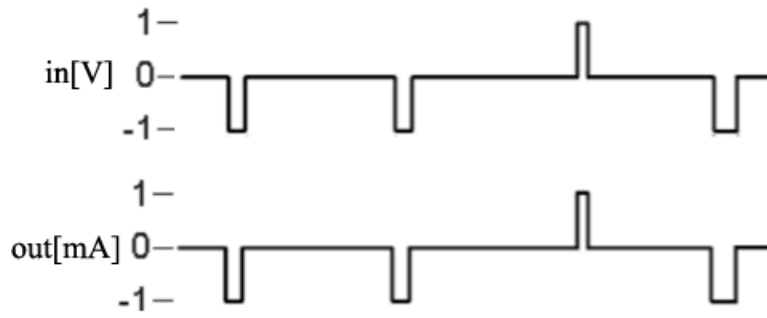
Слика 1.6. Дијаграм сигнала за delay = 1m, delay2 = 0.



Слика 1.7. Дијаграм сигнала за delay = 0, delay2 = 1m.

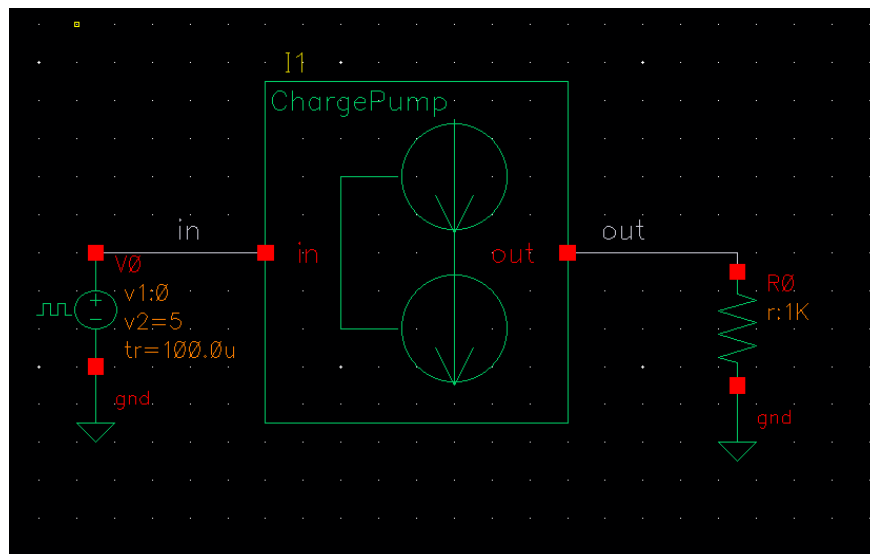
## 2. Charge pump

*Charge pump* компоненту је потребно моделовати тако да има параметар *threshol*d и параметар који скалира струју на излазу компоненте. Илустрација рада компоненте је приказана на слици 2.1.



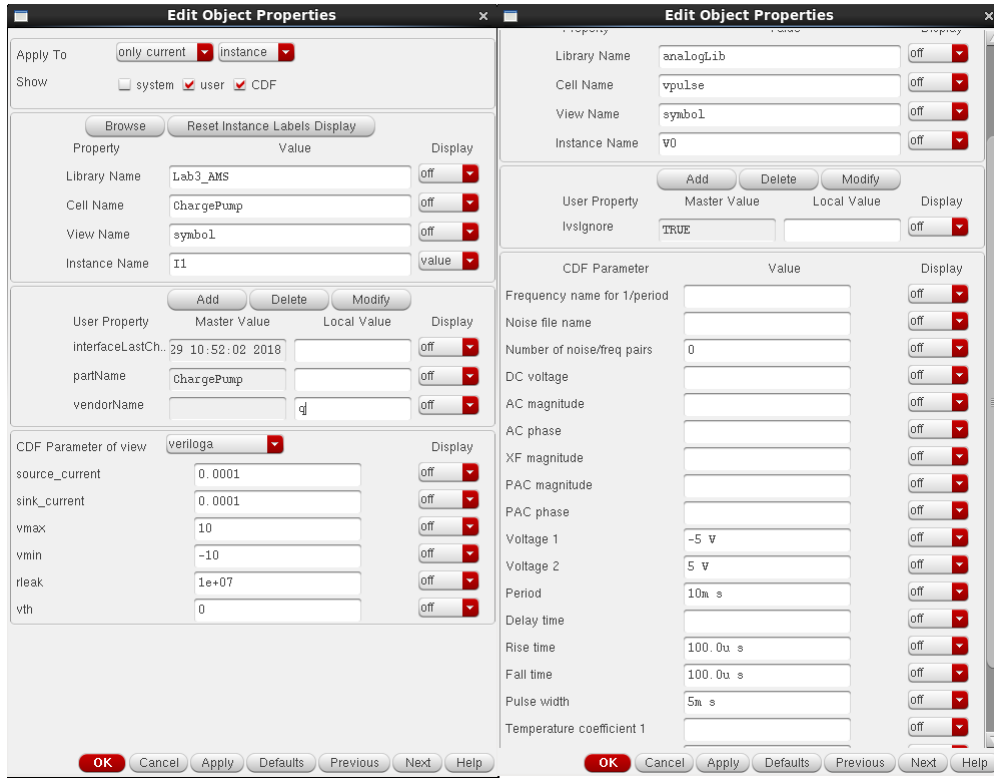
Слика 2.1. Илустрација рада Charge pump компоненте.

На слици 2.2 приказана је шема за проверу функционалности моделоване компоненте док је на слици 2.3 приказано подешавање *CP* компоненте као и напонског генератора.

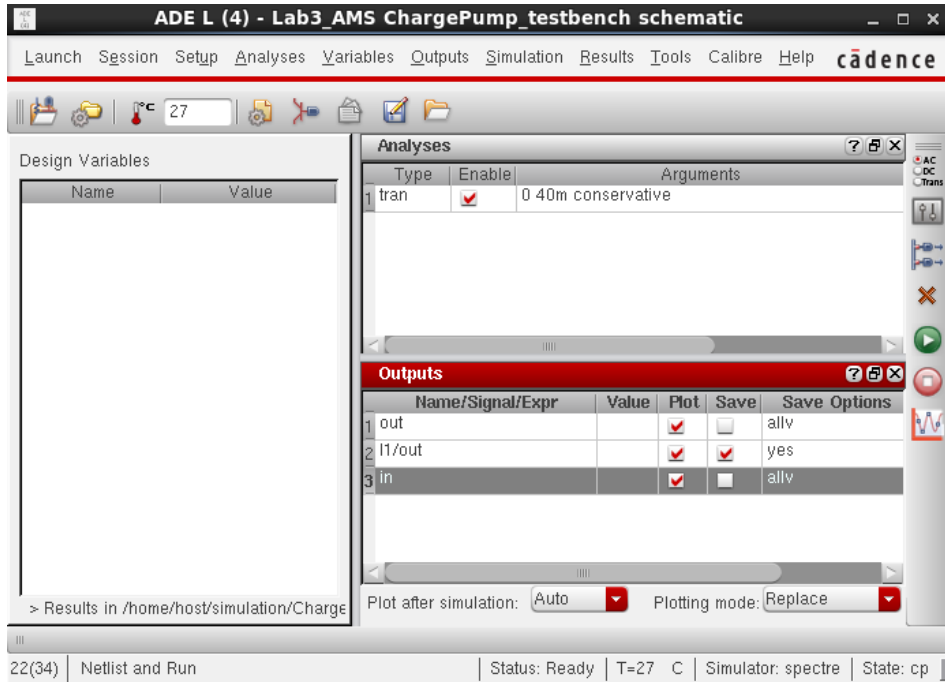


Слика 2.2. Шема за проверу функционалности моделоване компоненте.

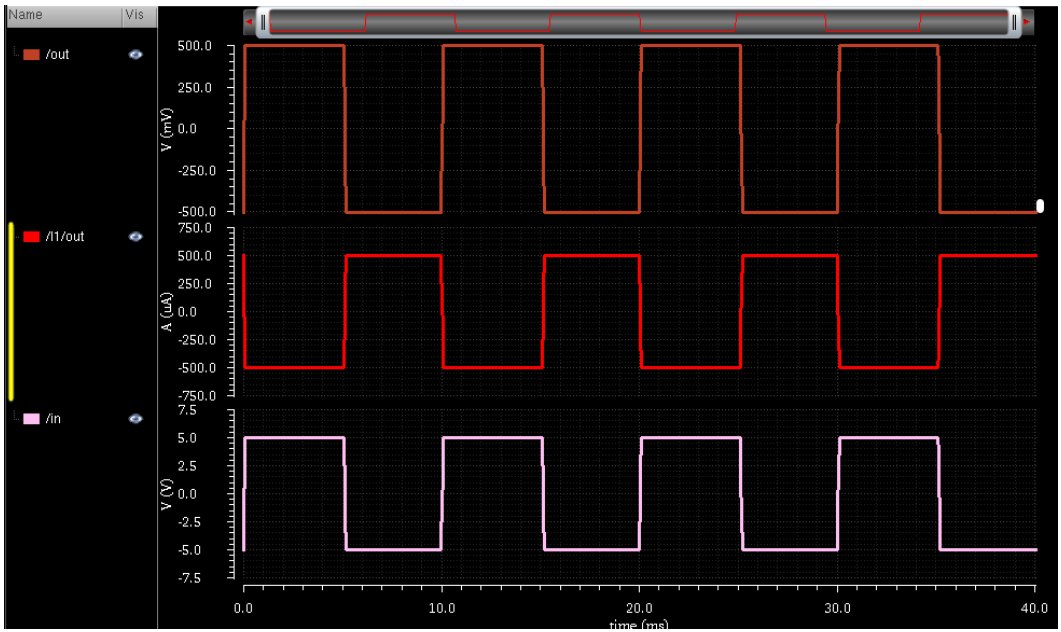
Након подешавања шеме потребно је покренути ADE L. Подесити *transient* анализу у трајању од 40ms и селектовати напоне на улазу и излазу кола за приказ као и струју на излазу кола . Након подешавања прозор ADE L би требао да изгледа као што је то приказано на слици 2.4. Дијаграми су дати на слици 2.5.



Слика 2.3. Подешавање *CP* компоненте и напонског генератора.



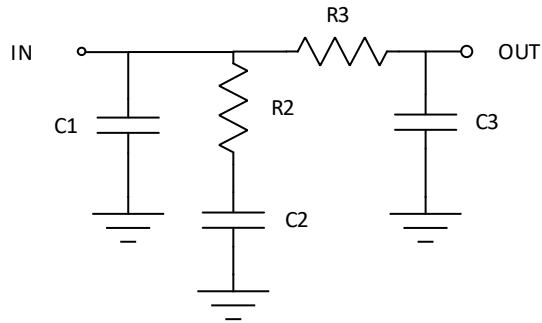
Слика 2.4. Изглед ADE L прозора.



Слика 2.5. Дијаграми сигнала.

### 3. Филтар

Потребно је моделовати филтар као што је то приказано на слици 3.1. Параметри филтра су  $C1 = 55\text{pF}$ ,  $C2 = 370\text{pF}$ ,  $C3 = 342\text{pF}$ ,  $R1 = 27.37\text{k}\Omega$ ,  $R2 = 1\text{k}\Omega$ .



Слика 3.1. Филтар.



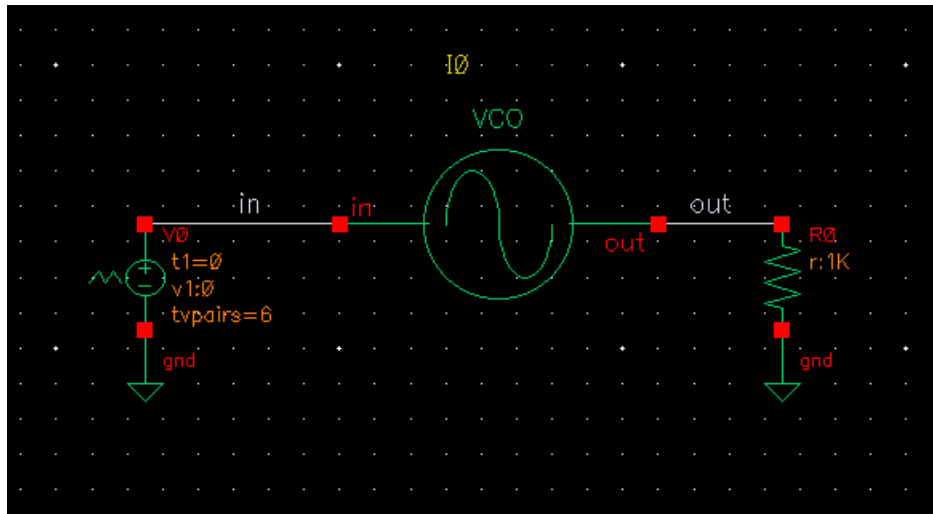
## 4. Напонско контролирани осцилатор

Напонско контролирани осцилатор на свом излазу има учестаност која је сразмерна улазном сигналу (који је углавном напон али може бити и струја):

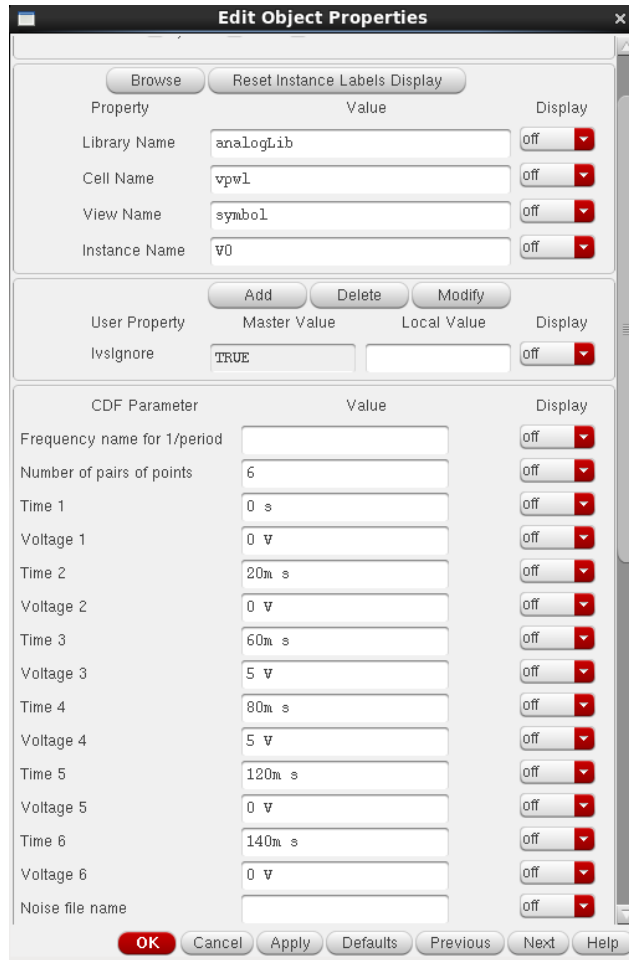
$$f_{out} = K v_{IN},$$

где је  $K$  појачање напонски контролисаног осцилатора чије је јединица  $\frac{Hz}{V}$  (или  $\frac{Hz}{A}$ ) и често се означава као  $K_{VCO}$ . Потребно је обезбедити да моделовани напонско контролирани осцилатор има параметар који представља његову амплитуду осциловања, минималну и максималну вредност улазног сигнала као и минималну и максималну учестаност осциловања.

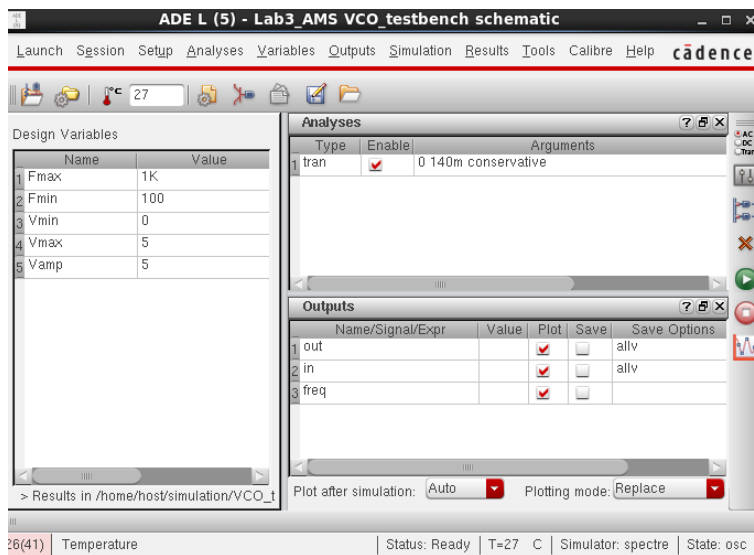
На слици 4.1 приказана је шема за тестирање функционалности напонско контролисаног осцилатора. Подешавање генератора сигнала дато је на слици 4.2 док је изглед ADE L прозора након подешавања *transient* анализе дат на слици 4.3. На слици 4.4 дат је дијаграм учестаности излазног сигнала напонско контролисаног осцилатора у зависности од времена.



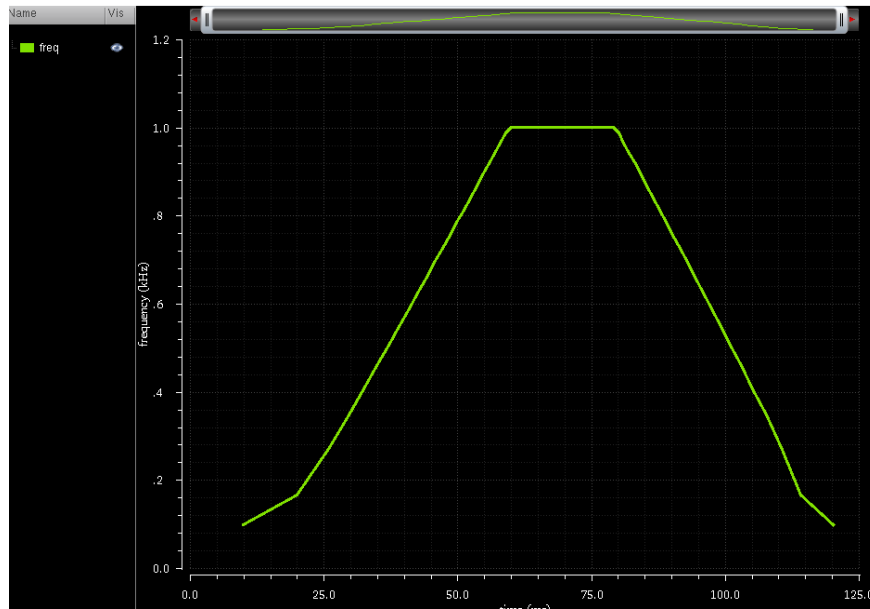
Слика 4.1. Шема за тестирање функционалности напонско контролисаног осцилатора.



Слика 4.3. Подешавање напонског генератора.



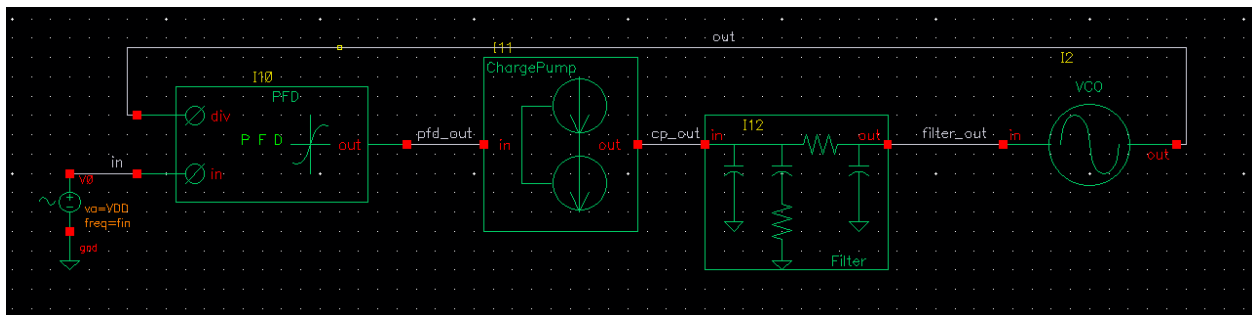
Слика 4.3. Изглед ADE L прозора.



Слика 4.4. Учестаност сигнала на излазу напонско контролисаног осцилатора.

## 5. Фазно-синхронизована петља

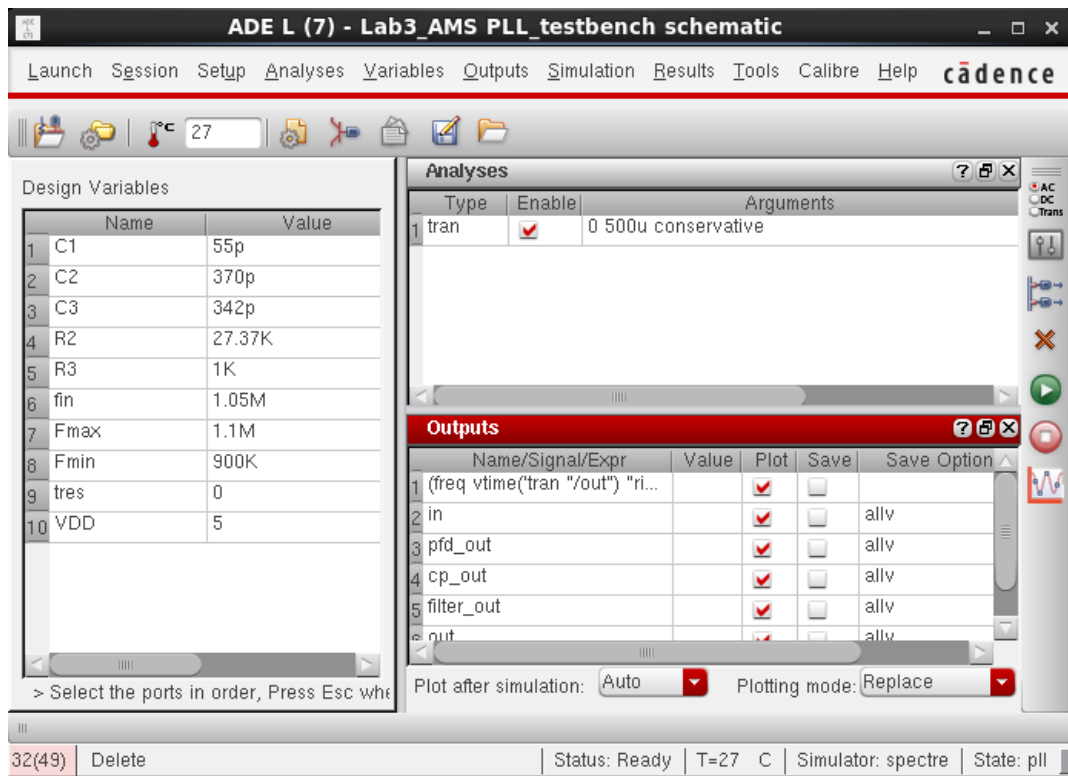
На слици 5.1 приказана је шема за проверу функционалности фазно-синхронизоване петље. На слици 5.2 приказана су подешавања фазно-фреквенцијског детектора, *Charge Pump* компоненте и напонско-контролисаног осцилатора. Генератор неизменичног сигнала има учестаност од 1.05MHz и амплитуду од 5V. ADE L прозор је потребно наместити као што је то приказано на слици 5.3 и резултати симулације дати су на слици 5.4.



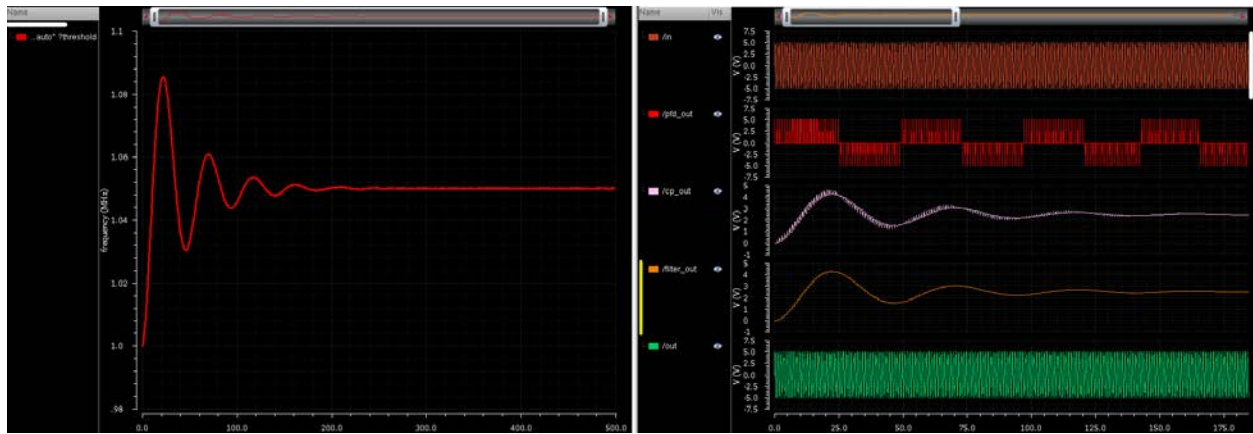
Слика 5.1. Шема за проверу функционалности фазно-синхронизоване петље.



Слика 5.2. Подешавања фазно-фреквенцијског детектора, Charge Pump компоненте и напонско-контролисаног осцилатора.



Слика 5.3. Изглед ADE L прозора.



Слика 5.4. Учестаност фазно-синхронизоване петље и сигнали између компоненти.