

Predlog tema za diplomske radove

prof. dr. Milan Prokin

1. VHDL realizacija AES algoritma za enkripciju podataka

AES je svetski standard za enkripciju. Rad obuhvata pretvaranje izvornog programskog koda u VHDL kod, hardversku optimizaciju sporih delova algoritma, kompajliranje i simulaciju rada u Altera ili Xilinx razvojnom okruženju. Kandidatima je obezbeđena literatura u obliku naučnih i stručnih radova i izvornih kodova programa u programskom jeziku C++ ili C.

2. VHDL realizacija AES algoritma za dekripciju podataka

AES je svetski standard za enkripciju. Rad obuhvata pretvaranje izvornog programskog koda u VHDL kod, hardversku optimizaciju sporih delova algoritma, kompajliranje i simulaciju rada u Altera ili Xilinx razvojnom okruženju. Kandidatima je obezbeđena literatura u obliku naučnih i stručnih radova i izvornih kodova programa u programskom jeziku C++ ili C.

3. VHDL realizacija WAVPACK algoritma za kompresiju audio signala

WAVPACK je relativno jednostavan algoritam za kompresiju audio signala. Rad obuhvata pretvaranje izvornog programskog koda u VHDL kod, hardversku optimizaciju sporih delova algoritma, kompajliranje i simulaciju rada u Altera ili Xilinx razvojnom okruženju. Kandidatima je obezbeđena literatura u obliku naučnih i stručnih radova i izvornih kodova programa u programskom jeziku C++ ili C.

4. VHDL realizacija WAVPACK algoritma za dekompresiju audio signala

WAVPACK je relativno jednostavan algoritam za kompresiju audio signala. Rad obuhvata pretvaranje izvornog programskog koda u VHDL kod, hardversku optimizaciju sporih delova algoritma, kompajliranje i simulaciju rada u Altera ili Xilinx razvojnom okruženju. Kandidatima je obezbeđena literatura u obliku naučnih i stručnih radova i izvornih kodova programa u programskom jeziku C++ ili C.

5. VHDL realizacija algoritma za smanjivanje šuma u slici (denoising)

Rad obuhvata izbor pogodne denoising metode, pretvaranje izvornog programskog koda u VHDL kod, hardversku optimizaciju sporih delova algoritma, kompajliranje i simulaciju rada u Altera ili Xilinx razvojnom okruženju. Kandidatima je obezbeđena literatura u obliku naučnih i stručnih radova i izvornih kodova programa u programskom jeziku C++.

6. VHDL realizacija algoritma za smanjivanja artifakata u slici (deringing)

Rad obuhvata izbor pogodne deringing metode, pretvaranje izvornog programskog koda u VHDL kod, hardversku optimizaciju sporih delova algoritma, kompajliranje i simulaciju rada u Altera ili Xilinx razvojnom okruženju. Kandidatima je obezbeđena literatura u obliku naučnih i stručnih radova i izvornih kodova programa u programskom jeziku C++.

7. Tema po izboru kandidata (mora biti naknadno odobrena na sednici Katedre).