

Spisak tema završnih radova školske 2017.-2018. godine

Mentor: Jelena Popović-Božović

Asistenti: Dragomir El Mezeni, Strahinja Janković, Vladimir Petrović

1. "ASIC implementacija algoritma za obradu signala optimizovana u pogledu potrošnje, površine i performansi"

Potrebno je implementirati hardversku realizaciju nekog od algoritama za obradu signala (FFT, rekurzivni algoritam za filtriranje, ...) korišćenjem standardnih ćelija iz CMOS 180 nm ili CMOS 90 nm TSMC biblioteke. Za opis algoritma koristiti VHDL, a za projektovanje i sintezu raspoložive Cadence alate. Nakon implementacije osnovne verzije algoritma, potrebno je uraditi optimizaciju sa stanovišta potrošnje, performansi i zauzete površine korišćenjem arhitekturnih tehnika kao što su multipleksiranje, paralelizam, pajplajn i sl.

uslov: položeni predmeti OE4UPV i OE3UPK

2. "Digitalni kompas"

Realizovati digitalni kompas korišćenjem magnetometra sa I2C izlazom i Spartan 3E razvojne ploče. Potrebno je izvršiti kompenzaciju položaja magnetometra u odnosu na Zemljinu površinu pomoću akcelerometra.

uslov: položen predmet OE4UPV

3. "Projektovanje sabirača korišćenjem standardnih ćelija u CMOS tehnologiji"

Potrebno je projektovati dva 64-bitna sabirača korišćenjem standardnih ćelija iz CMOS 90nm TSMC biblioteke. Jedan sabirač treba da bude Riple Carry, a drugi sabirač sa stablom. Za opis sabirača koristiti VHDL, a za projektovanje odgovarajuće Cadence alate.

uslov: položeni predmeti OE4UPV i OE3UPK

4. "Primena GDI tehnika u projektovanju digitalnih integrisanih kola male potrošnje"

Upoznati se sa GDI tehnikama za projektovanje kombinacionih kola male potrošnje. Na primeru osnovnih logičkih kola dati poređenje implementacija komplementarnih CMOS kola i kola projektovanih primenom modifikovane GDI tehnike u standardnoj 180nm CMOS tehnologiji. Za projektovanje koristiti Cadence alate.

uslov: položen predmet OE3UPK

5. "Projektovanje verifikacione komponente korišćenjem UVM metodologije"

Potrebno je upoznati se sa UVM metodologijom koja je trenutno najviše zastupljena u praksi i projektovati jednu univerzalnu verifikacionu komponentu za jednostavniji protokol (AXiLite, APB, I2C...).

uslov: položen predmet OE4UPV

Kandidati mogu sami predložiti teme vezane za oblasti koje pokrivaju predmeti Uvod u projektovanje integrisanih kola i Uvod u projektovanje VLSI sistema koje će biti razmotrene i po potrebi korigovane.