



ELEKTROTEHNIČKI FAKULTET U BEOGRADU

KATEDRA ZA ELEKTRONIKU

OSNOVI DIGITALNE ELEKTRONIKE

**SVI ODSECI OSIM ODSEKA ZA ELEKTRONIKU I ODSEKA ZA
RAČUNARSKU TEHNIKU I INFORMATIKU**

LABORATORIJSKE VEŽBE

***KRATKO UPUTSTVO ZA KORIŠĆENJE
PROGRAMSKOG PAKETA QUARTUS II***

Autor: Goran Savić

1. Uvod

Programski paket *Quartus II* je namenjen za razvoj i projektovanje digitalnih sistema, kao i za njihovu implementaciju u programabilnim logičkim kolima firme *Altera*. *Quartus II* sadrži alate za opis, prevođenje, optimizaciju, analizu, simulaciju i verifikaciju digitalnih sistema, kao i za programiranje u cilju implementacije dizajna u programabilnim logičkim kolima firme *Altera*.

Programski paket *Quartus II (Free Web Edition)* i odgovarajuću licencu je moguće besplatno download-ovati sa sajta <http://www.altera.com>.

Osnovni postupak projektovanja digitalnih sistema, korišćenjem programskog paketa *Quartus II*, sa kojim će studenti imati prilike da se upoznaju na laboratorijskim vežbama, se sastoji od nekoliko koraka.

Prvi korak podrazumeva formiranje projekta u okviru koga će se nalaziti svi fajlovi koji će biti kreirani u postupku projektovanja sistema.

Drugi korak predstavlja opis digitalnog sistema pomoću VHDL-a u odgovarajućem tekstualnom editoru. Vršiti se na osnovu zadatih specifikacija, tj. zahteva u pogledu funkcionisanja sistema koji su postavljeni pred projektanta.

Treći korak je postupak prevođenja i optimizacije dizajna, prethodno opisanog u VHDL-u, pomoću odgovarajućeg prevodioca (*Quartus II Compiler Tool*). Za uspešan nastavak postupka projektovanja neophodno je da prevođenje prođe bez grešaka (tj. da *Quartus II Compiler Tool* ustanovi da je uneti dizajn sintaksno ispravan).

Četvrti korak obuhvata simulaciju i funkcionalnu verifikaciju dizajna. U okviru ovog koraka projektant pomoću odgovarajućeg simulatora (*Quartus II Simulator Tool*) definiše vremenske oblike signala na ulazu, zadaje simulaciju i posmatra odziv na izlazu sa ciljem da utvrdi funkcionalnu ispravnost projektovanog sistema, kašnjenja u sistemu i sl.

Poslednji, peti korak, koji neće biti obuhvaćen laboratorijskim vežbama, bi podrazumevao implementaciju projektovanog digitalnog sistema u nekom od programabilnih (PLD, CPLD ili FPGA) logičkih kola firme *Altera* i verifikaciju ispravnosti rada u realnim uslovima. Programiranje odgovarajućeg programabilnog kola bi se izvršilo pomoću programatora *Quartus II Programmer* koji je sastavni deo *Quartus II* paketa.

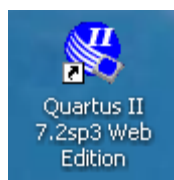
I na kraju, potrebno je naglasiti da osim navedenih, softverski paket *Quartus II* poseduje i niz drugih alata i opcija za razvoj i projektovanje digitalnih sistema.

2. Postupak projektovanja digitalnih sistema korišćenjem programskog paketa *Quartus II*

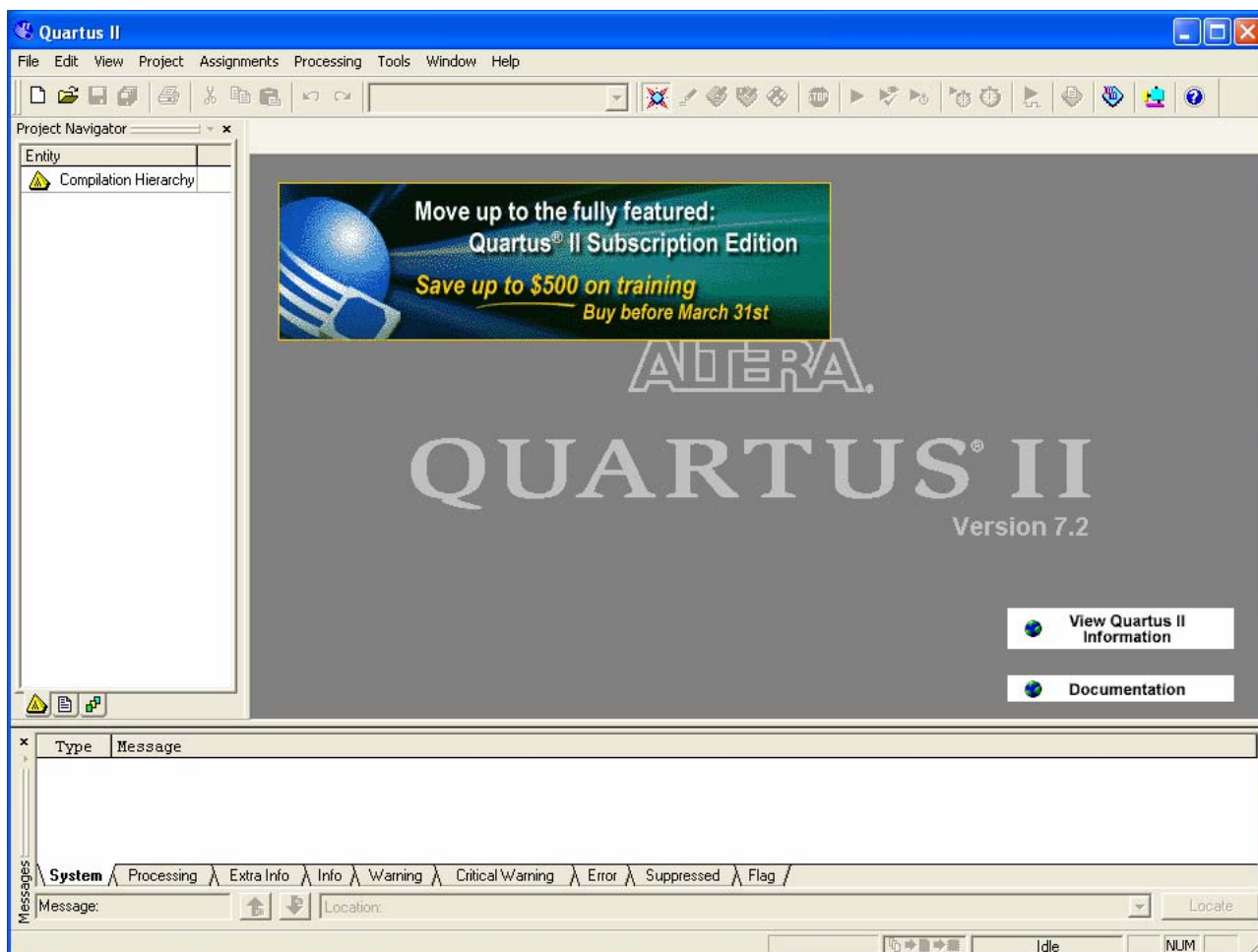
Sledi opis postupka projektovanja digitalnog sistema koji će studenti biti u prilici da sprovedu na laboratorijskim vežbama, uz odgovarajuća detaljna uputstva za korišćenje potrebnih alata iz programskog paketa *Quartus II*.

2.1. Pokretanje paketa *Quartus II* i formiranje projekta

Programski paket *Quartus II* se pokreće na način uobičajen za *Windows* aplikacije, tj. izborom programa iz *Start* menija ili duplim klikom na ikonicu na desktopu koja predstavlja *shortcut* za *Quartus II* aplikaciju. Izgled ikonice za *Quartus II* aplikaciju je prikazan na slici 1. Nakon pokretanja aplikacije, na ekranu će se pojaviti prozor čiji je izgled prikazan na slici 2.

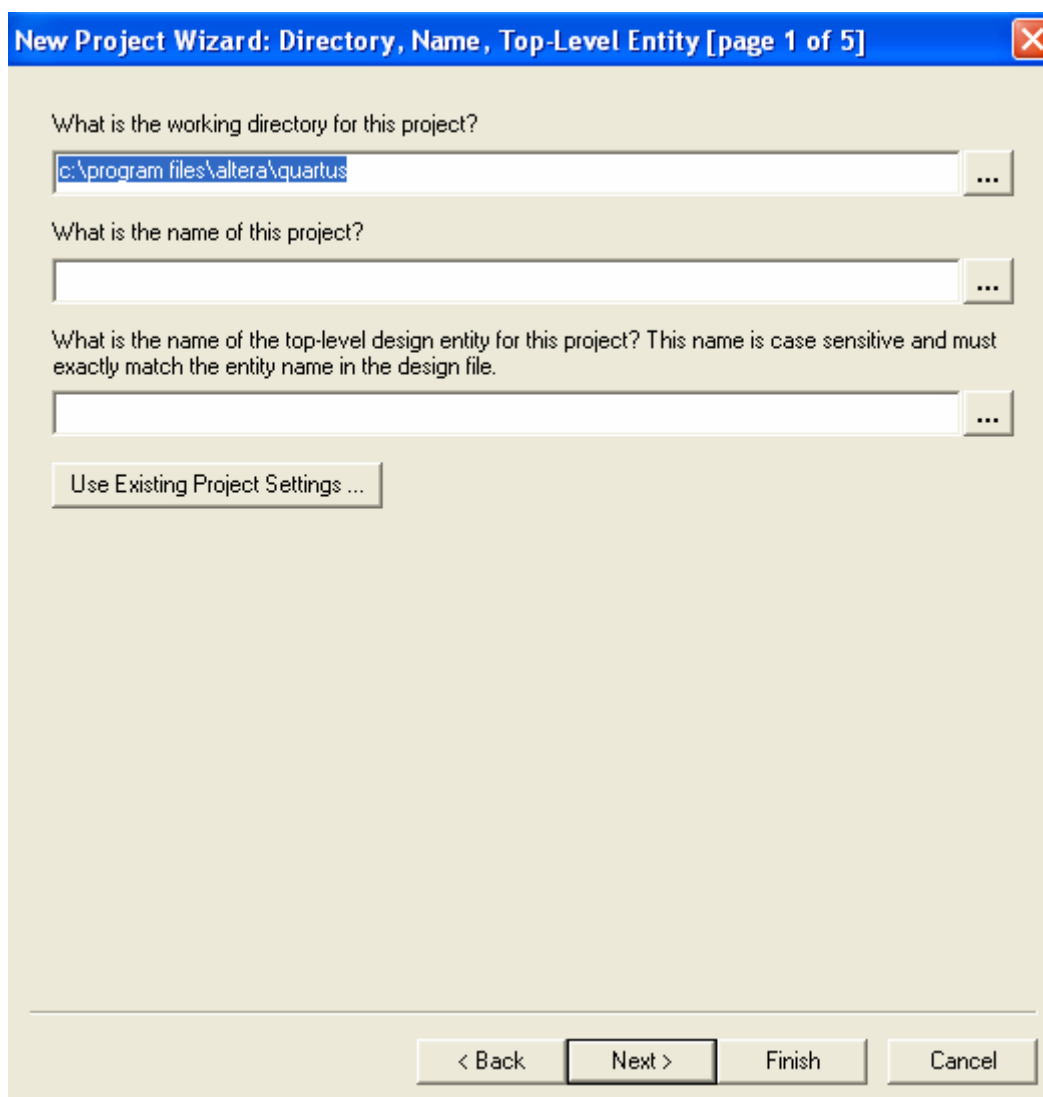


Slika 1



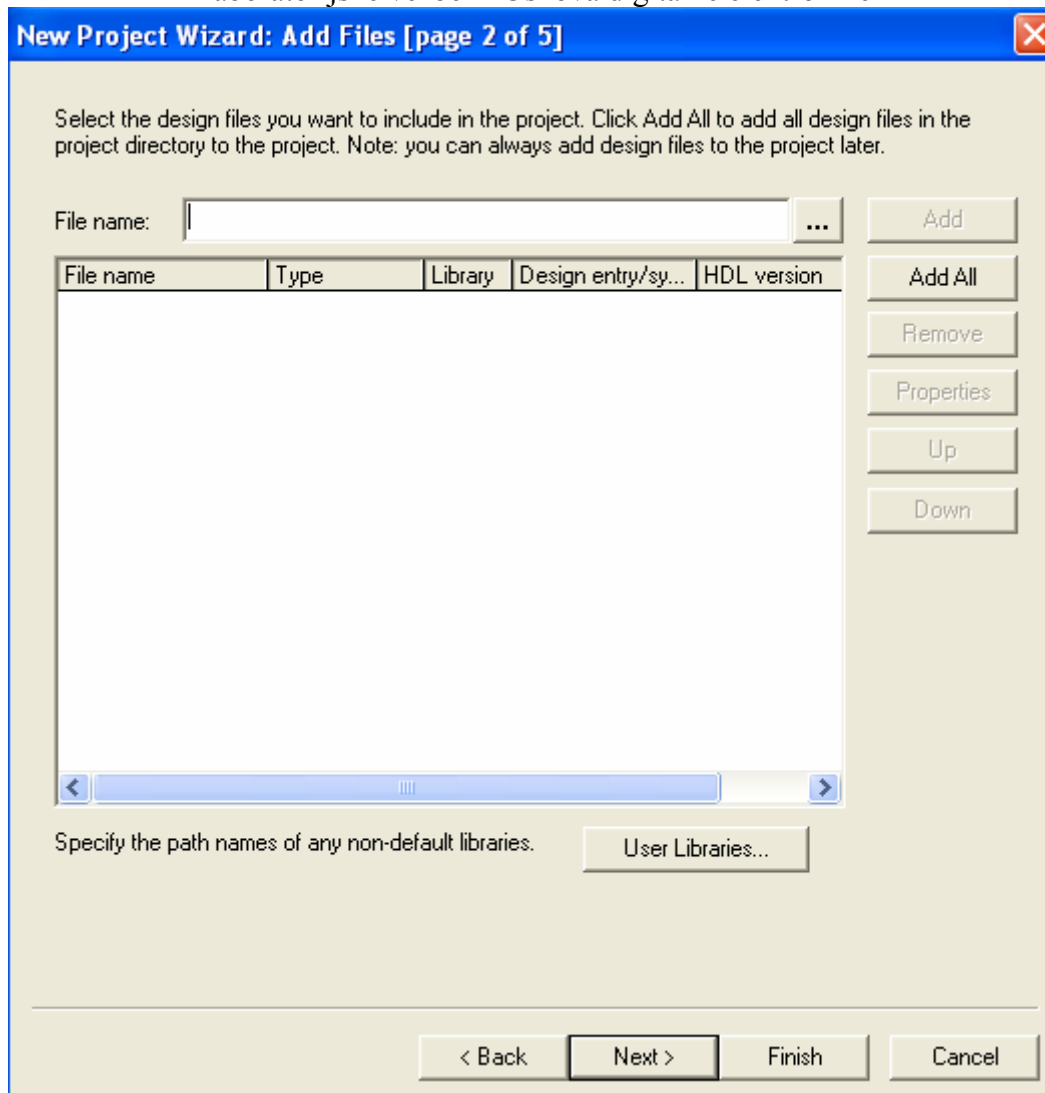
Slika 2

Formiranje projekta se sprovodi u nekoliko koraka. Najpre je potrebno izabrati opciju menija **File / New Project Wizard**, nakon čega se pojavljuje prozor sa nazivom *Introduction*. Ovaj prozor samo prikazuje neke osnovne informacije o kreiranju projekta i ne nudi nikakve opcije od značaja za formiranje projekta. Klikom na dugme *Next* otvara se prozor prikazan na slici 3, u kome je potrebno dati ime projektu koga formiramo i izabrati lokaciju na kojoj će biti snimljen. Takođe, u ovom prozoru se zadaje i ime dizajna koji predstavlja najviši hijerarhijski nivo u okviru projekta. Po *default*-u ova dva imena su identična, i na ovim laboratorijskim vežbama treba tako i da ostane.



Slika 3

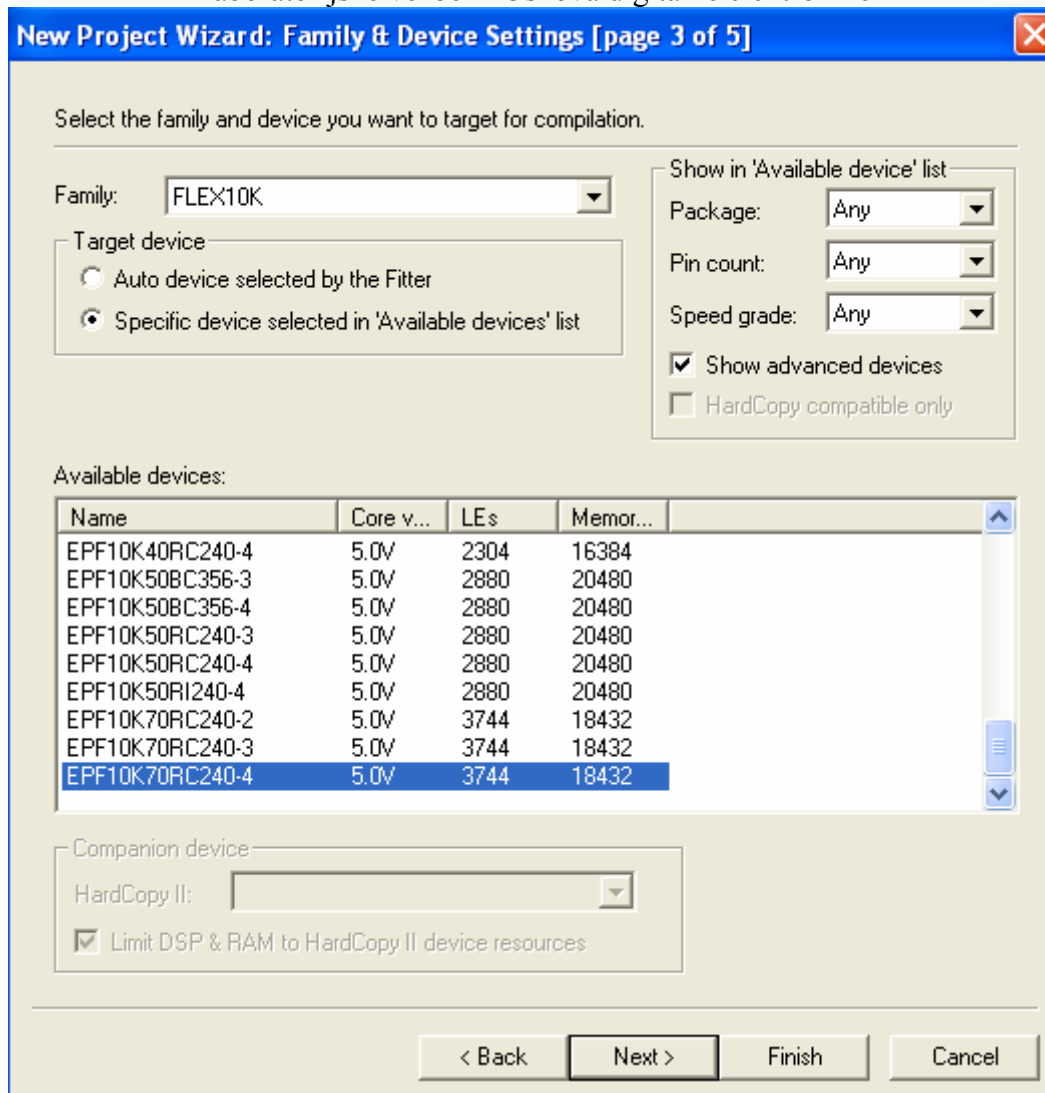
Sledećim klikom na dugme *Next* otvara se prozor prikazan na slici 4 preko koga je moguće projektu dodati fajlove koji već postoje (koji su npr. kreirani u okviru nekog drugog projekta) i priključiti korisničke biblioteke. Na laboratorijskim vežbama iz ODE nije potrebno dodavati neke već postojeće fajlove niti priključivati biblioteke tako da se odmah prelazi na sledeći prozor (klikom na dugme *Next*).



Slika 4

Prozor koji se sledeći otvara je prikazan na slici 5. U okviru ovog prozora je potrebno specificirati familiju i tip programabilnog kola za koji se dizajnira projekat. Najpre je potrebno izabrati familiju programabilnog kola, na osnovu koje se automatski izvrši popunjavanje polja sa nazivima raspoloživih kola. Ako korisnik želi da zada tip programabilnog kola, neophodno je da setuje opciju *Specific device selected in 'Available devices' list*. Ukoliko korisnik, pak, tek treba da se odluči po pitanju izbora adekvatnog kola, npr. na osnovu rezultata simulacija, može setovati opciju *Auto devices selected by the Fitter* čime će odluka o izboru konkretnog kola iz specificirane familije biti ostavljena prevodiocu (koji će o tome odlučiti na osnovu kompleksnosti dizajna, potrebnih resursa, itd).

Sledećim klikom na dugme *Next* otvara se prozor *EDA Tool Settings* koji omogućava korišćenje naprednijih tehnika u razvoju sistema. Na laboratorijskim vežbama iz ODE ove opcije neće biti korišćene tako da je potrebno odmah preći (klikom na dugme *Next*) na sledeći, ujedno i poslednji prozor *Summary* u kojem su izlistani parametri projekta koji su u postupku formiranja definisani. Ukoliko korisnik želi da promeni bilo koji od ovih parametara, to može učiniti povratkom na odgovarajuće prozore (klikom na dugme *Back* potreban broj puta). Ako nema potrebe za promenom parametara, proces formiranja projekta se završava klikom na dugme *Finish*.

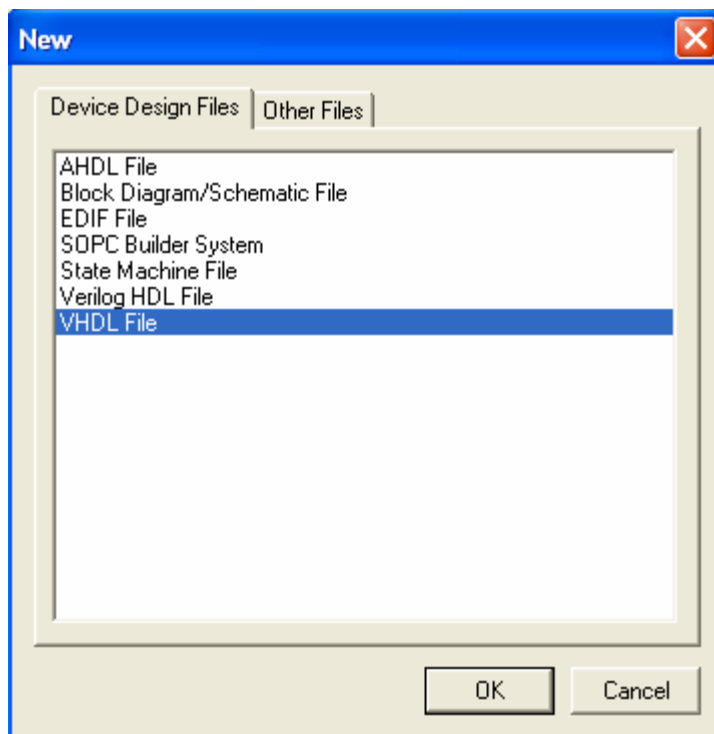


Slika 5

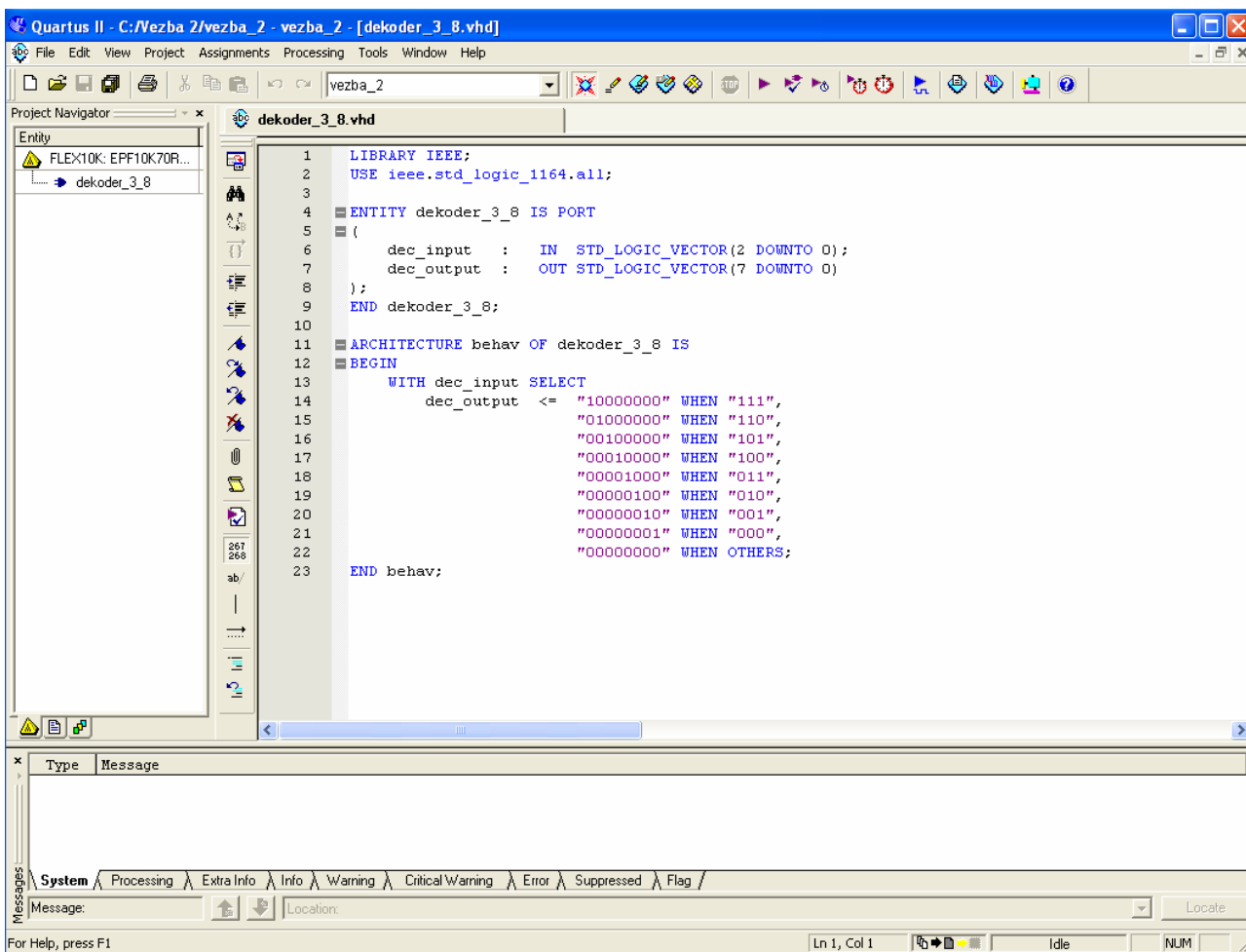
2.2. Unos dizajna opisanog VHDL-om

Pre unosa dizajna opisanog VHDL-om potrebno je kreirati novi VHDL fajl u okviru već formiranog projekta u koji će se obaviti unos VHDL koda. Kreiranje novog VHDL fajla se vrši izborom opcije menija **File / New**, nakon čega se pojavljuje prozor sa nazivom *New* prikazan na slici 6. U okviru ovog prozora je potrebno selektovati opciju *VHDL File* sa kartice *Device Design Files*, i klikom na dugme *OK* se formira fajl sa ekstenzijom „.vhd“. Ovaj fajl je potrebno potom snimiti pod željenim imenom (takođe sa ekstenzijom „.vhd“) na željenu lokaciju izborom opcije menija **File / Save As** (na standardni način kao i kod mnogih drugih *Windows* aplikacija).

Sada je sve spremno za unos VHDL opisa digitalnog sistema (u skladu sa specifikacijama zadatim projektantu) u trenutno otvoreni tekstualni editor. Po završetku unosa, dizajn je neophodno snimiti izborom opcije menija **File / Save**. Primer tekstualnog editora u koji je unesen VHDL kod koji opisuje jedan jednostavni digitalni sistem je prikazan na slici 7.



Slika 6

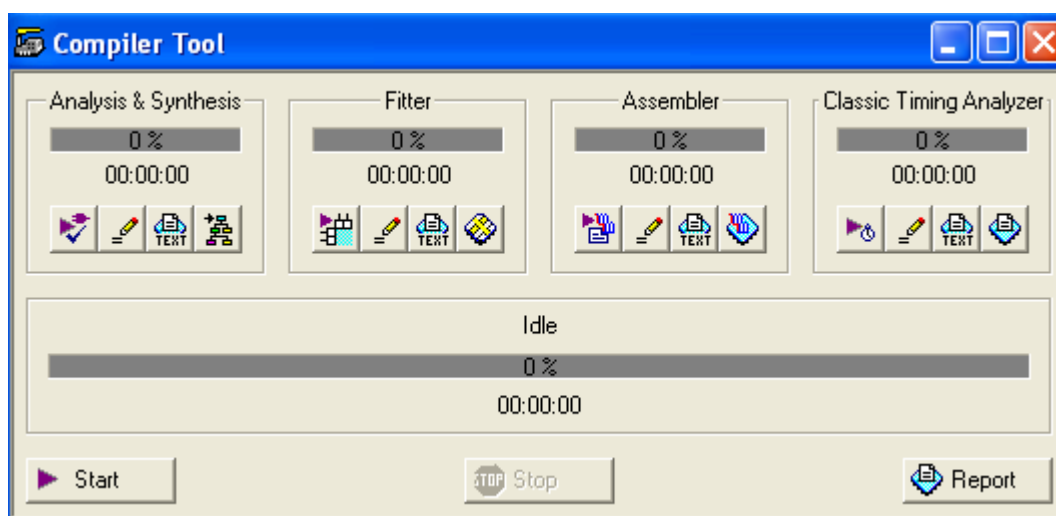


Slika 7

2.3. Prevođenje projekta

Sledeći korak je prevođenje projekta. U tu svrhu se koristi *Quartus II Compiler Tool*. Postupkom prevođenja se vrši provera sintaksne ispravnosti unetog koda, dodela i povezivanje raspoloživih resursa programabilnog kola (specificiranog u postupku formiranja projekta) u cilju realizacije sistema opisanog VHDL kodom, kao i formiranje fajlova koji će biti potrebni za postupak simulacije, vremenske analize signala i programiranja kola.

Pre samog prevođenja dizajna potrebno je izborom opcije menija **Project / Set as Top-Level Entity** postaviti dizajn koji treba prevesti na najviši hijerarhijski nivo (jer u opštem slučaju sistem se može sastojati od više VHDL fajlova, a prevodilac prevodi onaj fajl koji je postavljen na najviši hijerarhijski nivo). Prevođenje se startuje izborom opcije menija **Processing / Compiler Tool**, nakon čega se otvara prozor prikazan na slici 8, i potom klikom na dugme *Start*.



Slika 8

Tokom trajanja postupka prevođenja, u prozoru *Processing* koji se nalazi ispod prozora prevodioca ispisuju se odgovarajuće informacije o postupku prevođenja (*Info*), upozorenja (*Warning*) i greške (*Error*) ukoliko postoje. Da bi projekat bio uspešno preveden, neophodno je da nakon prevođenja u prozoru *Processing* ne bude ispisana nijedna greška (*Error*). U slučaju pojave grešaka, u prozoru *Processing* se ispisuje i komentar koji upućuje projektanta na mesto i uzrok greške u VHDL kodu. U tom slučaju je neophodno da projektant na osnovu tog komentara ispravi grešku (ili više njih) i da potom ponovo snimi ispravljeni dizajn (opcija iz menija **File / Save**) i da ponovi postupak prevođenja. Nakon uspešnog prevođenja projekta (tj. bez grešaka), otvara se prozor sa porukom *Full Compilation was successful*, i tek nakon ovoga se može preći na sledeći korak u postupku projektovanja digitalnog sistema.

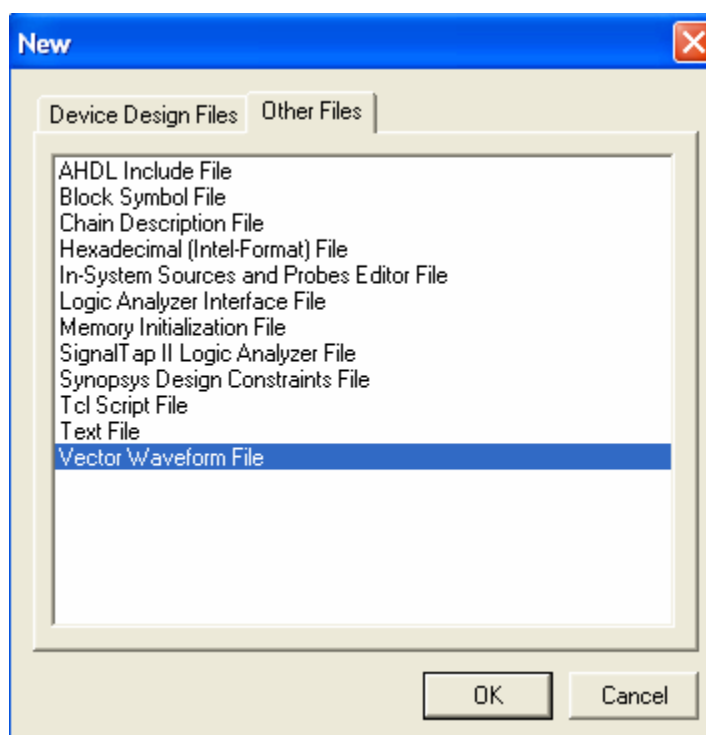
2.4. Simulacija unetog dizajna

Simulacija dizajna, koji je prethodno opisan VHDL-om ima za cilj utvrđivanje da li dizajn zadovoljava zahteve koji su postavljeni pred projektanta, prevashodno u smislu funkcionalne ispravnosti i kašnjenja koja se u projektovanom sistemu javljaju. Simulacija se sprovodi u tri koraka. Najpre je potrebno definisati simulacionu datoteku u kojoj će se specificirati sekvenca

Laboratorijske vežbe iz Osnova digitalne elektronike

ulaznih signala u vremenskom domenu i signali (unutrašnji i izlazni) koje želimo da posmatramo, a koji predstavljaju odziv na zadate ulazne signale. Zatim se zadaje obrada simulacione datoteke. Poslednji korak podrazumeva analizu dobijenih vremenskih odziva na pobudu ulaznim signalima, na osnovu koje se utvrđuje da li isprojektovani dizajn zadovoljava postavljene zahteve. U slučaju da su utvrdi da u dizajnu postoji greška, npr. da je dizajn funkcionalno neispravan, potrebno je da projektant izvrši odgovarajuće modifikacije VHDL koda sa ciljem otklanjanja grešaka i da ponovi postupak prevođenja projekta i simulacije sve dok dizajn ne bude funkcionalno ispravan.

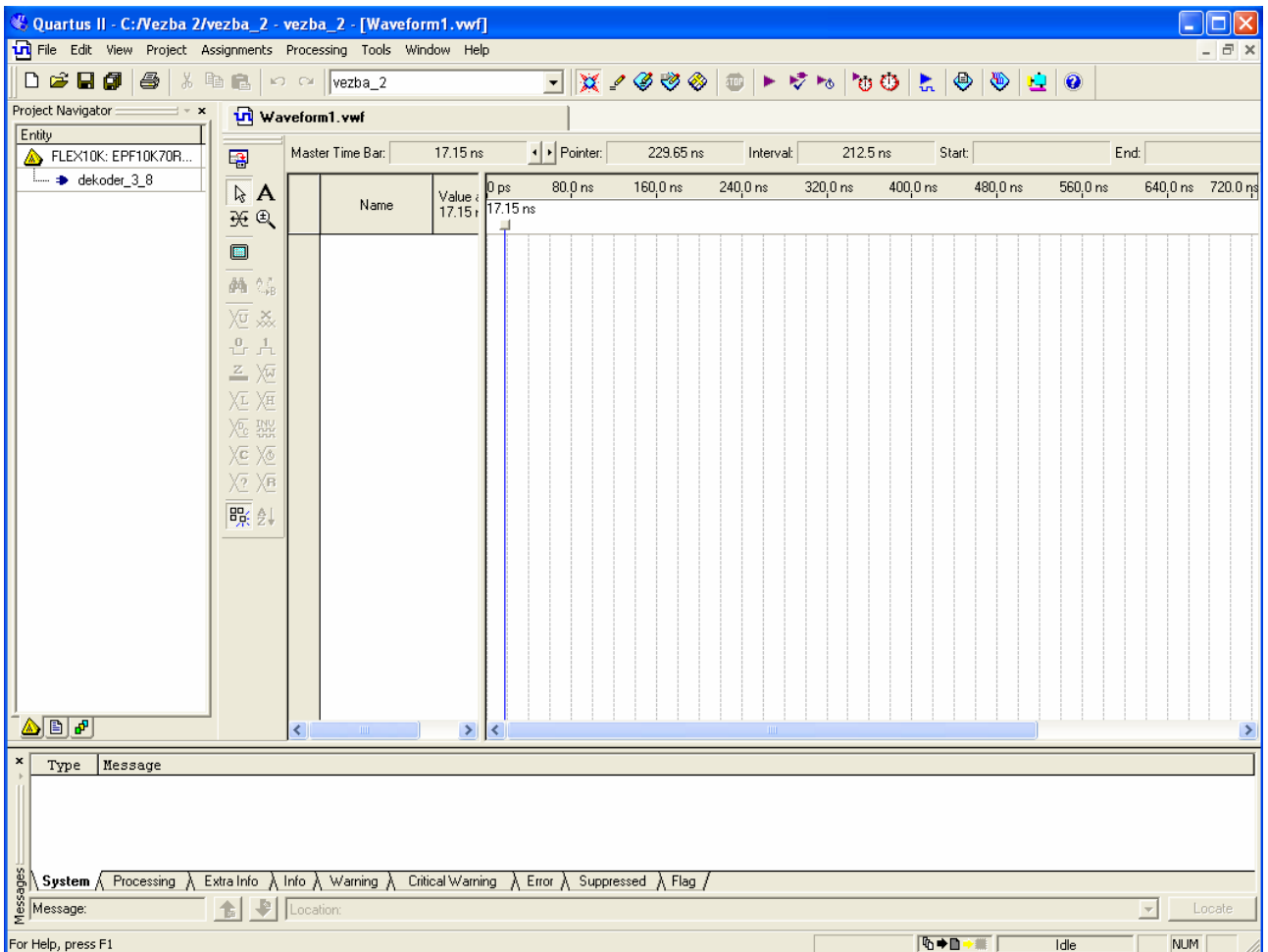
Definisanje simulacione datoteke se vrši pomoću editora vremenskih oblika signala. Postupak započinje kreiranjem novog *Vector Waveform* fajla i to izborom opcije menija **File / New**, nakon čega se pojavljuje prozor sa nazivom *New* prikazan na slici 9. U okviru ovog prozora je potrebno selektovati opciju *Vector Waveform File* sa kartice *Other Files*, i klikom na dugme *OK* se otvara prozor prikazan na slici 10 i formira se fajl sa ekstenzijom „.vwf“. Ovaj fajl je potrebno potom snimiti, pod **istim imenom** (samo sa ekstenzijom „.vwf“) kao što je ime odgovarajućeg „.vhd“ fajla u kome se nalazi dizajn koga je potrebno simulirati, na željenu lokaciju izborom opcije menija **File / Save As** (na standardni način kao i kod mnogih drugih *Windows* aplikacija).



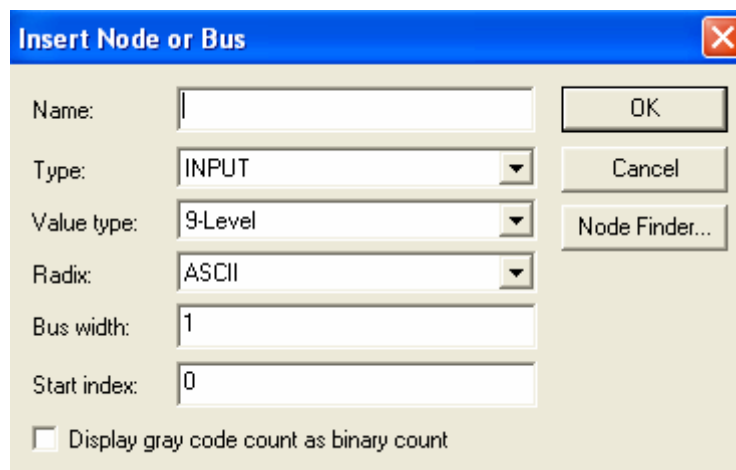
Slika 9

Zatim je potrebno izabrati signale (ulazne, unutrašnje i izlazne) koji će biti simulirani. Izbor signala se vrši na sledeći način. Dvostrukim klikom na kolonu *Name* ili *Value at* u prozoru sa slike 10, otvara se novi prozor prikazan na slici 11 (*Insert Node or Bus*). Potrebno je zatim kliknuti na dugme *Node Finder* što za posledicu ima otvaranje prozora *Node Finder* prikazanog na slici 12. Opciju *Filter* treba zatim podesiti na *Pins:all*, i kliknuti na dugme *List* čime se popunjava kolona *Nodes Found* svim raspoloživim signalima za simulaciju u skladu sa izabranom opcijom filtera. Zatim je potrebno izabrati signale koji će biti simulirani i prebaciti ih u polje *Selected Nodes* (klikom na dugme '>>', '<<', '>>>' ili '<<<' se može vršiti prebacivanje signala iz polja *Nodes Found* u polje *Selected Node*, i obratno). Nakon što su u polje *Selected Nodes* prebačeni svi signali koje je potrebno simulirati, klikom na dugme *OK* prozora *Node Finder* i klikom na dugme *OK* prozora *Insert Node or Bus* se završava specifikacija signala koji će biti simulirani.

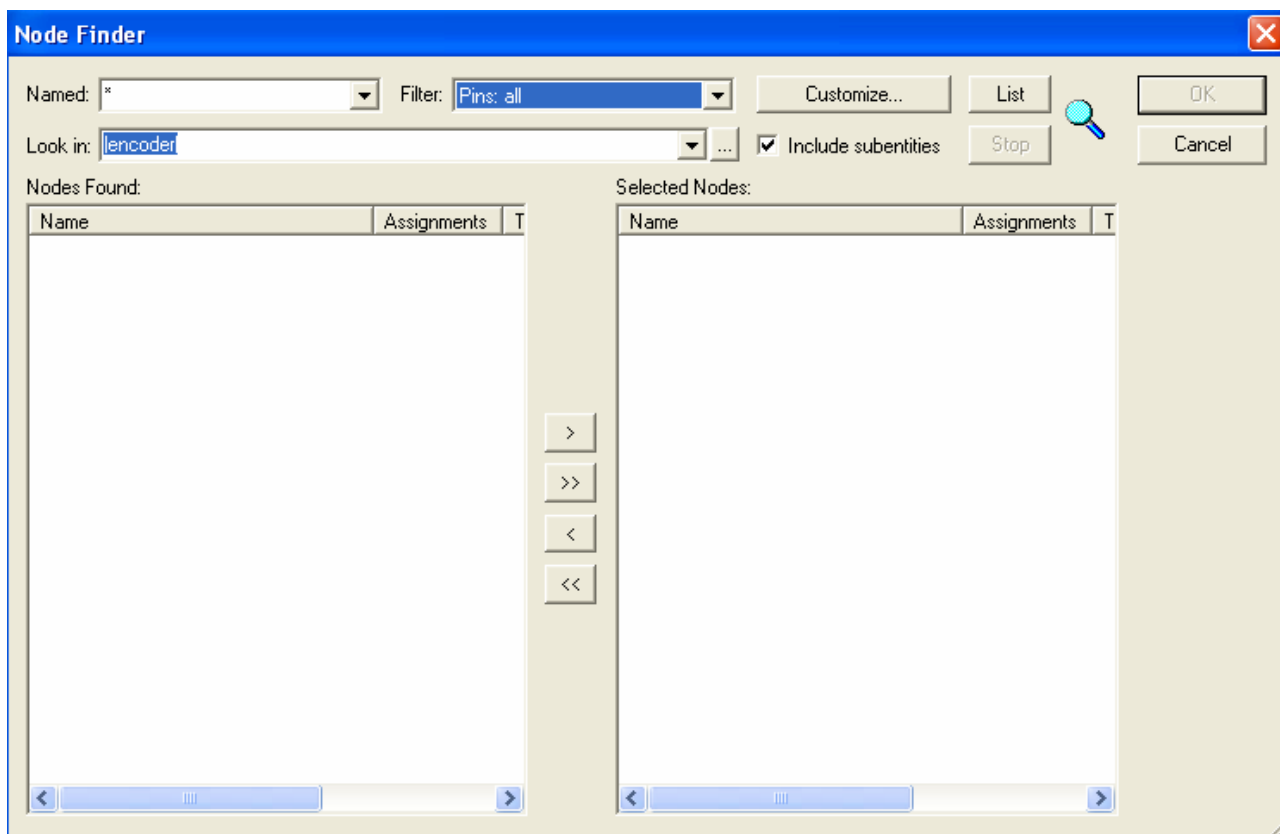
Laboratorijske vežbe iz Osnova digitalne elektronike



Slika 10



Slika 11



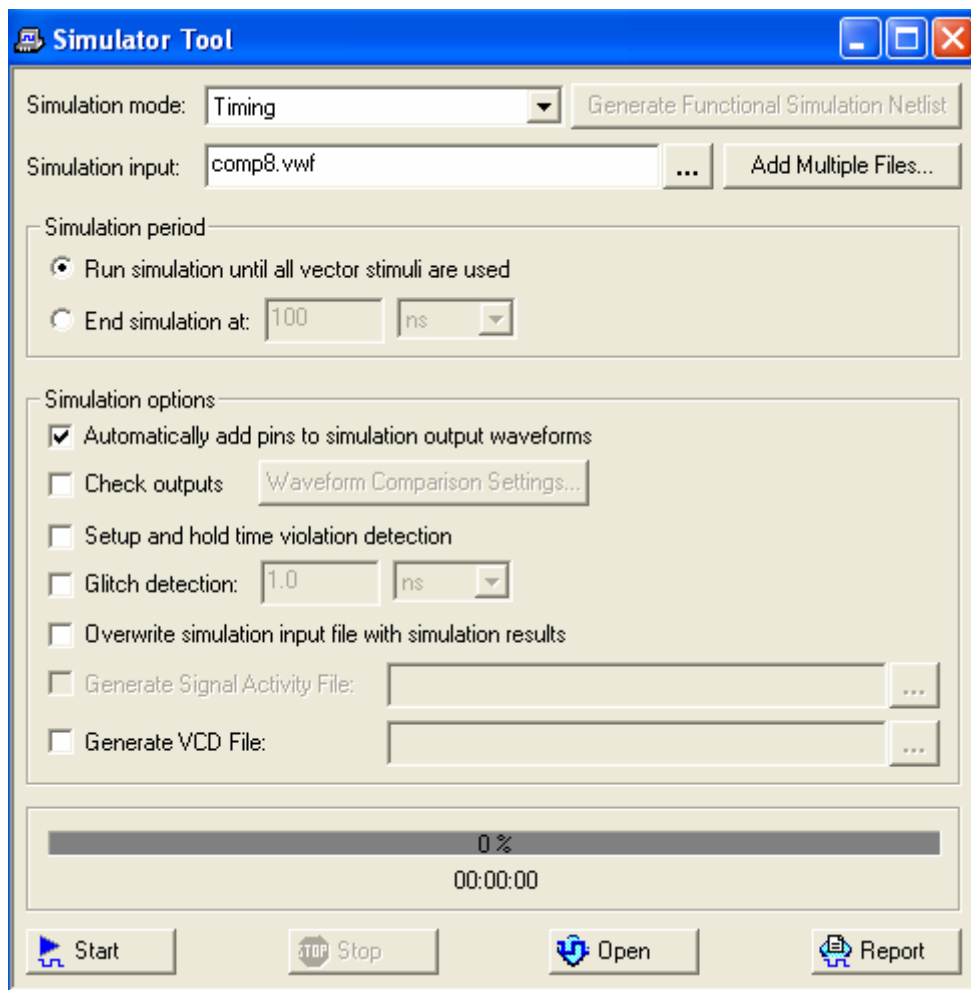
Slika 12

Sledeći korak podrazumeva specificiranje vrednosti ulaznih signala za vremenski interval u kome se vrši simulacija. Najpre se izborom opcije menija **Edit / End Time** otvara prozor *End Time* u okviru kojeg je u polju *Time* potrebno zadati trajanje vremenskog intervala za koji će se vršiti simulacija i potvrditi izbor klikom na dugme *OK*. Zatim se izborom opcije menija **Edit / Grid Size** otvara prozor *Grid Size* u okviru kojeg se zadaje vremenski interval za trajanje *Grid*-a (razmak između vertikalnih linija koje predstavljaju minimalni vremenski korak za predstojeće zadavanje vrednosti ulaznim signalima) na simulacionom dijagramu, koji se potvrđuje klikom na dugme *OK*. Zadavanje željene vrednosti nekom ulaznom signalu se može izvršiti prevlačenjem željenog intervala na simulacionom dijagramu kursorom uz pritisnuti levi taster miša, čime se taj interval selektuje, i klikom na ikonu '0' ili '1' (zavisno od toga koja se vrednost želi zadati ulaznom signalu za selektovani interval) koja se nalazi levo od simulacionog dijagrama. Ukoliko je ulazni signal vektorskog tipa, vrednost mu se za željeni interval vremena može zadati na sličan način klikom na ikonu '?' čime se otvara prozor *Arbitrary Value* u okviru kojeg je potrebno specificirati *Radix* (*Unsigned Decimal, Signed Decimal, Hexadecimal, Octal, Binary,...*) i vrednost signala, koja se potom potvrđuje klikom na dugme *OK*. Ukoliko ulazni signal treba da bude signal takta, najlakši način za njegovo specificiranje je selektovanjem signala klikom na njegovo ime (levo od kolone *Name* u prozoru simulacionog dijagrama), zatim klikom na ikonu 'C' čime se otvara prozor *Count Value* na čijoj kartici *Timing* se izborom opcije *At absolute times* i zadavanjem vrednosti *Count every* i *Multiplied by* zadaje interval promene vrednosti signala (jednak proizvodu vrednosti *Count every* i *Multiplied by*). Na sličan način je moguće zadati i vrednosti signala vektorskog tipa čija vrednost se povećava ili smanjuje za fiksnu vrednost koraka (zadatu u polju *Increment by* na kartici *Counting* u prozoru *Count Value*), pri čemu je interval promene vrednosti signala zadat na način kao što je to već opisano (podešavanjem odgovarajućih vrednosti na kartici *Timing*). *Radix* svakog signala ponaosob u simulacionom dijagramu se može specificirati ili modifikovati po potrebi i na sledeći način: desnim klikom mišem na ime signala u koloni *Name* i izborom opcije *Properties*

otvara se prozor *Node Properties* u okviru koga treba u polju *Radix* selektovati željenu opciju (*Unsigned Decimal, Signed Decimal, Hexadecimal, Octal, Binary,...*),

Nakon što su specificirane vrednosti ulaznih signala, sama simulacija se pokreće izborom opcije menija **Processing / Simulator Tool**, nakon čega se otvara prozor prikazan na slici 13. U okviru tog prozora, potrebno je u polju *Simulation Input* specificirati simulacionu datoteku (klikom na dugme "...", desno od polja i izborom odgovarajuće datoteke) i izabrati opciju *Run simulation until all vector stimuli are used*. Startovanje simulacije se vrši pritiskom na dugme *Start*. Po završetku simulacije pojavljuje se prozor sa porukom *Simulator was successful* (u slučaju da je simulacija prošla uspešno) ili *Simulator was unsuccessful* (u slučaju neuspešne simulacije, kada se u prozoru *Processing* u donjem delu ekrana ispisuju odgovarajuće poruke koje ukazuju na greške). Konačno, pregled rezultata simulacije se vrši klikom na dugme *Open*.

Pregledom i analizom izlaznih signala dobijenih postupkom simulacije, projektant treba da ustanovi da li njegov dizajn zadovoljava zadate specifikacije u pogledu funkcionalnosti i kašnjenja. Ukoliko ne zadovoljava, potrebno je da projektant izmeni VHDL opis dizajna kako bi otklonio nedostatke koje je uočio i da potom ponovi postupak prevođenja i simulacije. Ukoliko zadovoljava, poslednji korak u postupku projektovanja digitalnog sistema bi podrazumevao programiranje izabranog programabilnog kola (čipa), nakon čega bi usledilo završno testiranje dizajna u realnim uslovima. No, programiranje čipa nije obuhvaćeno laboratorijskim vežbama iz ODE, tako da neće biti ni opisano u ovom uputstvu.



Slika 13