



ELEKTROTEHNIČKI FAKULTET U BEOGRADU

KATEDRA ZA ELEKTRONIKU

OSNOVI DIGITALNE ELEKTRONIKE

**SVI ODSECI OSIM ODSEKA ZA ELEKTRONIKU I ODSEKA ZA
RAČUNARSKU TEHNIKU I INFORMATIKU**

LABORATORIJSKE VEŽBE

VEŽBA BROJ 2

REALIZACIJA KOMBINACIONIH KOLA U VHDL-U

Autor: Goran Savić

IME I PREZIME	BR. INDEKSA	GRUPA	OCENA
1.			
2.			

DATUM _____

VREME _____

DEŽURNI U LABORATORIJU _____

A. OPIS VEŽBE

Vežba se sastoji od četiri zadataka.

U prvom zadatku je data logička šema kombinacione mreže koju čine neka od osnovnih logičkih kola i odgovarajući VHDL opis date mreže. Potrebno je da studenti u programskom paketu *Quartus II* izvrše formiranje projekta, unos datog koda, njegovo prevođenje i da simulacijom verifikuju ispravnost dizajna.

U drugom zadatku je data logička šema kombinacione mreže koju čine neka od osnovnih logičkih kola. Potrebno je da studenti u programskom paketu *Quartus II* kreiraju VHDL opis date mreže, izvrše njegovo prevođenje i da simulacijom verifikuju ispravnost dizajna.

U trećem zadatku je dat VHDL opis dekodera 3/8. Potrebno je da studenti u programskom paketu *Quartus II* izvrše unos datog koda, njegovo prevođenje i da simulacijom verifikuju ispravnost dizajna.

U četvrtom zadatku je potrebno da studenti u programskom paketu *Quartus II* kreiraju VHDL opis dekodera 2/4 sa *Enable* signalom, izvrše prevođenje i da simulacijom verifikuju ispravnost dizajna.

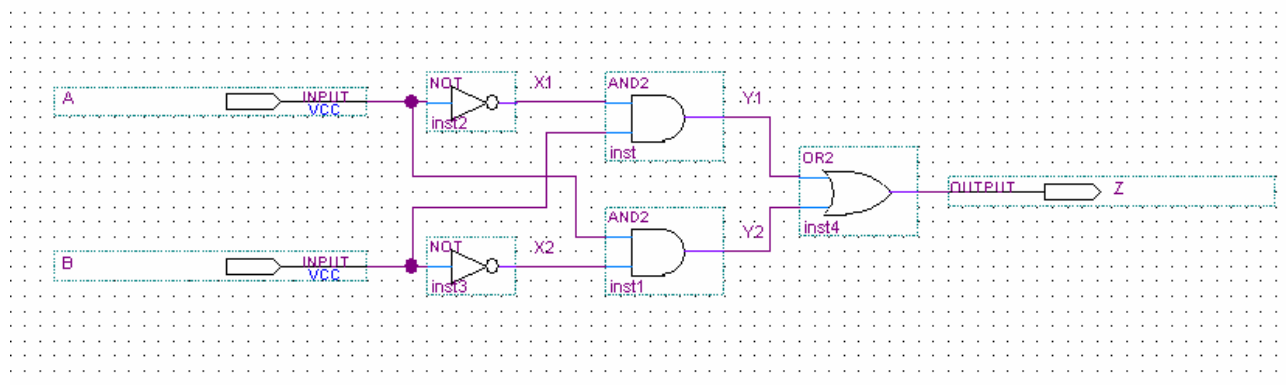
B. POTREBAN PRIBOR, INSTRUMENTI I MATERIJAL

- PC sa instaliranim programskim paketom *Quartus II*
- Kratko uputstvo za korišćenje programskog paketa *Quartus II*

C. ZADACI

C.1. Kombinaciona mreža sa nekim od osnovnih logičkih kola (simulacija i verifikacija dizajna)

Na slici 1 je prikazana logička šema kombinacione mreže koja je predmet ovog zadatka. Na slici su označeni ulazni, izlazni i unutrašnji signali. U tekstu ispod slike je dat VHDL opis te kombinacione mreže, pri čemu nazivi signala u kodu odgovaraju nazivima signala na šemi.



Slika 1

```

LIBRARY IEEE;
USE ieee.std_logic_1164.all;

ENTITY komb1 IS PORT
(
    A,B          : IN STD_LOGIC;
    Z            : OUT STD_LOGIC
);
END komb1;

ARCHITECTURE behav OF komb1 IS
    SIGNAL      X1,X2,Y1,Y2:   STD_LOGIC;
BEGIN
    X1    <=    NOT A;
    X2    <=    NOT B;
    Y1    <=    X1 AND B;
    Y2    <=    X2 AND A;
    Z     <=    Y1 OR Y2;
END behav;

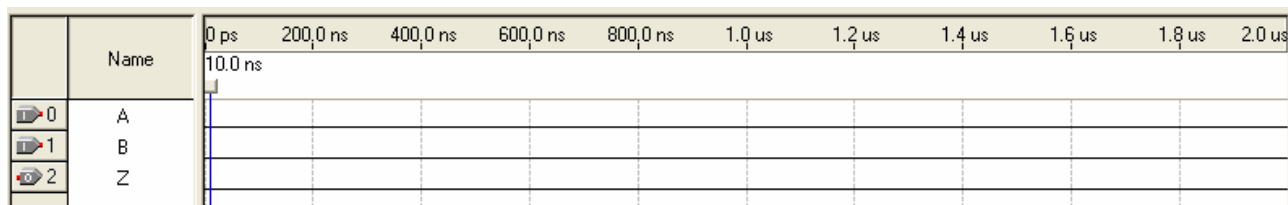
```

C.1.1. Formirati novi projekat pod nazivom *vezba2* u programskom paketu *Quartus II* u direktorijumu C:\ODE (ukoliko ovakav direktorijum ne postoji na računaru na kome studenti rade vežbu, kreirati ga). Prilikom formiranja projekta, kao tip programabilnog kola za koji se dizajnira projekat specificirati kolo EPF10K70RC240-4 iz familije FLEX10K.

C.1.2. U okviru formiranog projekta kreirati fajl za opis date mreže u VHDL-u, i u njega uneti dati kod. Fajl nazvati imenom *komb1.vhd*.

C.1.3. Izvršiti prevođenje VHDL opisa date kombinacione mreže. U slučaju neuspešnog prevođenja, studenti su dužni da pronađu i isprave postojeće greške.

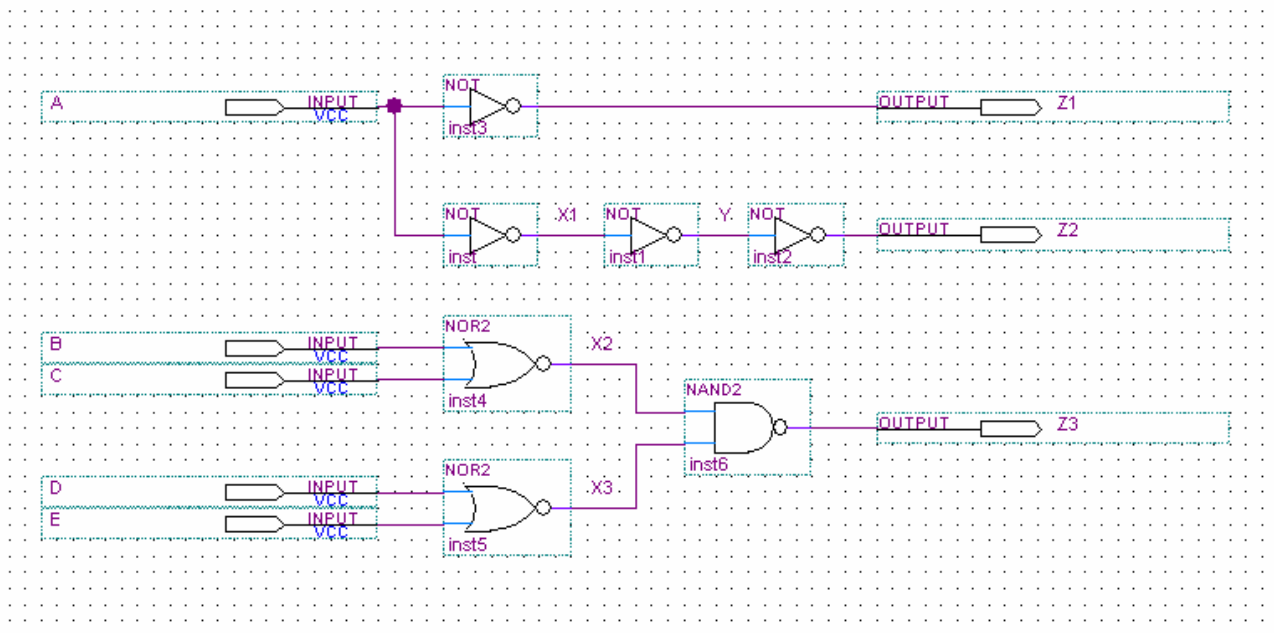
C.1.4. Kreirati simulacionu datoteku za kreirani dizajn u kojoj treba da budu predstavljeni ulazni signali i izlazni signal. Parametre *End Time* and *Grid Size* postaviti na vrednosti 2μs i 200ns, respektivno. Izvršiti simulaciju i verifikaciju funkcionalne ispravnosti dizajna za sve kombinacije logičkih nivoa ulaznih signala. Ukoliko je utvrđeno da je dizajn funkcionalno ispravan, uneti dobijene vremenske oblike signala na dijagram na slici 2. **Pozvati dežurnog asistenta da verifikuje ispravnost dizajna.**



Slika 2

C.2. Kombinatorna mreža sa nekim od osnovnih logičkih kola (VHDL opis, simulacija i verifikacija dizajna)

Na slici 3 je prikazana logička šema kombinacione mreže koja je predmet ovog zadatka. Na slici su označeni ulazni, izlazni i unutrašnji signali.

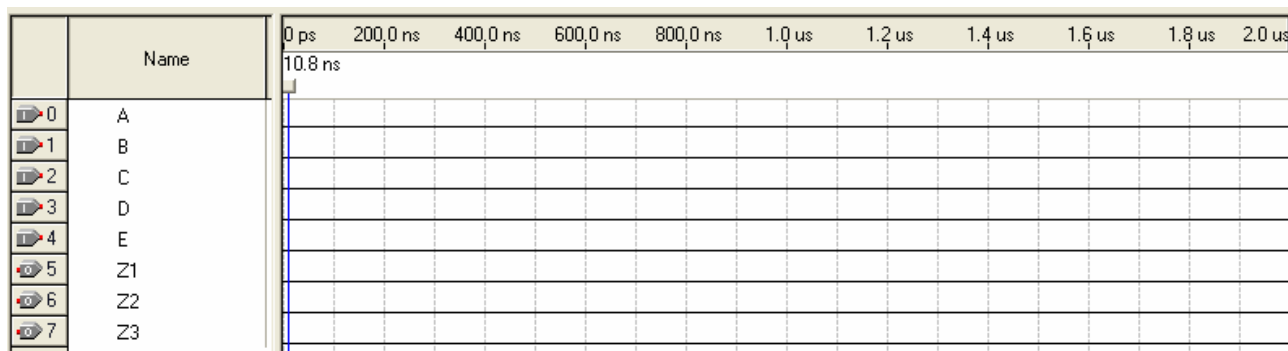


Slika 3

C.2.1. U okviru projekta formiranog u zadatku C.1. kreirati fajl za opis date mreže u VHDL-u, i u njemu opisati datu mrežu pomoću VHDL-a, pri čemu nazivi signala u kodu treba da odgovaraju nazivima signala na šemi. Fajl nazvati imenom *komb2.vhd*.

C.2.2. Izvršiti prevođenje VHDL opisa date kombinacione mreže (voditi računa da je prevođenja neophodno da se izborom opcije menija **Project / Set as Top-Level Entity** dizajn postavi na najviši hijerarhijski nivo). U slučaju neuspešnog prevođenja, studenti su dužni da pronađu i isprave postojeće greške.

C.2.3. Kreirati simulacionu datoteku za kreirani dizajn u kojoj treba da budu predstavljeni ulazni i izlazni signali. Parametre *End Time* and *Grid Size* postaviti na vrednosti $2\mu s$ i $100ns$, respektivno. Izvršiti simulaciju i verifikaciju funkcionalne ispravnosti dizajna za sve kombinacije logičkih nivoa ulaznih signala koji odgovaraju pojedinim izlaznim signalima. Ukoliko je utvrđeno da je dizajn funkcionalno ispravan, uneti dobijene vremenske oblike signala na dijagram na slici 4. **Pozvati dežurnog asistenta da verifikuje ispravnost dizajna.**



Slika 4

C.3. Dekoder 3/8 (simulacija i verifikacija dizajna)

Predmet ovog zadatka je simulacija i verifikacija VHDL dizajna dekodera 3/8. Ulaz dekodera je trobitni vektor *dec_input[2..0]*, a izlaz je osmobarbitni vektor *dec_output[7..0]*. Vrednost ulaznog vektora protumačena kao trobitni binarni broj određuje koji će bit izlaznog vektora biti na nivou logičke jedinice, dok su svi ostali biti izlaznog vektora na nivou logičke nule. Pritom, ulaznom vektoru "000" odgovara bit najmanje težine izlaznog vektora, a ulaznom vektoru "111" odgovara bit najveće težine izlaznog vektora. U VHDL kodu, oba vektora su definisana sa bitima u smeru MSB>LSB.

VHDL kod opisanog dekodera 3/8 je dat u nastavku.

```

LIBRARY IEEE;
USE ieee.std_logic_1164.all;

ENTITY dekod3_8 IS PORT
(
    dec_input    :    IN    STD_LOGIC_VECTOR(2 DOWNTO 0);
    dec_output   :    OUT   STD_LOGIC_VECTOR(7 DOWNTO 0)
);
END dekod3_8;

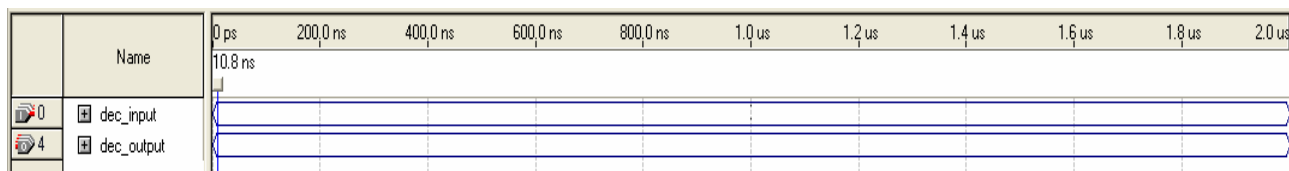
ARCHITECTURE behav OF dekod3_8 IS
BEGIN
    WITH dec_input SELECT
        dec_output <=
            "10000000" WHEN "111",
            "01000000" WHEN "110",
            "00100000" WHEN "101",
            "00010000" WHEN "100",
            "00001000" WHEN "011",
            "00000100" WHEN "010",
            "00000010" WHEN "001",
            "00000001" WHEN "000",
            "00000000" WHEN OTHERS;
END behav;

```

C.3.1. U okviru projekta formiranog u zadatku C.1. kreirati fajl za opis dekodera 3/8 u VHDL-u, i u njega uneti dati kod. Fajl nazvati imenom *dekod3_8.vhd*.

C.3.2. Izvršiti prevođenje VHDL opisa dekodera 3/8. (voditi računa da je pre prevođenja neophodno da se izborom opcije menija **Project / Set as Top-Level Entity** dizajn postavi na najviši hijerarhijski nivo). U slučaju neuspešnog prevođenja, studenti su dužni da pronađu i isprave postojeće greške.

C.3.3. Kreirati simulacionu datoteku za kreirani dizajn u kojoj treba da budu predstavljeni ulazni i izlazni vektor. Parametre *End Time* and *Grid Size* postaviti na vrednosti 2μs i 200ns, respektivno. *Radix* ulaznog vektora treba da bude *Unsigned Decimal*, a izlaznog vektora *Binary*. Izvršiti simulaciju i verifikaciju funkcionalne ispravnosti dizajna za sve kombinacije logičkih nivoa bitova ulaznog vektora. Ukoliko je utvrđeno da je dizajn funkcionalno ispravan, uneti dobijene vremenske oblike signala na dijagram na slici 5. **Pozvati dežurnog asistenta da verifikuje ispravnost dizajna.**



Slika 5

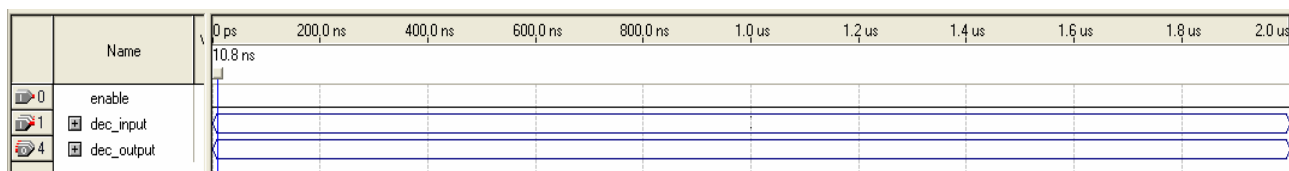
C.4. Dekoder 2/4 sa *Enable* signalom (VHDL opis, simulacija i verifikacija dizajna)

Predmet ovog zadatka je realizacija, simulacija i verifikacija VHDL dizajna dekodera 2/4 sa *Enable* signalom. Ulazi dekodera treba da budu dvobitni vektor *dec_input[1..0]* i jednobitni *Enable* signal, a izlaz treba da bude četvorobitni vektor *dec_output[3..0]*. Ukoliko je *Enable* ulazni signal na nivou logičke jedinice, vrednost ulaznog vektora protumačena kao dvobitni binarni broj treba da određuje koji će bit izlaznog vektora biti na nivou logičke nule, dok su svi ostali biti izlaznog vektora na nivou logičke jedinice. Pritom, ulaznom vektoru “00” odgovara bit najmanje težine izlaznog vektora, a ulaznom vektoru “11” odgovara bit najveće težine izlaznog vektora. Ukoliko je, pak, *Enable* ulazni signal na nivou logičke nule, svi biti izlaznog vektora treba da budu na nivou logičke jedinice. U VHDL kodu, oba vektora treba da su definisana sa bitima u smeru MSB>LSB.

C.4.1. U okviru projekta formiranog u zadatku C.1. kreirati fajl za opis dekodera 2/4 sa *Enable* signalom u VHDL-u, i u njemu opisati pomenuti dekodere pomoću VHDL-a. Fajl nazvati imenom *dekoder_2_4_en.vhd*.

C.4.2. Izvršiti prevođenje VHDL opisa dekodera 2/4 sa *Enable* signalom (voditi računa da je prevođenja neophodno da se izborom opcije menija **Project / Set as Top-Level Entity** dizajn postavi na najviši hijerarhijski nivo). U slučaju neuspešnog prevođenja, studenti su dužni da pronađu i isprave postojeće greške.

C.4.3. Kreirati simulacionu datoteku za kreirani dizajn u kojoj treba da budu predstavljeni ulazni i izlazni signali. Parametre *End Time* and *Grid Size* postaviti na vrednosti 2μs i 200ns, respektivno. *Radix* ulaznog vektora treba da bude *Unsigned Decimal*, a izlaznog vektora *Binary*. Izvršiti simulaciju i verifikaciju funkcionalne ispravnosti dizajna za sve kombinacije logičkih nivoa bitova ulaznog vektora i *Enable* signala. Ukoliko je utvrđeno da je dizajn funkcionalno ispravan, uneti dobijene vremenske oblike signala na dijagram na slici 6. **Pozvati dežurnog asistenta da verifikuje ispravnost dizajna.**



Slika 6