LOGIČKA KOLA SA MOS TRANZISTORIMA

0. Pribor:

1. montažna ploča za testiranje	1 kom.
2. generator funkcija	1 kom.
3. osciloskop	1 kom.
4. žice	15 kom.
5. integrisano kolo 4007	
6. otpornici - 3,9k Ω , 6,8k Ω , 27k Ω , 47k Ω	

NAPOMENA: Integrisano kolo ne vaditi iz montažne ploče za testiranje!

1. Opis integrisanog kola 4007

Struktura integrisanog kola 4007 data je na sl.1. Kolo sadrži tri NMOS i tri PMOS tranzistora. Substrati PMOS tranzistora su spojeni za pin 14, a substrati NMOS tranzistora za pin 7. *OVI PINOVI SU TOKOM CELE VEŽBE PRIKLJUČENI ZA NAPAJANJE, ODNOSNO MASU!* Kolo je predviđeno za napone napajanja VDD od 3V do 15V. Za ispravan rad neophodno je da naponi primenjeni na svim pinovima budu u granicama VSS-0.3V i VDD+0.3V.



Sl. 1

2. Zadatak

2.1 NMOS invertor sa pasivnim opterećenjem

a) Na montažnoj ploči za testiranje realizovati NMOS invertor sa pasivnim opterećenjem R=3,9k Ω i napajanjem VDD=12V. Na generatoru funkcija podesiti trougaoni napon učestanosti do 50Hz, sa promenom od 0V do 12V. Priključiti ovaj napon na ulaz invertora. Preklopnik za vremensku bazu na osciloskopu podesiti tako da se na ekranu dobije jedna poluperioda signala.

b) Nacrtati dobijenu prenosnu karakteristiku i odrediti napon uključenja tranzistora VT, zatim napone VIH, VIL, VOH, VOL i širinu prelazne zone.

c) Ponoviti merenja iz prethodne tačke sa vrednostima otpornosti R=6,8k Ω , 27k Ω i 47k Ω . Za svaku vrednost otpornosti opterećenja nacrtati prenosnu karakteristiku na istom dijagramu. Nacrtati zavisnost širine prelazne zone od otpornosti opterećenja. Objasniti dobijene rezultate.

2.2 NILI NMOS kolo sa aktivnim opterećenjem

a) Realizovati dvoulazno NILI kolo pomoću NMOS tranzistora sa aktivnim opterećenjem i napajanjem VDD=12V (sl.2). Na generatoru funkcija podesiti trougaoni napon učestanosti do 50Hz, sa promenom od 0V do 12V. Priključiti ovaj napon na oba ulaza NILI kola istovremeno. Preklopnik za vremensku bazu na osciloskopu podesiti tako da se na ekranu dobije jedna poluperioda signala.



b) Nacrtati dobijenu prenosnu karakteristiku i odrediti napone VIH, VIL, VOH, VOL. Uporediti rezultate sa tačkom 2.1.

c) Ispitati logičku funkciju kola.

2.3 CMOS invertor

a) Realizovati CMOS invertor sa napajanjem VDD=12V. Na generatoru funkcija podesiti trougaoni napon učestanosti do 50Hz, sa promenom od 0V do 12V. Priključiti ovaj napon na ulaz invertora. Preklopnik za vremensku bazu na osciloskopu podesiti tako da se na ekranu dobije jedna poluperioda signala.

b) Nacrtati dobijenu prenosnu karakteristiku i odrediti napone VIH, VIL, VOH, VOL i širinu prelazne zone. Uporediti rezultate sa tačkom 2.1.

2.4 Kašnjenje CMOS invertora

a) Realizovati logičku mrežu datu na sl.3, pri čemu su invertori CMOS, kao u tački 2.3. Prikazana logička mreža se ponaša kao oscilator. Na osnovu merenja periode oscilovanja odrediti kašnjenje jednog logičkog kola.



b) Izmeriti kašnjenje CMOS invertora za napon napajanja VDD=6V. Objasniti razliku u odnosu na prethodni slučaj.

3. Zadatak (PSPICE simulacija)

3.1 NMOS invertor sa pasivnim opterećenjem

Simulirati u PSPICE programskom paketu NMOS invertor sa pasivnim opterećenjem i uporediti sa izmerenim vrednostima u tački 2.1.

3.2 NILI NMOS kolo sa aktivnim opterećenjem

Simulirati u PSPICE programskom paketu NMOS invertor sa aktivnim opterećenjem i uporediti sa izmerenim vrednostima u tački 2.2.

3.3 CMOS invertor

Simulirati u PSPICE programskom paketu CMOS invertor i uporediti sa izmerenim vrednostima u tački 2.3.