

U tabeli 15.11 je pokazano deljenje binarnih brojeva $A:B = 101_2 : 1000_2$ ($5_{10} : 8_{10}$). Prilikom deljenja 01_2 (5) sa 000_2 (8) u prvih 8 ciklusa nakon starta u registar Q se upisuju nule. U devetom ciklusu postaje $AR > B$ u Q se upisuje 1, a zatim se razlika $010 - 1000 = 0010$ upisuje u akumulacioni registar AR. U desetom ciklusu, pošto je $AR < B$, obavlja se pomeranje, ali se u Q na mestu najmanje težine upisuje nula. U ciklusu 11, nakon pomeranja sadržaja registara A i AR, postaje $AR = B$, u Q se upisuje 1, a razlika $AR - B$ postaje 0. Sledi još 5 ciklusa, a pošto je sadržaj registra A, $A = 0$ ($< B$), u Q registar se upisuje pet nula na mestima najmanje težine. Rezultat deljenja je pravilno pozicioniran u odnosu na cela i razlomljena mesta i iznosi $0.101_2 = 0.625_{10}$.

Tabela 15.11 Primer deljenja binarnih brojeva $101 : 1000$

Sekv.	Signal	Reg. AR	Reg. A	Reg. B	Registar Q	Funkcija
/	STARTL	0000	0000101	1000	xxxxxxxx.xxxxxxxxx	Upis A i B
1	C _{S4}	0000	00001010	1000	xxxxxxxx.xxxxxxxxx	Levo A i AR
1	C _{S2}	0000	00001010	1000	xxxxxxxx.xxxxxxxxx0	Levo Q, AR<B
1	C _L	0000	00001010	1000	xxxxxxxx.xxxxxxxxx0	Zabrana R u AR
2	C _{S4}	0000	00010100	1000	xxxxxxxx.xxxxxxxxx0	Levo A i AR
2	C _{S2}	0000	00010100	1000	xxxxxxxx.xxxxxxxxx00	Levo Q, AR<B
2	C _L	0000	00010100	1000	xxxxxxxx.xxxxxxxxx00	Zabrana R u AR
8	C _{S4}	0101	00000000	1000	xxxxxxxx.x0000000	Levo A i AR
8	C _{S2}	0101	00000000	1000	xxxxxxxx.00000000	Levo Q, AR<B
8	C _L	0101	00000000	1000	xxxxxxxx.00000000	Zabrana R u AR
9	C _{S4}	1010	00000000	1000	xxxxxxxx.00000000	Levo A i AR
9	C _{S2}	1010	00000000	1000	xxxxxxxx0.00000001	Levo Q, AR>B
9	C _L	0010	00000000	1000	xxxxxxxx0.00000001	Upis R u AR
10	C _{S4}	0100	00000000	1000	xxxxxxxx0.00000001	Levo A i AR
10	C _{S2}	0100	00000000	1000	xxxxxxxx00.00000010	Levo Q, AR<B
10	C _L	0100	00000000	1000	xxxxxxxx00.00000010	Zabrana R u AR
11	C _{S4}	1000	00000000	1000	xxxxxxxx00.00000010	Levo A i AR
11	C _{S2}	1000	00000000	1000	xxxxxx000.00000101	Levo Q, AR=B
11	C _L	0000	00000000	1000	xxxxxx000.00000101	Upis R u AR
15	C _{S4}	0000	00000000	1000	xx000000.00101000	Levo A i AR
15	C _{S2}	0000	00000000	1000	x0000000.01010000	Levo Q, AR<B
15	C _L	0000	00000000	1000	x0000000.01010000	Zabrana R u AR
16	C _{S4}	0000	00000000	1000	x0000000.01010000	Levo A i AR
16	C _{S2}	0000	00000000	1000	00000000.10100000	Levo Q, AR<B
16	C _L	0000	00000000	1000	00000000.10100000	Zabrana R u AR

Delitelj sa slike 15.40 se može realizovati i komponentama sa sinhronim paralelnim upisom (74194), u kom slučaju bi se kontrolni signali generisali posebnom mrežom, sličnoj mreži prikazanoj na slici 15.38 koja generiše kontrolne signale za množač.

16. DIGITALNO-ANALOGNA I ANALOGNO-DIGITALNA KONVERZIJA

Da bi se, korišćenjem digitalnih sistema za obradu (računara) izvršila efikasna obrada izmerenih fizičkih veličina, neophodno je fizičke veličine mernim pretvaračima transformisati u električne, napon ili struju, a zatim napon ili struju, koja reprezentuje izmerenu veličinu u analognoj formi, transformisati u digitalno kodovan broj. Elektronsko kolo koje veličinu i polaritet napona (struje) konvertuje u odgovarajuću digitalnu formu naziva se *analogno-digitalni konvertor*, ili skraćeno A/D konvertor.

Takođe, nakon digitalne obrade, potrebno je digitalno izraženu veličinu konvertovati u napon ili struju, kako bi se odgovarajućim naponom (strujom) delovalo na sklopove sistema da obavljaju funkcije na način kako je digitalnim sistemom, odnosno, cifarski izraženom veličinom definisano. Elektronska kola koja obavljaju ovu konverziju se nazivaju *digitalno-analogni konvertori*, odnosno, D/A konvertori.

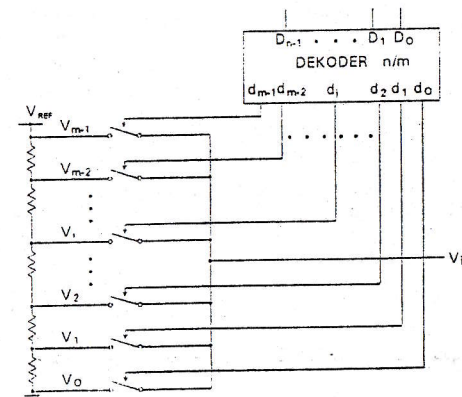
U daljem izlaganju će prvo biti obrađeni digitalno-analogni konvertori, s obzirom da su D/A konvertori jednostavniji, a i pošto se u mnogim A/D konvertorima D/A konvertori koriste kao sastavni delovi.

16.1 DIGITALNO-ANALOGNI KONVERTORI

Da bi digitalni broj mogao da se konvertuje u analognu veličinu, broj mora biti dekodovan, tako da svakom broju odgovara unapred određena vrednost napona ili struje, ili broj mora biti kodovan u nekom težinskom kodu, tako da svaka cifra, zavisno od pozicije (težine) srazmerno doprinosi veličini izlaznog napona, odnosno struje.

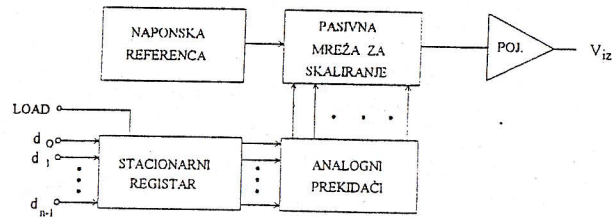
Na slici 16.1 prikazana je šema digitalno-analognog konvertora kod koga se digitalno upravljanim analognim multiplexerom bira jedna od m vrednosti iz niza raspoloživih napona.

Radi jednostavnosti crtanja šeme, oznake bilateralnih i NMOS prekidača su zamenjene simbolima običnih prekidača. Pošto će se jednostruki i dvostruki prekidači koristiti i u daljem izlaganju, na slici 16.2 prikazan je standardni način



Slika 16.1 D/A konvertor sa naponskim nizom

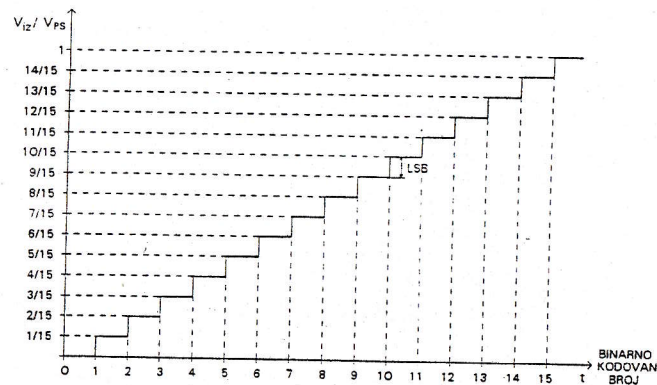
konfiguracije pasivne mreže u zavisnosti od ulazne digitalne informacije i izlazni analogni pojačavač za dovođenje izlaznog signala na željeni nivo i prilagođenje izlazne impedanse. Blok šema D/A konvertora prikazana je na slici 16.4.



Slika 16.4 Blok šema digitalno-analognog konvertora

Svaki od blokova D/A konvertora sa slike 16.4 unosi statičku i/ili dinamičku grešku, ili nepreciznost prilikom konverzije.

Idealna karakteristika prenosa za četvorobitni D/A konvertor prikazana je na slici 16.5.



Slika 16.5 Idealna karakteristika prenosa D/A konvertora

Na apscisi karakteristike prenosa je vreme t u kome se, u jednakim vremenskim intervalima, menja binarno kodovan broj od 0 (0000) do 15 (1111). Broj je formiran digitalnim signalima d_3 , d_2 , d_1 i d_0 sa slike 16.4. Na ordinati je vrednost izlaznog napona, normalizovana u odnosu na maksimalni izlazni napon, koji se često naziva *napon pune skale* ($V_{\max} = V_{PS}$). Za svaku kombinaciju ulaznih digitalnih signala postoji samo jedna vrednost izlaznog napona. Razlika izlaznih napona koji odgovaraju susednim brojevima naziva se *promena za jedan bit najmanje težine*, ili skraćeno LSB (*least significant bit*). Ukupan broj diskretnih vrednosti koje izlazni napon D/A konvertora može da zauzme se naziva *rezolucija* D/A konvertora. Ako se konvertuju binarni brojevi od n cifara, V_{iz} teoretski, može imati 2^n različitih vrednosti. Ako je šum izlaznog napona D/A konvertora po apsolutnoj vrednosti veći od LSB, stvarna rezolucija je manja od 2^n .

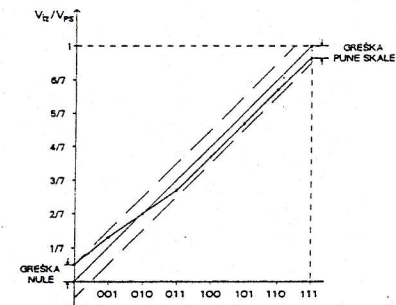
Rezolucija binarnih D/A konvertora se često izražava brojem cifara n , umesto brojem nivoa izlaznih napona. Primer sa slike 16.5 predstavlja karakteristiku D/A konvertora rezolucije 16, odnosno, rezolucije 4 bita.

Svako odstupanje u odnosu na idealnu karakteristiku prenosa pokazano na slici 16.5, predstavlja grešku konverzije. Greške konverzije mogu biti statičke i dinamičke.

Statičke greške unose grešku u *linearnost* D/A konvertora. Linearnost se definiše kao maksimalno odstupanje izlaznog napona (za bilo koji kôd ulaznih promenljivih) od prave linije povučene od nultog, do proračunatog napona pune skale. Izražava se u procentima opsega pune skale ili u frakcijama LSB. Ovako definisana linearnost se naziva *apsolutna linearnost*.

Grafički prikaz apsolutne linearnosti pokazan je na slici 16.6. Za razliku od karakteristike prikazane na slici 16.5, na apscisi nije vreme, već kôd ulazne digitalne informacije. Naponi su predstavljeni tačkama, a tačke su, zbog preglednosti grafičke prezentacije, spojene linijama.

Isprekidanim linijama na slici 16.6 definisana je apsolutna linearnost, koja za dati primer iznosi $\pm 1/2$ LSB. Odstupanje izlaznog napona od 0 za kôd 000 naziva se *greška nule*, a odstupanje na maksimalnoj vrednosti, *greška pune skale*.



Slika 16.6 Grafički prikaz apsolutne linearnosti

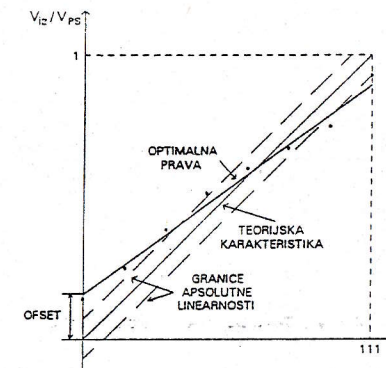
Linearnost se može definisati i u odnosu na pravu liniju koja je povučena između izmerenih vrednosti po kriterijumu da je apsolutna vrednost rastojanja izmerenih vrednosti od prave minimalna. Ovakva linearnost se naziva *linearnost optimalne prave* (*best-straight-line linearity*).

Odstupanje nagiba optimalne prave od nagiba idealne karakteristike naziva se *greška pojačanja*. Presek optimalne prave sa naponskom osom definiše *multi ofset*.

Na slici 16.7 pokazan je primer karakteristike D/A konvertora koji nema zadovoljavajuću apsolutnu linearnost, ali je odstupanje izmerenih vrednosti od optimalne prave malo. Oduzimanjem napona ofseta od izlaznog napona i povećanjem pojačanja izlaznog pojačavača, tako da nagib optimalne prave bude jednak nagibu teoretske karakteristike, statička karakteristika prenosa sa slike 16.7 bi se uklopila u granice apsolutne linearnosti.

Merenjem karakteristika kvalitetnijih D/A konvertora može se ustanoviti da je optimalna prava u većini slučajeva veoma bliska (ili se poklapa) sa pravom povučenom kroz tačku izmerenog napona za nulti ulazni kôd i tačku stvarno izmerenog napona pune skale. Linearnost u odnosu na ovako povučenu pravu naziva se *linearnost krajnjih tačaka* (*end point linearity*). S obzirom da je merenje jednostavnije, a rezultati su približni, u praksi se linearnost krajnjih tačaka mnogo češće koristi nego linearnost optimalne prave.

Mera kvaliteta D/A konvertora je i *diferencijalna linearnost*. Diferencijalna linearnost je definisana kao maksimalno odstupanje susednih naponskih nivoa u odnosu na teoretsku, idealnu



Slika 16.7 Linearnost u odnosu na optimalnu pravu

vrednost. Apsolutna vrednost razlike izlaznog napona dva susedna binarna broja od n cifara je u idealnom slučaju:

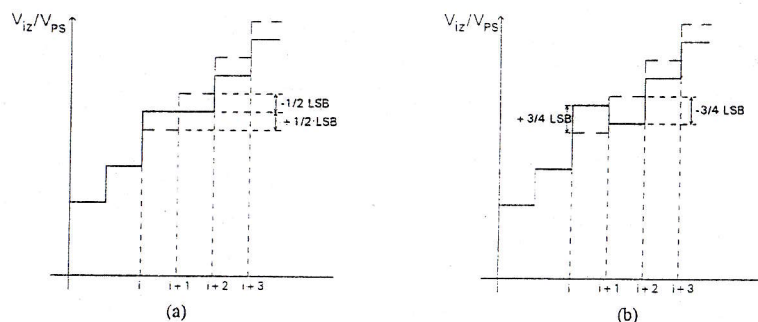
$$V_{LSB} = \frac{V_{PS}}{2^n - 1} \quad (16.8)$$

međutim, zbog tolerancija korišćenih komponenti, promena izlaznog napona ΔV , može biti veća ili manja od V_{LSB} , tako da je diferencijalna linearnost DL definisana kao:

$$DL = \frac{\Delta V - V_{LSB}}{V_{LSB}} \quad (16.9)$$

i izražava se u frakcijama od V_{LSB} , odnosno, od LSB.

Da bi izlazni napon D/A konvertora bio monotonno rastuća funkcija kodovane brojne vrednosti, diferencijalna linearnost mora da bude bolja od $\pm 1/2$ LSB. Na slici 16.8.a prikazan je deo karakteristike prenosa D/A konvertora u kome diferencijalna linearnost iznosi $\pm 1/2$ LSB, a na slici 16.8.b diferencijalna linearnost je $\pm 3/4$ LSB.



Slika 16.8 Uticaj diferencijalne linearnosti na monotonost karakteristike

Zbog diferencijalne greške $+1/2$ LSB, kada je kodovan broj i , izlazni napon je zauzeo vrednost za 0.5 LSB veću od nominalne, kako je pokazano na slici 16.8.a. Ako je diferencijalna greška sledećeg broja $-1/2$ LSB u odnosu na nominalnu vrednost, izlazni napon će zadržati istu vrednost. Ako je diferencijalna linearnost lošija od $\pm 1/2$ LSB i ako je za dva susedna broja greška suprotnog znaka, dolazi do narušavanja monotonosti karakteristike prenosa, pošto je za veći broj na ulazu D/A konvertora napon na izlazu manji, kako je pokazano na slici 16.8.b.

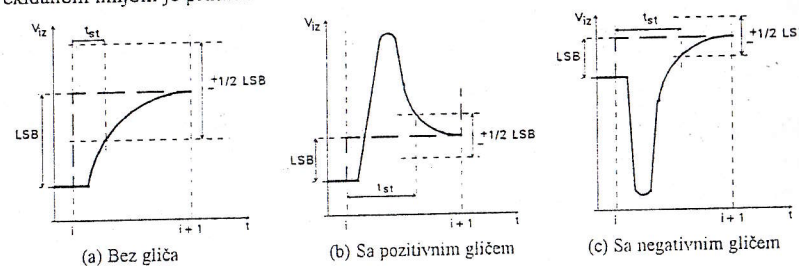
Pored linearnosti, važna karakteristika D/A konvertora je *stabilnost*. Stabilnost je funkcija temperature i vremena. Temperaturna stabilnost se izražava u frakcijama $LSB/^\circ C$, ili $ppm/^\circ C$, a odnosi se na stabilnost pojačanja, linearnosti i ofseta. Dugoročna stabilnost (*long term stability*) se odnosi na iste parametre i najčešće se izražava u ppm/god .

Dinamičke karakteristike D/A konvertora definišu vreme za koje, nakon promene ulazne informacije, izlazni napon dostigne zadatu vrednost. Ovo vreme se naziva *vreme postavljanja* t_{st} (*settling time*) i definiše se, ili za maksimalnu promenu (od 0 do V_{ps}), ili za promenu ulazne informacije za jedan LSB. Vreme postavljanja D/A konvertora se računa od trenutka zadavanja nove digitalne vrednosti, do trenutka kada se izlazni napon stabilisao na zadatu vrednost $\pm 1/2$ LSB. Umesto vremena postavljanja, često se definiše *vreme prekidanja* t_{sw} (*switching time*)

D/A konvertora. Vreme prekidanja je vreme od trenutka zadavanja digitalnog koda do trenutka kada V_{iz} dostigne 50% zadate vrednosti.

Karakteristično za dinamičku karakteristiku prenosa D/A konvertora je pojava gliča na izlaznom naponu prilikom promene ulaznog koda za 1 LSB. Do pojave gliča dolazi zbog različite brzine prekidanja analognih prekidača u konvertoru.

Na slici 16.9 prikazana je dinamička karakteristika prenosa D/A konvertora za slučaj kada se ne pojavljuje glič (a), za slučaj kada se javlja pozitivan glič (b) i kada se javlja negativan glič (c). Isprekidanom linijom je prikazana idealna dinamička karakteristika.



Slika 16.9 Dinamičke karakteristike D/A konvertora

Pojava gliča se može objasniti analiziranjem slike 16.3. Ako je, na primer, prekidač bita najveće težine brži od ostalih prekidača u mreži, nakon stanja $01\dots111$, umesto stanja $10\dots000$, kratkotrajno će postojati stanje $11\dots111$, što generiše maksimalnu struju, da bi, kad se ostali prekidači isključe, struja pala na zadatu vrednost. Na slici 16.9 prikazan je napon proporcionalan struji koju generiše D/A konvertor.

Do pojave negativnog gliča će doći ako je, na primer, prekidač MSB sporiji od ostalih prekidača, ili na primer, u mreži sa slike 16.1 ako nakon uključenog napona V_1 treba uključiti napon V_2 , a prekidač koji uključuje V_2 je sporiji od prekidača za V_1 .

Korektno specifikiranje gliča bi zahtevalo definisanje maksimalnog trajanja i maksimalne amplitude gliča, međutim, proizvođači najčešće definišu samo vreme postavljanja u koje je uključeno i trajanje gliča. Gličevi se javljaju uvek kada više od jednog prekidača menja stanje. Po pravilu su gličevi izraženiji kada se menjaju biti veće težine, a najveći se javlja kada se menja MSB.

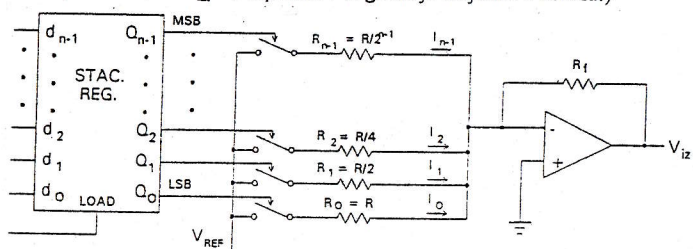
16.1.2 D/A KONVERTORI SA TEŽINSKOM OTPORNOM MREŽOM

Digitalno-analogni konvertori sa težinskom otpornom mrežom, ako konvertuju binarno kodovane brojeve, koriste mrežu sa slike 16.3. Jednačinom (16.7) je pokazano da je izlaz mreže struja proporcionalna binarno kodovanom broju. Da bi se na izlazu D/A konvertora generisao napon proporcionalan broju, koristi se sumirajući operacioni pojačavač, kako je pokazano na šemi D/A konvertora na slici 16.10.

Ako se pretpostavi da je operacioni pojačavač idealan [11], invertujući (sumirajući) ulaz je na virtualnoj masi, struja kroz otpornik R_i je proporcionalna težini cifre ulaznog binarnog broja, a izlazni napon je dat izrazom:

$$V_{iz} = -R_f \cdot \left(\frac{V_{REF}}{R_0} \cdot Q_0 + \frac{V_{REF}}{R_1} \cdot Q_1 + \frac{V_{REF}}{R_2} \cdot Q_2 + \dots + \frac{V_{REF}}{R_{n-1}} \cdot Q_{n-1} \right) \quad (16.10)$$

gde vrednosti Q_i mogu biti 0 ili 1. (Za $Q_i = 0$ odgovarajući prekidač je otvoren, tako da struja te grane ne učestvuje u sumi, a za $Q_i = 1$ otpornik i -te grane je uključen u mrežu.)



Slika 16.10 D/A konvertor sa težinskom otpornom mrežom

Ako se u jednačinu (16.10) zameni vrednost za R_i iz jednačine (16.6), dobija se:

$$V_{iz} = -R_f \cdot V_{REF} \cdot \frac{1}{R} \cdot (2^0 \cdot Q_0 + 2^1 \cdot Q_1 + 2^2 \cdot Q_2 + \dots + 2^{n-1} \cdot Q_{n-1}) \quad (16.11)$$

Iz jednačine (16.11) se vidi da je izlazni napon proporcionalan binarnom broju zapamćenom u stacionarnom registru.

Uticao pojedinih parametara na statičke karakteristike D/A konvertora može se odrediti analiziranjem jednačine (16.10). Linearnost izlaznog napona zavisi od težinskog odnosa struja, a stabilnost od stabilnosti struja. Struja u i -toj grani data je izrazom:

$$I_i = \frac{V_{REF}}{R_i}, \quad (i = 0, 1, 2, \dots, n-1) \quad (16.12)$$

gde je R_i ukupna otpornost u i -toj grani. Kako se u mreži koriste poluprovodnički prekidači čija otpornost, kad su uključeni, nije 0, već konačna otpornost r , vrednosti otpornika u težinskoj otpornoj mreži treba računati tako da se uzimaju u obzir i otpornosti prekidača r . Tačne vrednosti otpornika za mrežu sa slike 16.10 treba da budu:

$$R_0 = R - r, \quad R_1 = \frac{R}{2} - r, \quad R_2 = \frac{R}{2^2} - r, \quad R_{n-1} = \frac{R}{2^{n-1}} - r \quad (16.13)$$

U izrazima (16.13) pretpostavljeno je da su otpornosti prekidača međusobno jednake. Međutim, iako se izrađuju na istom supstratu, otpornosti prekidača se razlikuju. Takođe, otpornost poluprovodničkog prekidača se značajno menja sa temperaturom, tako da je otpornost sa kojom treba računati ustvari $r \pm \Delta r$, gde $\pm \Delta r$ obuhvata tolerancije i temperaturne promene otpornosti prekidača u radnom temperaturnom opsegu. Da bi se odredila vrednost za R_i , a da D/A konvertor zadrži diferencijalnu linearnost bolju od $\pm 1/2$ LSB bez obzira na promene $\pm \Delta r$, potrebno je da izlazni napon ostane u zadatim granicama za promene otpornosti prekidača u opsegu $r - \Delta r$ do $r + \Delta r$. Najnepovoljniji slučaj, odnosno najveća greška će biti kada su svi prekidači uključeni. Ako je V_{ps1} napon pune skale kada je otpornost prekidača minimalna, a V_{ps2} kada je maksimalna, tada treba da bude zadovoljena nejednačina:

$$\left| \frac{V_{ps1}}{V_{ps2}} - 1 \right| < \frac{1}{2} \left| \frac{V_{LSB}}{V_{ps2}} \right| \quad (16.14)$$

Pošto je otpornost u grani MSB najmanja, to je relativni uticaj promene ukupne otpornosti grane sa promenom otpornosti prekidača u ovoj grani najveći i unosiće najveću grešku. Takođe,

doprinos struje MSB u generisanju izlaznog napona je za 1 LSB veći nego doprinos svih ostalih struja zajedno (što je približno polovina pune skale), tako da se za određivanje minimalne otpornosti R_i u nejednačini (16.14) koriste približne vrednosti za V_{ps1} i V_{ps2} , izražene kao dvostruko uvećane struje MSB pri minimalnoj i maksimalnoj ukupnoj otpornosti grane MSB:

$$\left| \frac{2 \cdot V_{REF} \cdot R_f}{R_{n-1} - \Delta r} - \frac{2 \cdot V_{REF} \cdot R_f}{R_{n-1} + \Delta r} \right| < \frac{1}{2} \left| \frac{V_{REF} \cdot R_f}{R_0} \right| \quad (16.15)$$

Zamenom vrednosti za R_{n-1} i R_0 dobija se:

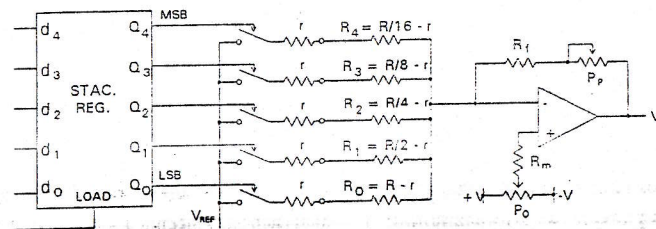
$$\frac{2^{n-1}}{1 - 2^{n-1} \frac{\Delta r}{R}} - \frac{2^{n-1}}{1 + 2^{n-1} \frac{\Delta r}{R}} < \frac{1}{4} \quad (16.16)$$

Kako je $\Delta r / R \ll 1$, nakon zanemarivanja kvadrata ovog člana, dobija se:

$$R > 2^{2n+1} \Delta r \quad (16.17)$$

Tolerancije i temperaturni drift otpornosti uključenog prekidača su reda nekoliko oma. Na primer, za konvertor od 10 bita i otpornost prekidača $r \pm \Delta r = 8 \pm 3 \Omega$ otpornost otpornika u grani LSB treba da bude $R_0 = R \geq 3 \cdot 2^{21} \approx 6.3 \text{ M}\Omega$, a otpornost u grani MSB, 2^9 puta manja. Da bi izvedena analiza bila korektna, pretpostavljeno je da su otpornici u težinskoj mreži tačni, odnosno, da su tolerancije otpornika $R_i = (R/2^i) - r$ znatno manje od Δr .

U dosadašnjoj analizi pretpostavka je bila da je operacioni pojačavač idealan. Takođe, nije vođeno računa o stabilnosti referentnog napona. Realan operacioni pojačavač u D/A konvertor unosi grešku pojačanja i ofset [11]. Netačnost referentnog napona unosi grešku pojačanja. Da bi se omogućilo da se delimično kompenziraju sve do sada opisane greške, realni D/A konvertori se projektuju prema šemi na slici 16.11, gde je pokazan primer konvertora rezolucije 5 bita.

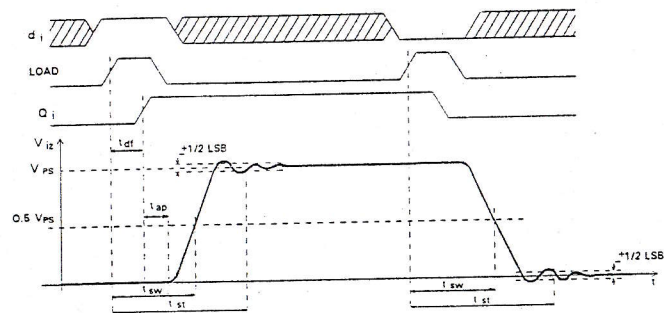


Slika 16.11. Precizni D/A konvertor sa težinskom mrežom

Za izabrane prekidače otpornosti $r \pm \Delta r$, prema nejednačini 16.17 se određuje vrednost R_i . Da bi se postigla maksimalna linearnost potrebno je snimiti statičku karakteristiku prenosa za sve kombinacije ulaznih promenljivih, a zatim, između izmerenih vrednosti povući optimalnu pravu. Potenciometrom P_0 se podešava nulti ofset, a potenciometrom P_p , napon pune skale. Prethodnu operaciju treba ponoviti nekoliko puta, pošto se promenom pojačanja, po pravilu, promeni i ofset, pa je potrebno i više iteracija podešavanja. Jednostavnije podešavanje se obavlja na osnovu linearnosti krajnjih tačaka, kada se meri samo napon za kod 00000 i podesi na $V_{iz} = 0$, zatim, za 11111 se podesi V_{ps} i ponovo proveriti nulti ofset. Ako su tolerancije upotrebljenih komponenti male i ovakvim načinom podešavanja se dobijaju zadovoljavajući rezultati.

Da bi drift izlaznog napona, prouzrokovan strujama ofseta bio minimalan [11], otpornost vezana na neinvertujući ulaz operacionog pojačavača treba da bude jednaka ekvivalentnoj otpornosti vezanoj na invertujući ulaz. Za mrežu sa slike 16.11, gde se ekvivalentna otpornost težinske mreže menja sa kodom digitalnog ulaza, otpornost R_m se izračunava kao srednja vrednost otpornosti težinske mreže paralelno vezana sa R_f (ako otpornosti potencijometara mogu da se zanemare). Kada bi se, umesto jednostrukih, koristili dvostruki prekidači sa slike 16.2.c i to tako da kada je prekidač isključen, spaja otpornik odgovarajuće grane na masu, ekvivalentna otpornost mreže bi bila konstantna bez obzira na kôd.

Dinamička karakteristika D/A konvertora sa slike 16.11, za slučaj kada se ulazni kôd menja za opseg pune skale, prikazana je na slici 16.12.



Slika 16.12 Dinamička karakteristika D/A konvertora

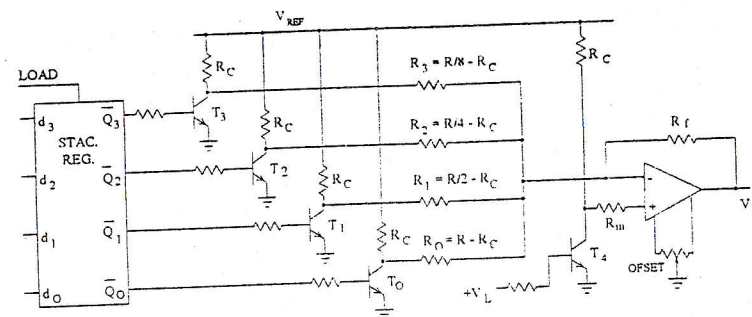
Ako se ulazni registar nalazi u stanju 0 i izlazni napon je $V_{iz} = 0$. Kada se signalom $LOAD$ u registar upišu sve jedinice, s obzirom da je referentni napon V_{REF} negativan, napon V_{iz} će, nakon kašnjenja kroz flipflopove registra (t_{df}) i kašnjenja kroz analogne prekidače (t_{ap}), početi da raste. Brzina porasta V_{iz} zavisi od frekvencijske karakteristike korišćenog pojačavača. Vreme do kada je izlazni napon dostigao 50% zadate vrednosti je vreme prekidanja (t_{sw}), a vreme do kada se stabilizovao unutar granice $\pm 1/2$ LSB je vreme postavljanja (t_{st}) D/A konvertora.

Digitalno-analogni konvertori sa težinskom otpornom mrežom mogu da imaju i drukčiju konfiguraciju od prikazane na slikama 16.10 i 16.11. Na slici 16.13 prikazan je četvorobitni D/A konvertor koji kao prekidače koristi bipolarne tranzistore.

Linearnost konvertora prikazanog na slici 16.13 nije narušena različitim otpornostima prekidača, ali je potrebno da svi tranzistori imaju jednak napon zasićenja V_{CES} . Kada je u registar upisana 0, pošto se prekidački tranzistori pobuđuju komplementarnim signalima iz registra, svi tranzistori će biti u zasićenju i na invertujućem ulazu pojačavača biće napon V_{CES} . Pošto je i na neinvertujućem ulazu napon V_{CES} (T_4 je stalno u zasićenju), izlazni napon će biti $V_{iz} = V_{CES}$. Pošto je V_{CES} vrlo mala veličina (0.1 - 0.2 V), ofsetom operacionog pojačavača se može podestiti da je za upisani sadržaj u registru 0 izlaz iz D/A konvertora $V_{iz} = 0$.

Upisan sadržaj 1 u flipflop Q_i koči odgovarajući tranzistor, tako da se u sumirajuću tačku dovodi struja $I_i = (V_{REF} - V_{CES}) / (R_i + R_c)$. Otpornici R_i su odabrani tako da redno vezani sa R_c formiraju težinsku otpornu mrežu. Vrednost otpornika R_m se određuje po istom kriterijumu kao i za konvertor sa slike 16.11.

D/A konvertor sa slike 16.13 može se realizovati i n-kanalnim MOSFET tranzistorima prostom zamenom bipolarnih tranzistora MOSFET-ovima.



Slika 16.13 D/A konvertor sa bipolarnim prekidačima

Težinske otporne mreže mogu biti formirane tako da se omogući konverzija i drugih, a ne samo binarno kodovanih brojeva. Na slici 16.14 prikazana je otporna mreža za konverziju dve dekade broja kodovanog u BCD kodu. Kroz svaki otpornik u mreži, kada se priključi na referentni napon protiče struja proporcionalna težini cifre. Izlazni napon D/A konvertora koji sadrži mrežu sa slike 16.14 je proporcionalan sumi struja, a time i broju u BCD kodu.

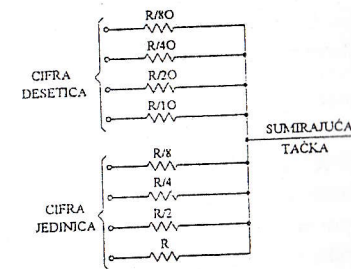
D/A konvertori sa težinskom otpornom mrežom imaju niz nedostataka. Otpornici u mreži se, već za jedanaestobitne konvertore, međusobno razlikuju za 3 reda veličine, tako da bi izrada mreže u integrisanoj tehnologiji bila izuzetno neekonomična. Najveći nedostatak D/A konvertora sa težinskom otpornom mrežom je pojava izraženih gličeva zbog različite brzine uključivanja i isključivanja struja u pojedinim granama mreže. Zbog postojanja parazitnih kapacitivnosti u mreži, čak i da su brzine prebacivanja flipflopova i analognih prekidača međusobno jednake, zbog vrlo velikih razlika u vrednostima otpornika, parazitne kapacitivnosti se na pozicijama veće težine brže pune i prazne. Mreža sa slike 16.13 je posebno nepovoljna sa gledišta jednovremenosti priključivanja prekidača, pošto je poznato da se bipolarni tranzistori mnogo sporije koče nego što se uvode u zasićenje.

Zbog navedenih razloga, D/A konvertori sa težinskom mrežom se proizvode najviše do rezolucije od 8 bita i to kao hibridna, a rede kao integrisana kola. Daleko pogodniji za realizaciju su konvertori sa lestvičastom mrežom i kapacitivni konvertori.

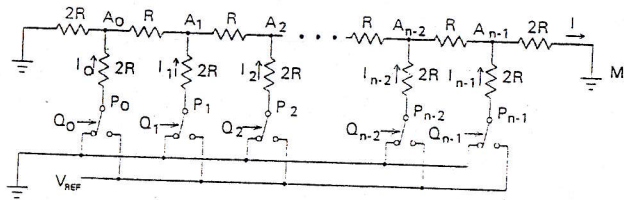
16.1.3 D/A KONVERTORI SA LESTVIČASTOM MREŽOM

Lestvičasta otporna mreža je prikazana na slici 16.15, a dobila je naziv po svojoj sličnosti sa lestvicama.

Kao što se sa slike vidi, u mreži se koriste samo dve vrednosti otpornika, R i $2R$. Mreža, teoretski, može da sadrži proizvoljan broj ćelija. Proširenje mreže se obavlja dodavanjem para otpornika $R-2R$ po ćeliji. Mreža je, bez obzira na broj ćelija, zatvorena sa obe strane otpornicima $2R$ prema masi.



Slika 16.14 Težinska otporna mreža za BCD kôd



Slika 16.15 Lestvičasta otporna mreža

Lestvičasta mreža ima osobinu da ekvivalentna otpornost svake grane prema masi iz svakog čvora A_i iznosi $2R$. Takođe je iz svake tačke P_i ekvivalentna otpornost mreže $3R$. Ovo ima za posledicu, da kada se bilo koji prekidač P_i priključi na napon V_{REF} , kroz granu $P_i - A_i$ će teći struja istog intenziteta, $I_i = V_{REF} / 3R$. U svakom čvoru A_i , s obzirom da je otpornost svih grana jednaka, struja se deli na dve jednake komponente.

Ako je, na primer, samo prekidač P_{n-1} priključen na referentni napon, kroz granu $P_{n-1} - A_{n-1}$ teći će struja $I_{n-1} = V_{REF} / 3R$, kroz grane $A_{n-1} - M$ i $A_{n-1} - A_{n-2}$ struja će biti $I_{n-1} / 2$. Ako je priključen samo prekidač P_{n-2} , struja I_{n-2} se u čvoru A_{n-2} deli na dve jednake komponente intenziteta $I_{n-2} / 2$. Komponenta struje koja teče kroz granu $A_{n-2} - A_{n-1}$ se u čvoru A_{n-1} ponovo deli na dve jednake komponente intenziteta $I_{n-2} / 4$, tako da kroz granu $A_{n-1} - M$ kao posledica uključivanja prekidača P_{n-2} protiče struja $I_{n-2} / 4$. Sličnim razmatranjem se može pokazati da će uključivanjem narednog prekidača, P_{n-3} , struja I u grani $A_{n-1} - M$ biti $I_{n-3} / 8$, odnosno, uključivanje svakog sledećeg prekidača generiše upola manju struju u grani $A_{n-1} - M$.

Ako se primeni zakon superpozicije, struja I kroz granu $A_{n-1} - M$ ima vrednost:

$$I = \frac{V_{REF}}{6R} \cdot \frac{1}{2^{n-1}} \cdot (2^{n-1} \cdot Q_{n-1} + 2^{n-2} \cdot Q_{n-2} + \dots + 2^2 \cdot Q_2 + 2^1 \cdot Q_1 + 2^0 \cdot Q_0) \quad (16.18)$$

gde $Q_i = 1$ označava da je i -ti prekidač priključen na referentni napon, a $Q_i = 0$, da je priključen na masu.

Jednačina (16.18) pokazuje da je struja I proporcionalna binarnom broju čije cifre odgovaraju uključenom, odnosno, isključenom prekidaču.

Ako se tačka M , umesto na masu, priključi na virtuelnu masu operacionog pojačavača, a upravljački signali prekidača na izlaz stacionarnog registra, dobija se D/A konvertor sa lestvičastom otpornom mrežom. Primer takvog D/A konvertora rezolucije 4 bita prikazan je na slici 16.16.

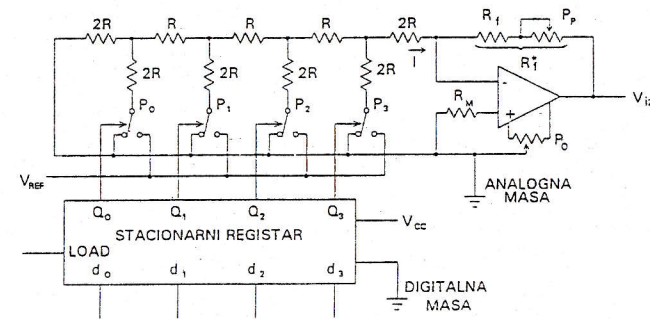
D/A konvertor sa slike 16.16 koristi četvorobitnu lestvičastu mrežu za generisanje struje I proporcionalne binarno kodovanom broju upisanom u stacionarni registar. Izlazni operacioni pojačavač struju I transformiše u napon:

$$V_{iz} = -R_f \cdot I = -R_f \cdot \frac{V_{REF}}{6R} \cdot \frac{1}{2^3} \cdot (2^3 \cdot Q_3 + 2^2 \cdot Q_2 + 2^1 \cdot Q_1 + 2^0 \cdot Q_0) \quad (16.19)$$

Za pozitivan referentni napon, izlazni napon je negativan. Ako su upotrebljeni prekidači kao na slici 16.2.c, koji mogu da prekidaju i negativne napone, na D/A konvertor se može priključiti referentni napon bilo kog polariteta, tako da će za $-V_{REF}$ izlazni napon biti pozitivan. Korišćeni operacioni pojačavač ima posebne priključke za podešavanje nultog ofseta. Na ove priključke je priključen potenciometar P_o . Promena pojačanja se obavlja potenciometrom P_p , redno

vezanim sa otpornikom povratne sprege R_f . Ako nije potrebno podešavanje pojačanja i ofseta, potenciometri P_o i P_p se izostavljaju. Otpornik za eliminisanje uticaja struje ofseta (R_m) treba da ima vrednost jednaku ekvivalentnoj vrednosti otpornosti gledanu iz invertujućeg ulaza, što iznosi:

$$R_m = \frac{3R \cdot R_f}{3R + R_f} \quad (16.20)$$



Slika 16.16 Četvorobitni D/A konvertor sa lestvičastom otpornom mrežom

Lestvičasta otporna mreža, koja sadrži samo dve vrednosti otpornika istog reda veličine, je pogodna za izradu u integrisanoj tehnologiji. Integrisana lestvičasta mreža, ne samo da snižava cenu i dimenzije D/A konvertora, već doprinosi povećanju temperaturne stabilnosti, pošto su svi otpornici na istoj podlozi, jednako se greju i zadržavaju odnos $R/2R$. Takođe se i otpornik R_f izrađuje na istoj podlozi, tako da pojačanje, koje zavisi od odnosa R_f/R , ostaje konstantno pri temperaturnoj promeni R , $2R$ i R_f , pod uslovom da međusobni odnos nije promenjen.

Određivanje vrednosti otpornika za lestvičastu mrežu se obavlja po istom kriterijumu kao i za težinsku mrežu. Ako otpornost prekidača P_i iznosi $r_i = r \pm \Delta r$, tada se otpornici svih paralelnih grana mreže izrađuju da imaju vrednost $2R - r$, kako bi ukupna otpornost grane, uključujući nominalnu otpornost prekidača, iznosila $2R$. Teži se da vrednost R bude što manja, kako bi vremenske konstante (sa parazitnim kapacitivnostima) bile male, međutim, minimalnu vrednost za R ograničava tolerancija otpornosti prekidača $\pm \Delta r$. Minimalna vrednost za R se dobija iz uslova da se struja I , koja je generisana uključenim prekidačem u grani MSB ne promeni za više od $1/4$ nominalne struje I koju generiše uključen prekidač u grani LSB, pri promeni ukupne otpornosti u grani MSB za $\pm \Delta r$, odnosno; treba da bude zadovoljena nejednačina:

$$\frac{V_{REF}}{6R - \Delta r} - \frac{V_{REF}}{6R + \Delta r} \leq \frac{1}{4} \cdot \frac{V_{REF}}{2^{n-1} \cdot 6R} \quad (16.21)$$

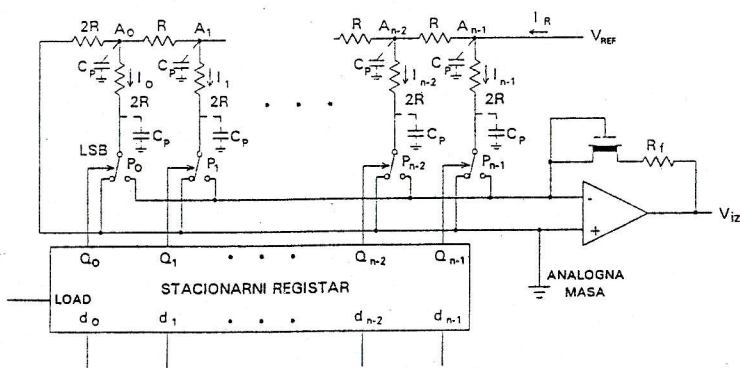
Nakon zanemarivanja člana $(\Delta r / R)^2$ iz nejednačine (16.21) se dobija:

$$2R \geq \frac{2}{3} \cdot 2^{n+1} \Delta r \quad (16.22)$$

Najveća otpornost u lestvičastoj mreži je $2R$, pa ako se uporedi uslov iz nejednačine (16.22) sa uslovom za otpornost u grani LSB težinske mreže, datim nejednačinom (16.17), vidi se da u lestvičastoj mreži najveća otpornost može biti više od 2^n puta manja, što takođe doprinosi brzini rada mreže.

Dinamičke karakteristike konvertora sa lestvičastom mrežom su daleko bolje od karakteristika D/A konvertora sa težinskom mrežom. Pored smanjenih parazitnih kapacitivnosti i manjih vrednosti otpornika u mreži, kraćem vremenu postavljanja doprinosi ujednačena brzina uključivanja i isključivanja prekidača, tako da su gličevi smanjeni. Svi prekidači prekidaju istu struju, a zbog jednakih otpornosti u mreži vremenske konstante pražnjenja i punjenja parazitnih kapacitivnosti su približno jednake. Gličevi ipak postoje zbog razlike u brzini flipflopova i prekidača, zbog izvesne razlike u parazitnim kapacitetima i zbog impulsnog opterećenja izvora referentnog napona (što je bio slučaj i u težinskoj mreži). Svaki realni izvor referentnog napona ima konačnu dinamičku izlaznu otpornost, tako da svaka promena struje nakon promene stanja prekidača prouzrokuje kratkotrajnu promenu referentnog napona koja se, kroz prekidače koji u tom trenutku ne menjaju stanje, prenosi na izlaz. Gličevi mogu da budu i posledica smetnji kroz provodnik mase prilikom promene stanja digitalnih kola konvertora. Poznato je da flipflopovi, bez obzira na familiju logičkih kola kojoj pripadaju, povuku veliku struju prilikom prebacivanja. Ova promena struje, na neizbežnoj, parazitnoj induktivnosti provodnika mase, indukuje napon koji bi mogao da prouzrokuje glič. Iz tog razloga se kod D/A konvertora obavezno razdvajaju analogna i digitalna masa, što je i pokazano na slici 16.16. Analogna i digitalna masa se spajaju samo na jednom mestu unutar elektronskog sistema.

Na slici 16.17 je prikazan D/A konvertor sa poboljšanim dinamičkim karakteristikama u odnosu na konvertor sa slike 16.16.



Slika 16.17 D/A konvertor sa kratkim vremenom postavljanja

Analogni prekidači u konvertoru na slici 16.17 priključuju paralelne grane lestvičaste mreže na analognu masu ili virtualnu masu. Napon u tačkama P_i i A_i se ne menja prilikom prebacivanja prekidača, tako da nije potrebno nikakvo vreme za punjenje ili pražnjenje parazitnih kapacitivnosti C_p , bez obzira na veličinu ili međusobnu razliku u kapacitivnosti. Ovo nije bio slučaj za D/A konvertor na slici 16.16, gde se parazitne kapacitivnosti u tačkama P_i pune i prazne na referentni napon, odnosno masu, a kapacitivnosti svedene na čvorove A_i se, u zavisnosti od koda, dopunjuju i prazne na različite napone.

Takođe je, u mreži na slici 16.17, izvor referentnog napona uvek konstantno opterećen, bez obzira na položaj ili prebacivanje prekidača, tako da konačna unutrašnja otpornost izvora nema uticaja na stabilnost referentnog napona. Referentni napon nema gličeva koji bi produžili vreme postavljanja.

Lestvičasta mreža na slici 16.17 je izmenjena u odnosu na mrežu sa slike 16.15. Izostavljen je otpornik $2R$ na strani mreže gde se priključuje V_{REF} . Struja iz referentnog izvora je intenziteta $I_R = V_{REF} / R$, pošto je ekvivalentna otpornost mreže gledano iz čvora A_{n-1} jednaka otpornosti R . Struja I_R se u čvoru A_{n-1} deli na dva jednaka dela kroz grane $A_{n-1} - P_{n-1}$ i $A_{n-1} - A_{n-2}$. Ako je prekidač P_{n-1} uključen, struja $I_R/2$ je priključena na invertujući, sumirajući ulaz operacionog pojačavača. Komponenta struje koja teče kroz granu $A_{n-1} - A_{n-2}$ se ponovo deli na dva jednaka dela, kroz granu $A_{n-2} - P_{n-2}$ i struju koja se vodi u ostatak lestvičaste mreže. U svakom narednom čvoru struja se ponovo deli na dva jednaka dela od kojih se jedna komponenta prekidačima P_i priključuje na sumirajuću tačku, čime je obezbeđeno da intenzitet svake naredne struje bude upola manji od struje u prethodnoj paralelnoj grani (grani bližoj referentnom naponu).

Napon na izlazu D/A konvertora je proporcionalan sumi struja priključenih na sumirajuću tačku, odnosno:

$$V_{iz} = -R_f \cdot (I_{n-1} \cdot Q_{n-1} + I_{n-2} \cdot Q_{n-2} + \dots + I_1 \cdot Q_1 + I_0 \cdot Q_0) \quad (16.23)$$

Zamenom vrednosti za struje u paralelnim granama dobija se:

$$V_{iz} = -\frac{R_f \cdot V_{REF}}{2^n R} \cdot (2^{n-1} \cdot Q_{n-1} + 2^{n-2} \cdot Q_{n-2} + \dots + 2^2 \cdot Q_2 + 2^1 \cdot Q_1 + 2^0 \cdot Q_0) \quad (16.24)$$

D/A konvertor sa slike 16.17 ima nešto lošije statičke karakteristike od konvertora sa slike 16.16 zbog različitih struja u pojedinim delovima mreže. Struje kroz grane mreže na pozicijama veće težine su veće od struja na mestima manje težine. Odnos struja u grani MSB prema struji u grani LSB je 2^{n-1} . Ovako velika razlika struja prouzrokuje različito zagrevanje otpornika i prekidača, pa i pored činjenice da su i otpornici i prekidači izrađeni na zajedničkim podlogama, dolazi do promene odnosa R , $2R$ i R_f , što kviri linearnost. Delimična kompenzacija temperaturne nestabilnosti se postiže rednom vezom MOSFET tranzistora sa ugrađenim kanalom sa otpornikom R_f . Prilikom porasta temperature raste otpornost prekidača, pojačanje se smanjuje, međutim, otpornost kanala takođe raste, povećava se ukupna otpornost povratne sprege pojačavača i kompenzira se promena pojačanja. Uticaj promene temperature na diferencijalnu linearnost se ne kompenzuje, s obzirom da se sa promenom otpornosti prekidača menja odnos $R-2R$.

Poboljšana diferencijalna linearnost, a time i veća rezolucija, može se postići D/A konvertorima sa strujnim izvorima. Princip rada ovakvog D/A konvertora pokazan je na primeru potobitnog konvertora sa slike 16.18.

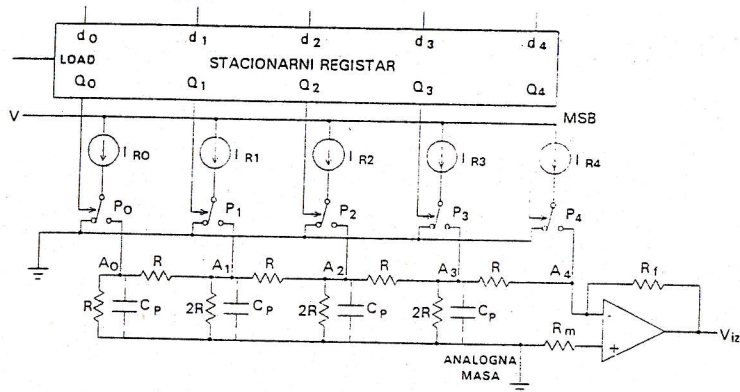
Korišćena lestvičasta mreža se razlikuje od mreže sa slike 16.15 po tome što je mreža sa strane MSB zatvorena otpornošću R između čvora A_1 i virtualne mase, a sa strane LSB, takođe otpornošću R , na analognu masu. D/A konvertor sadrži poseban izvor referentne struje za svaki bit. Struje I_{Ri} , koje generišu strujni izvori, su međusobno jednake, odnosno:

$$I_{R4} = I_{R3} = I_{R2} = I_{R1} = I_{R0} = I_R \quad (16.25)$$

a prekidačima P_i se priključuju u čvorove A_i lestvičaste mreže. Izlazni napon je definisan jednačinom:

$$V_{iz} = -R_f \cdot (Q_4 \cdot I_{q4} + Q_3 \cdot I_{q3} + Q_2 \cdot I_{q2} + Q_1 \cdot I_{q1} + Q_0 \cdot I_{q0}) \quad (16.26)$$

gde su I_{qi} komponente struje I_{Ri} koje utiču u sumirajući ulaz operacionog pojačavača, a Q_i stanja flipflopova stacionarnog registra ($Q_i = 1$ priključuje strujni izvor na čvor A_i , a $Q_i = 0$ na masu, koja ne mora da bude analogna masa).



Slika 16.18 D/A konvertor sa strujnim izvorima

Ako se sa I_{q_i} obeleže struje koje, kada je $Q_i = 1$, utiču u sumirajuću tačku, vidi se da struja koja se uključuje MSB bitom direktno u sumirajuću tačku, ima vrednost: $I_{q4} = I_{R4} = I_R$. Komponenta struje koja utiče u sumirajuću tačku (protiče kroz granu $A_3 - A_4$) kada je uključen P_3 iznosi $I_{q3} = I_R/2$, pošto ekvivalentna otpornost dela lestvičaste mreže, gledano od čvoru A_3 prema LSB delu mreže, ima vrednost R , a otpornost grane $A_3 - A_4$ je, takođe, R . Struja I_{q2} se može izračunati korišćenjem ekvivalentne šeme lestvičaste mreže, prikazane na slici 16.19, za slučaj kada je uključen prekidač P_2 , a ostali prekidači isključeni.

Sumirajuća tačka (čvor A_4) se nalazi na virtuelnoj masi, tako da je u ekvivalentnoj šemi spojena na masu. Iz ekvivalentne šeme sa slike 16.19 se dobija $I_{23} = 3I_R/8$, odnosno, $I_{q2} = I_R/4$.

Slično se može pokazati da komponenta struje koja protiče kroz granu $A_3 - A_4$ kada je uključen prekidač P_1 iznosi $I_{q1} = I_R/8$, a kada je uključen P_0 , dobija se $I_{q0} = I_R/16$.

Zamenom vrednosti za I_{q_i} jednačina (16.26) postaje:

$$V_{iz} = -R_f \cdot I_R \cdot \left(Q_4 + \frac{1}{2} Q_3 + \frac{1}{4} Q_2 + \frac{1}{8} Q_1 + \frac{1}{16} Q_0 \right) \quad (16.27)$$

što pokazuje da je izlazni napon proporcionalan vrednosti binarno kodovanog broja upisanog u stacionarni registar.

Za D/A konvertor od n cifara jednačina (16.27) može da se napiše u obliku:

$$V_{iz} = -\frac{R_f \cdot I_R}{2^{n-1}} \cdot \left(2^{n-1} \cdot Q_{n-1} + 2^{n-2} \cdot Q_{n-2} + \dots + 2^2 \cdot Q_2 + 2^1 \cdot Q_1 + 2^0 \cdot Q_0 \right) \quad (16.28)$$

Pošto je izlazna otpornost strujnih izvora veoma velika, a analogni prekidači su redno vezani sa strujnim izvorima, na komponente struja koje se formiraju otpornom mrežom radi generisanja izlaznog napona ne utiču otpornosti analognih prekidača. Ovim je odstranjen uticaj tolerancija i temperaturnih promena otpornosti prekidača, tako da se može postići veća diferencijalna linearnost nego kod ostalih tipova konvertora.

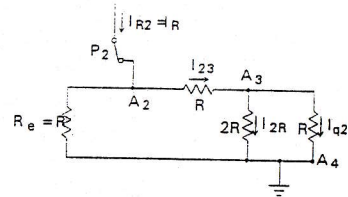
Dinamičke karakteristike konvertora sa slike 16.18 su lošije od konvertora prikazanog na slici 16.17. Kašnjenje unose parazitne kapacitivnosti lestvičaste mreže (prikazane isprekidanim linijama na slici 16.18), koje se pune iz strujnih izvora, a prazne kroz otpornike mreže. Poboljšanje dinamičkih karakteristika se postiže izborom malih vrednosti za R , što je za ovaj konvertor moguće, s obzirom da nema ograničenja koje uvodi tolerancija otpornosti prekidača.

Konvertor sa slike 16.18 koristi dvostruke analogne prekidače koji strujne izvore priključuju na čvorove mreže ili na masu. Konvertor bi mogao da radi sa jednostrukim analognim prekidačima (priključivanje strujnih izvora na masu se može izostaviti), međutim, u tom slučaju bi za vreme dok je prekidač uključen postojala struja I_R , a za vreme dok je isključen, strujni izvor ne bi generisao nikakvu struju. Ovo bi produžilo vreme postavljanja D/A konvertora, s obzirom da bi nakon uključivanja svakog strujnog izvora bilo potrebno izvesno vreme da se struja stabilise na vrednost I_R . Sa dvostrukim prekidačima ovih problema nema, pošto strujni izvori neprekidno generišu struju.

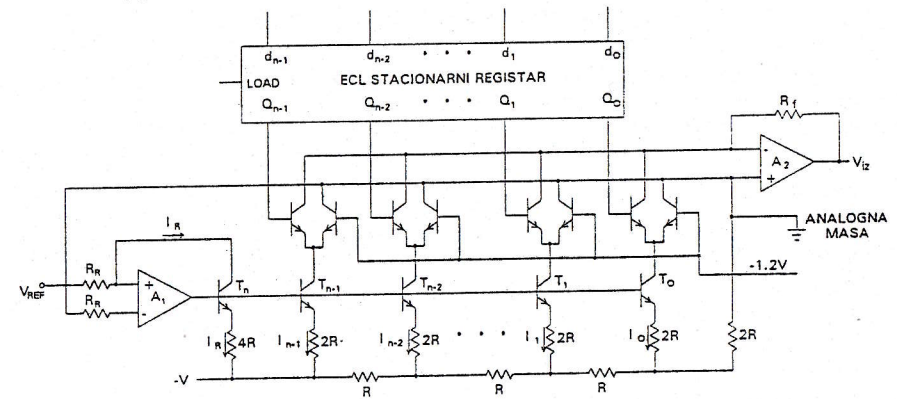
D/A konvertori sa strujnim izvorima su složeniji i skuplji od ostalih konvertora, s obzirom da je potreban poseban strujni izvor po svakom bitu. Međutim, na ovaj način se mogu realizovati konvertori sa najboljom diferencijalnom linearnošću.

Za vrlo velike brzine konverzije, kada se zahteva vreme postavljanja t_{st} nekoliko desetina ns, koriste se D/A konvertori sa bipolarnim, umesto MOSFET, prekidačima. Da bi vreme prekidanja bipolarnog prekidačkog tranzistora bilo što kraće, tranzistor, kada je provodan, ne sme da ode u zasićenje. Ako tranzistor nije u zasićenju, otpornost između kolektora i emitora je relativno velika i zavisi od pojačanja tranzistora, bazne struje, temperature i drugih faktora, odnosno, nije stabilna. Međutim, ako se bipolarni tranzistor koristi da prekida struju izvora konstantne struje, nestabilna otpornost provodnog tranzistora ne utiče na veličinu struje. S druge strane, da bi se realizovali brzi prelazni procesi, prilikom upisa novog sadržaja naponi čvorova mreže ne bi trebalo da se menjaju, kako se ne bi punile i praznile parazitne kapacitivnosti u mreži.

Principijelna šema D/A konvertora koji ispunjava ove uslove prikazana je na slici 16.20.



Slika 16.19 Ekvivalentna šema lestvičaste mreže za $Q_2 = 1$



Slika 16.20 Principijelna šema brzog D/A konvertora

D/A konvertor sa slike 16.20 predstavlja kombinaciju konvertora sa slike 16.17, kod koga napon u svim tačkama lestvičaste mreže ostaje konstantan, bez obzira na kodovanu binarnu vrednost, i konvertora sa slike 16.18, kod koga se prekida struja, tako da otpornost prekidača ne

utiče na tačnost konverzije. Strujni izvori su realizovani tranzistorima T_0, T_1, \dots, T_{n-1} . Tranzistor T_n sa operacionim pojačavačem A_1 formira strujni izvor koji generiše struju $I_R = V_{REF} / R_R$. Struja I_R (kad se zanemari struja baze I_{Bn}) na otporniku $4R$ formira napon $V_{En} = -V + 4RI_R$, tako da je napon baza svih tranzistora strujnih izvora $V_B = V_{En} + V_{BE_n}$. Izborom parametara koji utiču na V_B , podešava se da V_B bude negativnije od -2.5 V, kako bi tranzistori u strujnim izvorima i prekidačima radili u linearnom režimu. Za razliku od konvertora sa slike 16.18, struje strujnih izvora su međusobno različite (intenziteti struja su u binarnom nizu), tako da se tranzistori strujnih izvora moraju izradivati sa različitom površinom emitora, kako bi V_{BE_i} svih tranzistora bio jednak. Temperaturne promene V_{BE_i} su kompenzovane, pošto se sa promenom temperature menja i V_{BE_n} tranzistora T_n , a time i V_B .

Prekidači su realizovani diferencijalnim, ECL kompatibilnim stepenima. Tranzistori u prekidačima rade u linearnom režimu, tako da je obezbeđena velika brzina prekidanja. Kada je izlaz registra na nultom logičkom nivou, odnosno napon $V_{Q_i} = -1.6$ V, isključen je tranzistor koji priključuje struju u sumirajuću tačku, a struja I_i je priključena na analognu masu. Kada je $Q_i = 1$ ($V_{Q_i} = -0.8$ V), struja I_i se priključuje u sumirajuću tačku. Kolektori prekidačkih tranzistora su na konstantnom, nultom, naponskom nivou, a jedino se, prilikom promene ulaznog binarnog koda, menjaju naponi emitora prekidačkih tranzistora i to samo za 0.8 V. Pošto je izlazna otpornost emitorskog pojačavača mala, ova promena napona nema uticaja na brzinu postavljanja D/A konvertora.

Konvertori koji rade na principu šeme sa slike 16.20 izrađuju se i u verzijama kompatibilnim sa TTL ili CMOS familijama logičkih kola [37, 38].

Otporne mreže za D/A konvertore se mogu izradivati i za kôd ulaznog digitalnog broja koji nije binarni. Takve mreže sadrže kombinovane, težinske i $R - 2R$ sekcije, a projektuju se tako da napon ili struja koju mreža generiše bude proporcionalna kodu ulazne digitalne informacije [6].

16.1.4 KAPACITIVNI D/A KONVERTORI

Do sada opisani D/A konvertori koriste sumiranje skaliranih struja za formiranje izlaznog napona. Generisanje napona koji je proporcionalan binarnom broju može se ostvariti i binarnim deljenjem količine elektriciteta kojom je napunjena kapacitivna mreža. Primena kapacitivnih mreža za D/A konverziju je postala interesantna od kako se MOS tehnologijom mogu ekonomično realizovati kondenzatori sa tačnošću boljom od 0.1%.

Princip funkcionisanja kapacitivnog D/A konvertora je objašnjen na primeru kapacitivne težinske mreže prikazane na slici 16.21.

Kondenzatori, čija kapacitivnost odgovara binarnom nizu brojeva, se prekidačima P_i , kada je $Q_i = 0$, priključuju na masu, odnosno, kada je prekidač uključen ($Q_i = 1$), na V_{REF} . Kada su svi prekidači isključeni, kondenzatori težinske mreže su vezani paralelno izlaznom kondenzatoru C_{iz} . Kako je kapacitivnost izlaznog kondenzatora $C_{iz} = C$, ukupna kapacitivnost C_u , od izlaza mreže prema masi, ima vrednost:

$$C_u = C_{iz} + C + 2C + 4C + \dots + 2^{n-2}C + 2^{n-1}C = 2^n C \quad (16.29)$$

Ako je izvestan broj prekidača uključen, na referentni napon će biti priključena grupa kondenzatora ukupne kapacitivnosti C_e . Za C_e će biti umanjena ukupna kapacitivnost C_u , tako da se mreža može predstaviti ekvivalentnom šemom na slici 16.21.b, a izlazni napon je dat izrazom:

$$V_{iz} = \frac{V_{REF} \cdot C_e}{2^n C} \quad (16.30)$$

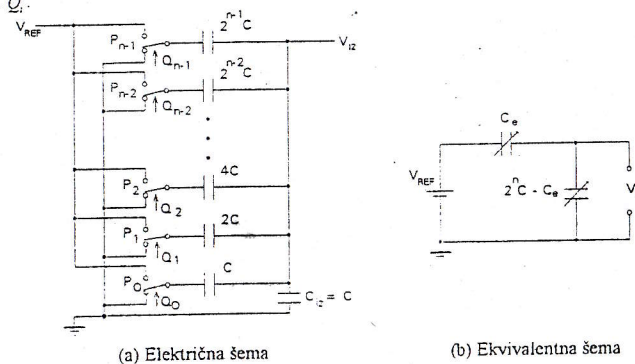
Kapacitivnost C_e zavisi od stanja prekidača, odnosno od logičkog nivoa upravljačkih promenljivih Q_i , tako da je:

$$C_e = Q_{n-1} \cdot 2^{n-1} C + Q_{n-2} \cdot 2^{n-2} C + \dots + Q_2 \cdot 2^2 C + Q_1 \cdot 2^1 C + Q_0 \cdot 2^0 C \quad (16.31)$$

Zamenom vrednosti za C_e u jednačinu (16.30) dobija se:

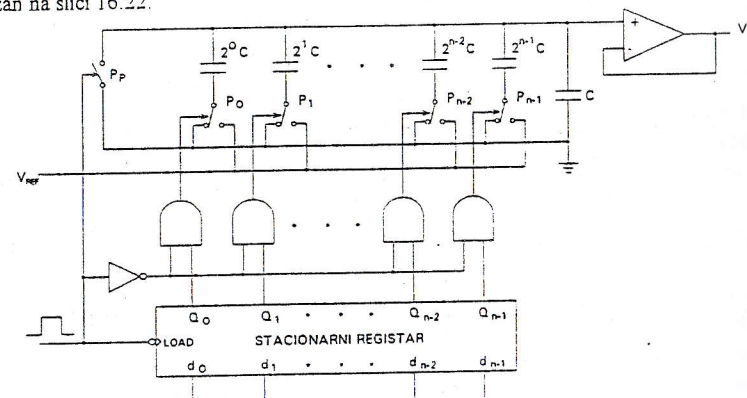
$$V_{iz} = \frac{V_{REF}}{2^n} \cdot (Q_{n-1} \cdot 2^{n-1} + Q_{n-2} \cdot 2^{n-2} + \dots + Q_2 \cdot 2^2 + Q_1 \cdot 2^1 + Q_0 \cdot 2^0) \quad (16.32)$$

Iz jednačine 16.32 se vidi da je izlazni napon proporcionalan binarnom kodu ulaznih promenljivih Q_i .



Slika 16.21 Kapacitivna težinska mreža

Realizacija kapacitivnih D/A konvertora je nešto složenija od realizacije D/A konvertora sa otpornim mrežama. Mreža na slici 16.21 će ispravno da funkcioniše samo ako su pre konverzije svi kondenzatori bili prazni. Ako je prethodno punjenje kondenzatora bilo različito od nule, pre nove konverzije je neophodno isprazniti sve kondenzatore. D/A konvertor koji ovo obezbeđuje je prikazan na slici 16.22.

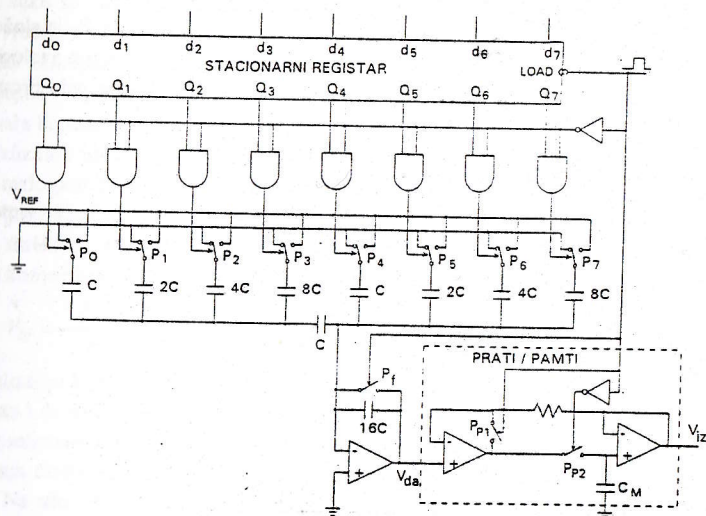


Slika 16.22 Kapacitivni D/A konvertor

Konvertor koristi težinsku kapacitivnu mrežu sa slike 16.21. Da bi se obezbedilo da se, pre konverzije novog sadržaja, svi kondenzatori isprazne, koristi se prekidač P_p i logička 1 kola za upravljanje prekidačima P_i . Za vreme dok je signal $LOAD$, koji upisuje novi sadržaj u registar, u stanju $LOAD = 1$, zatvoren je prekidač P_p , a svi prekidači P_i su priključeni na masu pošto su izlazi svih 1 kola na nuli, bez obzira na stanje Q_i . Ovakvo stanje prekidača prazni sve kondenzatore. Silazna (zadnja) ivica signala $LOAD$ upisuje novo stanje u stacionarni registar, zbog stanja $LOAD = 0$ na izlazima 1 kola je stanje Q_i , tako da se na pozicijama gde je $Q_i = 1$ kondenzatori priključuju na napon V_{REF} . Pražnjenje kondenzatora pre svakog upisa usporava rad konvertora i prouzrokuje da izlazni napon, prilikom upisa novog sadržaja, pada na nulu, da bi se nakon nultog napona postavio na zadatu vrednost.

Konvertor sa slike 16.22 nije pogodan za praktičnu realizaciju u integrisanoj tehnologiji, s obzirom na veliki raspon vrednosti kondenzatora, a takođe je, zbog postojanja parazitne kapacitivnosti na neinvertujućem ulazu pojačavača ograničena minimalna kapacitivnost C , kako tolerancije parazitne kapacitivnosti ne bi narušile tačnost.

Na slici 16.23 prikazan je osmобitni kapacitivni konvertor kod koga je smanjen raspon vrednosti kondenzatora, eliminisan je uticaj parazitne kapacitivnosti ulaza pojačavača, a dodavanjem prati/pamti kola, izlaz D/A konvertora zadržava prethodnu vrednost za vreme upisa novog sadržaja.



Slika 16.23 Osmобitni kapacitivni D/A konvertor

Parazitna kapacitivnost ulaza pojačavača je eliminisana time što je operacioni pojačavač vezan kao invertujući, sa virtuelnom masom u sumirajućoj tački. Raspon kapacitivnosti je u težinskoj mreži na slici 16.23 sveden na 1:8, umesto 1:128, koliko bi bilo potrebno za klasičnu osmобitnu težinsku mrežu. Težinska mreža je podeljena na MSB deo mreže, direktno vezane na sumirajuću tačku, i LSB deo mreže, vezan na sumirajuću tačku preko kondenzatora kapacitivnosti C . Ovakvom vezom svaka kapacitivnost LSB dela mreže, kada je priključena na referentni napon, ima 16 puta manji uticaj na izlazni napon od iste tolike kapacitivnosti u MSB delu mreže.

Prilikom svake konverzije potrebno je, kao i kod konvertora sa slike 16.22, isprazniti sve kondenzatore. Ovo se obezbeđuje 1 kolima, koja za vreme dok je $LOAD = 1$ priključuju sve prekidače P_i na masu. Takođe, $LOAD = 1$ zatvara prekidač P_p , što prazni kondenzator povratne sprege, tako da napon V_{da} postaje $V_{da} = 0$. Signalom $LOAD = 1$ se prati/pamti kolo (uokvireno isprekidanom linijom na slici 16.23), koje predstavlja analognu memoriju [11], prebacuje u stanje "pamti". Prekidač P_{p2} se otvara, napon na kondenzatoru C_M , a time i V_{iz} , zadržava prethodnu vrednost V_{da} . Zadnja (silazna) ivica signala $LOAD$ upisuje novi sadržaj u registar, napon V_{da} zauzima novu vrednost, a prati/pamti kolo iz režima "pamti" prelazi u režim "prati", tako da V_{iz} zauzima novu vrednost V_{da} .

Navedene metode D/A konverzije i to, sa lestvičastom otpornom mrežom, sa težinskom otpornom mrežom i sa kapacitivnom težinskom mrežom, se najčešće koriste u praksi. Osim toga, digitalno-analogna konverzija se može obavljati i različitim metodama od navedenih, na primer, kombinovanim otporno/kapacitivnim mrežama i serijskim D/A konvertorima [39].

16.1.5 BIPOLARNI D/A KONVERTORI I D/A MNOŽAČI

Do sada opisani D/A konvertori konvertuju neoznačen binarni broj u napon čija je apsolutna vrednost proporcionalna veličini binarnog broja. Polaritet izlaznog napona zavisi od polariteta referentnog napona, može biti ili pozitivan, ili negativan, odnosno, samo jednog polariteta, tako da se takvi konvertori nazivaju *unipolarni D/A konvertori*. Kada se konvertuju označeni binarni brojevi, neophodno je da polaritet izlaznog napona odgovara znaku binarnog broja. D/A konvertori kod kojih znak konvertovanog napona odgovara znaku ulaznog, digitalno zadanog broja, nazivaju se *bipolarni D/A konvertori*.

U odeljku 15.1.3 je pokazano da se označeni binarni brojevi mogu predstavljati znakom i apsolutnom vrednošću broja ili se negativne vrednosti brojeva mogu predstavljati komplementom do 2, odnosno komplementom do 1. U sva tri brojna sistema bit na poziciji najveće težine predstavlja znak ($0 = "+"$, $1 = "-"$). Da bi izlazni napon po polaritetu i veličini odgovarao ulaznom broju, bipolarni D/A konvertori se sintetizuju tako da konvertuju brojeve označene znakom i apsolutnom vrednošću i brojeve u komplementu do 2. Brojevi označeni u komplementu do 1 nisu pogodni za D/A konverziju, s obzirom da ovako označeni brojevi imaju dve različite binarne vrednosti koje koduju vrednost 0 (sve nule i sve jedinice). Bipolarni D/A konvertori mogu biti realizovani i kao konvertori sa binarnim ofsetom, što nema svoj ekvivalent u algebarskom označavanju brojeva, već je izlazni napon dat relacijom:

$$V_{iz} = K \cdot D - V_{bo} \quad (16.33)$$

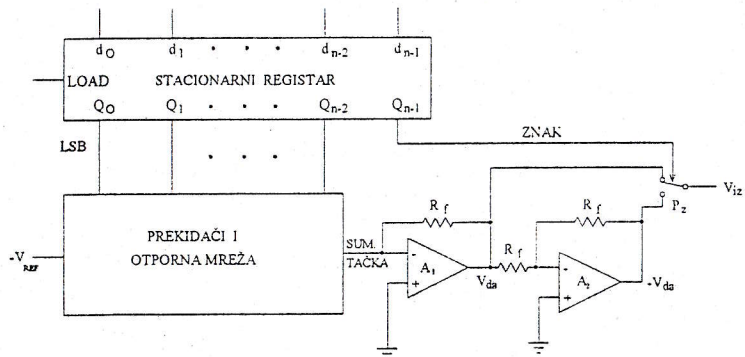
gde je: K - konstanta, D - vrednost binarnog broja, a V_{bo} napon binarnog ofseta koji najčešće odgovara kodu: 1 na mestu MSB, a sve ostale nule.

Bipolarni D/A konvertori sa zadavanjem znaka i apsolutne vrednosti

Bipolarni D/A konvertor sa zadavanjem znaka i apsolutne vrednosti se sastoji od unipolarnog konvertora i dodatnog pojačavača pojačanja -1 koji formira napon suprotnog polariteta. Principijelna šema bipolarnog D/A konvertora je prikazana na slici 16.24.

Stacionarni registar, prekidači, otporna mreža i pojačavač A_1 formiraju unipolarni D/A konvertor, koji može biti bilo koji konvertor sa težinskom ili lestvičastom mrežom. Na izlazu

unipolarnog D/A konvertora (napon na izlazu pojačavača A_1) je napon V_{da} čija je apsolutna vrednost proporcionalna apsolutnoj vrednosti broja upisanog u registar, a polaritet je suprotan polaritetu referentnog napona. Ako je, na primer, referentni napon negativan, izlazni napon pojačavača A_1 je $+V_{da}$, a izlaz pojačavača A_2 negativan ($-V_{da}$). Bit najveće težine broja upisanog u registar je bit znaka. Logički, odnosno, naponski nivo bita znaka upravlja prekidačem P_z , tako da je za $Q_{n-1} = 0$ prekidač P_z u položaju u kome je $V_{iz} = +V_{da}$. Kada je $Q_{n-1} = 1$, prekidač P_z se priključuje na izlaz pojačavača A_2 , tako da je $V_{iz} = -V_{da}$.

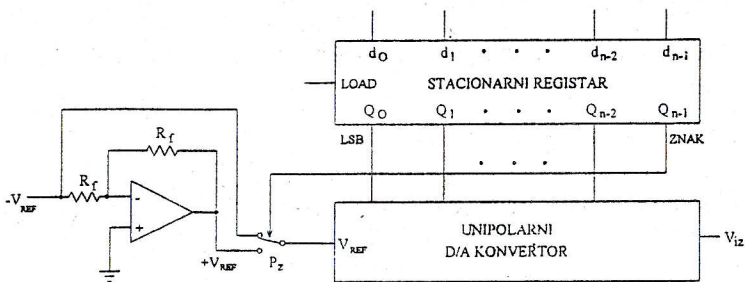


Slika 16.24 Bipolarni D/A konvertor sa znakom i apsolutnom vrednošću

Ako je unipolarni D/A konvertor takav da ne može da radi sa negativnim referentnim naponom (na primer konvertor sa slike 16.20), bipolarni konvertor se formira tako što prekidačem P_z upravlja signal Q_{n-1} . Za pozitivan referentni napon, izlazni napon pojačavača A_1 je negativan, a pojačavača A_2 pozitivan. Kada je u registar upisan pozitivan broj ($Q_{n-1} = 0$), tada $Q_{n-1} = 1$ priključuje P_z na izlaz pojačavača A_2 , odnosno V_{iz} će biti pozitivan.

Bipolarni D/A konvertor se na isti način može realizovati i korišćenjem kapacitivnih unipolarnih konvertora. Potrebno je na izlaz unipolarnog konvertora priključiti pojačavač A_2 i prekidač P_z . Upravljanje prekidačem P_z (signalom Q_{n-1} ili Q_{n-1}) treba izabrati tako da polaritet izlaznog napona odgovara znaku koji je zadat MSB bitom.

Ako unipolarni D/A konvertor koristi prekidače koji mogu da priključuju napone (struje) oba polariteta, bipolarni D/A konvertor se može realizovati promenom polariteta referentnog napona, na način prikazan na slici 16.25.



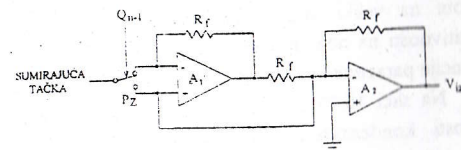
Slika 16.25 Bipolarni D/A konvertor sa promenom polariteta V_{REF}

Bit znaka u konvertoru na slici 16.25 upravlja prekidačem P_z koji na D/A konvertor priključuje napon $+V_{REF}$ ili $-V_{REF}$. Polaritet izlaznog napona zavisi od polariteta V_{REF} , dok apsolutnu vrednost V_{iz} definiše binarni broj upisan u registar na pozicijama $Q_{n-2} Q_{n-3} \dots Q_1 Q_0$.

D/A konvertor sa slike 16.25, kao i konvertor sa slike 16.24 koriste dodatni operacioni pojačavač i dodatni prekidač. Prekidač P_z , zbog konačne otpornosti, unosi statičku grešku koja se može smanjiti ako se napon sa prekidača (V_{iz} , odnosno V_{REF}) priključuje na potrošač, odnosno, otpornu mrežu, preko kola sa visokom ulaznom impedansom. Ovo bi zahtevalo dodatni operacioni pojačavač sa pojačanjem +1.

Na slici 16.26 prikazan je način promene polariteta izlaznog napona korišćenjem dva pojačavača i prekidača na ulazu u prvi pojačavač.

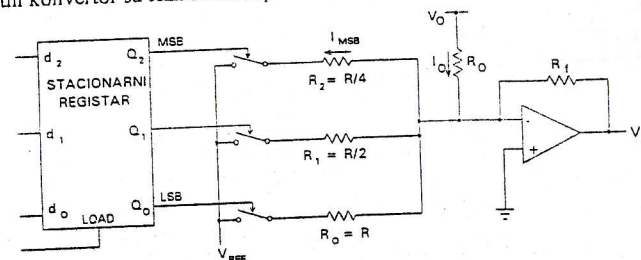
Sumirajuća tačka, odnosno izlaz otporne mreže se, zavisno od nivoa bita za znak Q_{n-1} , prekidačem P_z priključuje na invertujući ulaz pojačavača A_1 ili A_2 , tako da se promenom položaja prekidača menja polaritet napona V_{iz} . Kolo sa slike 16.26 ima malu izlaznu otpornost, ali otpornost i promena otpornosti prekidača P_z direktno utiče na tačnost i linearnost konverzije. Kompenzacija uticaja otpornosti prekidača P_z je složenija nego dodavanje operacionog pojačavača na izlaz konvertora sa slike 16.24. Iz tog razloga se konfiguracija sa slike 16.26 koristi za bipolarni D/A konvertore manje rezolucije, gde promena otpornosti prekidača P_z ne unosi grešku veću od 0.5 LSB.



Slika 16.26 Promena polariteta izlaznog napona

Bipolarni D/A konvertor sa binarnim ofsetom

Bipolarni D/A konvertor se može realizovati na način prikazan na slici 16.27. Za primer je izabran trobitni konvertor sa težinskom otpornom mrežom.



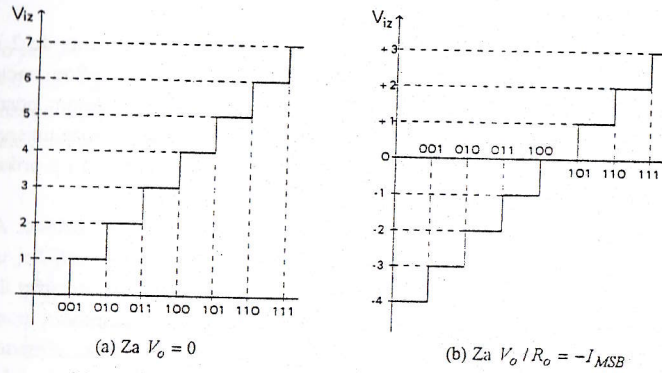
Slika 16.27 Trobitni D/A konvertor sa binarnim ofsetom

Na osnovu jednačine 16.10, uzimajući u obzir da je između napona za ofset V_o i sumirajuće tačke priključen otpornik za ofset R_o , izlazni napon konvertora sa slike 16.27 je dat izrazom:

$$V_{iz} = -\frac{R_f}{R} \cdot (4Q_2 + 2Q_1 + Q_0) \cdot V_{REF} - \frac{R_f}{R_o} \cdot V_o \quad (16.34)$$

Ako se, na primer, izabere da je $V_{REF} = -1V$, $R_f = R$ i $V_o = 0$, statička karakteristika D/A konvertora sa slike 16.27 će izgledati kao na slici 16.28.a.

Priključivanjem otpornika R_o na napon suprotnog polariteta od V_{REF} i izborom odnosa V_o / R_o takvog, da struja I_o po apsolutnoj vrednosti bude jednaka struji koju u sumirajuću tačku generiše priključen prekidač bita najveće težine, statička karakteristika konvertora će biti kao na slici 16.28.b.

(a) Za $V_o = 0$ (b) Za $V_o/R_o = -I_{MSB}$

Slika 16.28 Statičke karakteristike D/A konvertora sa slike 16.27

Sa slike se vidi da će izlazni napon imati vrednost $V_{iz} = 0$ za ulazni kôd 100. Najveća negativna vrednost izlaznog napona (-4 V) je za ulazni kôd 000, a maksimalna pozitivna vrednost je $V_{iz} = +3\text{ V}$. Ukupna promena izlaznog napona, od minimalne do maksimalne vrednosti, ostala je nepromenjena (7 V) u odnosu na konvertor bez ofseta, međutim, konvertor je bipolaran sa ofsetom koji odgovara binarnom kodu 100.

Analizirani primer za trobitni konvertor se može generalisati za konvertor od n bita. Iz praktičnih razloga se bira da je napon za ofset po apsolutnoj vrednosti jednak referentnom naponu, odnosno $V_o = -V_{REF}$. U tom slučaju je, iz uslova da je $I_o = -I_{MSB}$, za konvertore sa težinskom otpornom mrežom $R_o = R_{MSB}$, odnosno, $R_o = R/(2^{n-1})$. Uz navedene uslove izlazni napon bipolarnog konvertora sa binarnim ofsetom i težinskom otpornom mrežom postaje:

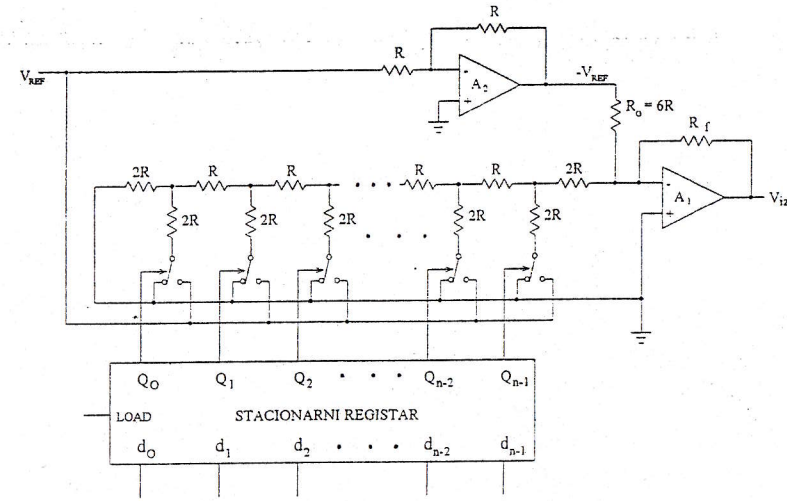
$$V_{iz} = -\frac{R_f}{R} \cdot (2^{n-1} \cdot Q_{n-1} + \dots + 2^2 \cdot Q_2 + 2^1 \cdot Q_1 + 2^0 \cdot Q_0 - 2^{n-1}) \cdot V_{REF} \quad (16.35)$$

Realizacija konvertora sa binarnim ofsetom i lestvičastom otpornom mrežom se obavlja na isti način kao i da su u pitanju konvertori sa težinskom mrežom, odnosno, napon ofseta se bira da bude iste apsolutne vrednosti i suprotnog znaka od V_{REF} , a vrednost otpornika za ofset se određuje tako da struja ofseta po apsolutnoj vrednosti bude jednaka struji koju generiše uključen prekidač MSB bita. Na slici 16.29 prikazana je šema D/A konvertora sa binarnim ofsetom i lestvičastom otpornom mrežom.

Napon suprotnog polariteta referentnom naponu dobija se pojačavačem sa pojačanjem -1 (pojačavač A_2). Na osnovu jednačine (16.19) i dodavanja ofseta koji unosi R_o priključen na napon $-V_{REF}$, izlazni napon konvertora sa slike 16.29 se dobija u obliku:

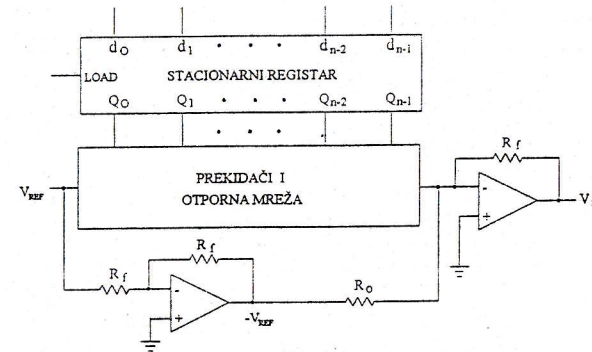
$$V_{iz} = -R_f \cdot \frac{V_{REF}}{6R} \cdot \frac{1}{2^{n-1}} \cdot (2^{n-1} \cdot Q_{n-1} + \dots + 2^2 \cdot Q_2 + 2^1 \cdot Q_1 + 2^0 \cdot Q_0) + R_f \cdot \frac{V_{REF}}{R_o} \quad (16.36)$$

Vrednost otpornika za ofset $R_o = 6R$ se dobija iz jednačine (16.36) i uslova da je $V_{iz} = 0$ kada je bit najveće težine $Q_{n-1} = 1$, a da su sve ostale cifre, $Q_{n-2} = \dots = Q_2 = Q_1 = Q_0 = 0$.



Slika 16.29 D/A konvertor sa binarnim ofsetom i lestvičastom mrežom

Blok šema svih bipolarnih D/A konvertora sa binarnim ofsetom, koji na izlazu koriste sumirajući operacioni pojačavač, je prikazana na slici 16.30. Šema obuhvata i konvertore koji koriste referentnu struju, pošto se struja I_R generiše kao $I_R = V_{REF} / R_o$.



Slika 16.30 Opšta blok šema D/A konvertora sa binarnim ofsetom

Izlazni napon konvertora sa slike 16.30 može da se predstavi jednačinom:

$$V_{iz} = -K \cdot R_f \cdot V_{REF} \cdot (2^{n-1} \cdot Q_{n-1} + \dots + 2^2 \cdot Q_2 + 2^1 \cdot Q_1 + 2^0 \cdot Q_0) + R_f \cdot \frac{V_{REF}}{R_o} \quad (16.37)$$

Iz uslova da je izlazni napon $V_{iz} = 0$ kada je $Q_{n-1}Q_{n-2} \dots Q_1Q_0 = 10 \dots 00$, dobija se:

$$R_o = \frac{1}{2^{n-1} K} \quad (16.38)$$

gde vrednost konstante K zavisi od tipa konvertora. Zamenom vrednosti za R_o u jednačinu (16.37) i uzimajući u obzir da se za bipolarne D/A konvertore, po pravilu, koristi negativan referentni napon, dobija se:

$$V_{iz} = K \cdot R_f \cdot |V_{REF}| \cdot (2^{n-1} \cdot Q_{n-1} + \dots + 2^1 \cdot Q_1 + 2^0 \cdot Q_0 - 2^{n-1}) \quad (16.39)$$

Maksimalna pozitivna vrednost napona V_{iz} se dobija kada su u registar upisane sve jedinice ($Q_i = 1, i = 0, 1, \dots, n-1$) i iznosi:

$$V_{iz \max} = K \cdot R_f \cdot |V_{REF}| \cdot (2^{n-2} + \dots + 2^1 + 2^0) = (2^{n-1} - 1) \cdot K \cdot R_f \cdot |V_{REF}| \quad (16.40)$$

Minimalnu (najnegativniju) vrednost V_{iz} zauzima u slučaju kada su u registar upisane sve nule, odnosno:

$$V_{iz \min} = -2^{n-1} \cdot K \cdot R_f \cdot |V_{REF}| \quad (16.41)$$

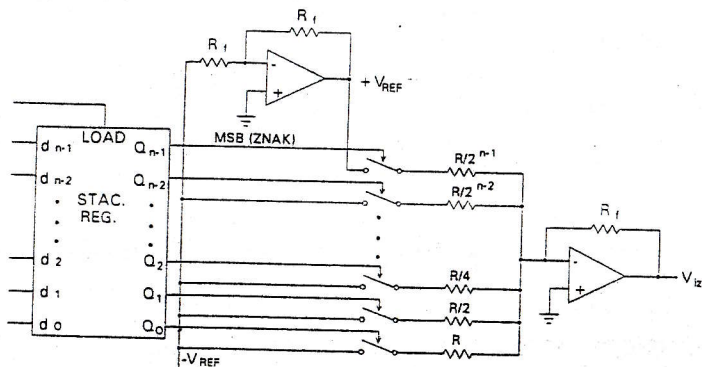
Iz jednačina (16.40) i (16.41) se vidi da je vrednost maksimalnog pozitivnog napona za jedan LSB manja od apsolutne vrednosti maksimalnog negativnog napona. Ova nesimetrija D/A konvertora sa binarnim ofsetom praktično nema uticija kod konvertora veće rezolucije, pošto je napon koji odgovara jednom LSB veoma mala veličina.

Bipolarni D/A konvertori za brojeve izražene komplementom do dva

U odeljku 15.1.3 je pokazano da se veličina broja izraženog u komplementu do 2 izračunava tako što se cifri najveće težine (bitu za znak) pridružuje vrednost -2^{n-1} , umesto $+2^{n-1}$. Poštujući ovo pravilo, izraz za izlazni napon D/A konvertora u brojnom sistemu komplementa do 2 je oblika:

$$V_{iz} = K \cdot R_f \cdot V_{REF} \cdot (-2^{n-1} \cdot Q_{n-1} + 2^{n-2} \cdot Q_{n-2} + \dots + 2^1 \cdot Q_1 + 2^0 \cdot Q_0) \quad (16.42)$$

a bipolarni konvertor (skraćeno $\bar{2}^2$ DAK) sa težinskom otpornom mrežom, koji realizuje jednačinu (16.42), je pokazan na slici 16.31.



Slika 16.31 Bipolarni DAK sa kodom u komplementu do 2 i težinskom otpornom mrežom

Da bi polaritet izlaznog napona odgovarao bitu za znak, (pošto je sumirajući pojačavač invertujući), prekidač MSB priključuje otpornik $R/2^{n-1}$ na $+V_{REF}$, dok ostali prekidači priključuju odgovarajuće otpornike na $-V_{REF}$. Konstanta K za konvertor sa slike 16.31 ima vrednost $1/R$. Lako se može pokazati da je izlazni napon proporcionalan brojevima kodovanim u brojnom sistemu u kome su negativni brojevi izraženi komplementom do 2.

Konvertor u kome se pojedini delovi mreže priključuju na referentne napone različitog polariteta nije pogodan za realizaciju. Prekidači bi morali da budu ili bilateralni, ili različitog tipa za

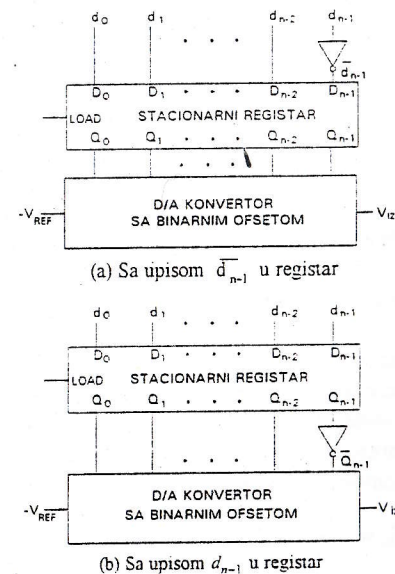
svaki polaritet. Ako je D/A konvertor sa strujnim izvorima, struja MSB bita bi morala da bude različitog polariteta. Iz tog razloga $\bar{2}^2$ DAK se realizuje korišćenjem konvertora sa binarnim ofsetom.

U tabeli 16.1 uporedo je pokazan kod četvorobitnog konvertora sa binarnim ofsetom i kod brojeva izraženim komplementom do 2.

Poređenjem kodovanih brojeva u tabeli 16.1 vidi se da se kod komplementa do 2 razlikuje od koda sa binarnim ofsetom samo u bitu najveće težine. Ako se u MSB flipflop stacionarnog registra upiše komplement bita d_{n-1} , bipolarni D/A konvertor sa binarnim ofsetom postaje D/A konvertor sa negativnim vrednostima izraženim komplementom do 2. Isto se postiže upisom d_{n-1} u MSB flipflop, s tim da prekidačem upravlja \bar{d}_{n-1} umesto Q_{n-1} . Na slikama 16.32.a i b prikazane su blok šeme oba načina formiranja $\bar{2}^2$ DAK.

Tabela 16.1 Označeni brojevi izraženi binarnim ofsetom i komplementom do 2

Dec. ekviv.	Binarni ofset	Kompl. do 2
$d_3 d_2 d_1 d_0$	$d_3 d_2 d_1 d_0$	$d_3 d_2 d_1 d_0$
-8	0 0 0 0	1 0 0 0
-7	0 0 0 1	1 0 0 1
-6	0 0 1 0	1 0 1 0
-5	0 0 1 1	1 0 1 1
-4	0 1 0 0	1 1 0 0
-3	0 1 0 1	1 1 0 1
-2	0 1 1 0	1 1 1 0
-1	0 1 1 1	1 1 1 1
0	1 0 0 0	0 0 0 0
1	1 0 0 1	0 0 0 1
2	1 0 1 0	0 0 1 0
3	1 0 1 1	0 0 1 1
4	1 1 0 0	0 1 0 0
5	1 1 0 1	0 1 0 1
6	1 1 1 0	0 1 1 0
7	1 1 1 1	0 1 1 1



Slika 16.32 Bipolarni D/A konvertor u brojnom sistemu komplementa do 2

Na osnovu jednačine (16.39), za konvertor sa slike 16.32.b, izlazni napon je dat jednačinom:

$$V_{iz} = K \cdot R_f \cdot V_{REF} \cdot (2^{n-1} \cdot \bar{Q}_{n-1} + 2^{n-2} \cdot Q_{n-2} + \dots + 2^1 \cdot Q_1 + 2^0 \cdot Q_0 - 2^{n-1}) \quad (16.43)$$

odnosno:

$$V_{iz} = K \cdot R_f \cdot V_{REF} \cdot [2^{n-1} \cdot (\bar{Q}_{n-1} - 1) + 2^{n-2} \cdot Q_{n-2} + \dots + 2^1 \cdot Q_1 + 2^0 \cdot Q_0] \quad (16.44)$$

Kako je:

$$2^{n-1} \cdot (\bar{Q}_{n-1} - 1) = -2^{n-1} \cdot Q_{n-1} \quad (16.45)$$

vidi se da D/A konvertor sa slike 16.32.b zadovoljava jednačinu (16.42) koja definiše veličinu izlaznog napona za $\bar{2}^2$ DAK. Isto se može pokazati i za konvertor sa slike 16.32.a, s tim da se izlazni napon izrazi kao funkcija ulaznih promenljivih d_i , umesto stanja registra Q_i .

Digitalno-analogni množači

Izlazni napon svakog D/A konvertora je proporcionalan kodovanom digitalnom broju D i referentnom naponu V_{REF} , odnosno:

$$V_{iz} = K \cdot V_{REF} \cdot D \quad (16.46)$$

Ako je D/A takve konstrukcije da je jednačina (16.46) zadovoljena za sve vrednosti V_{REF} od $V_{REF} = 0$ do $V_{REF} = V_{max}$, tada se umesto referentnog napona na D/A konvertor može priključiti napon V_{ul} , a D/A konvertor će obavljati operaciju aritmetičkog množenja digitalnog broja D analognim naponom V_{ul} . Jednačina (16.46) postaje:

$$V_{iz} = K \cdot V_{ul} \cdot D \quad (16.47)$$

D/A množači mogu, u zavisnosti od primenjenog D/A konvertora, da obavljaju funkciju množenja u jednom, dva, ili četiri kvadranta. Unipolarni D/A konvertori, koji zbog primenjenih prekidača ili generatora struja mogu da rade samo sa jednim polaritetom V_{ul} , obavljaju množenje samo u jednom kvadrantu, najčešće $V_{ul} \geq 0$ i $D \geq 0$. Bipolarni D/A konvertor sa dozvoljenim samo jednim polaritetom ulaznog napona obavlja množenje u dva kvadranta. Digitalni broj može biti označen u bilo kom od navedenih brojnih sistema. Ako D/A konvertor može da radi sa oba polariteta ulaznog napona, a da je pri tome realizovan tako da konvertuje označene binarne brojeve, radi se o D/A množaču u četiri kvadranta.

16.2 ANALOGNO-DIGITALNI KONVERTORI

Analogno-digitalna konverzija je generisanje digitalno kodovanog broja koji odgovara analognom ulaznom signalu. Elektronsko kolo koje obavlja ovu konverziju naziva se *analogno-digitalni konvertor*, ili, skraćeno, A/D konvertor, odnosno, ADK.

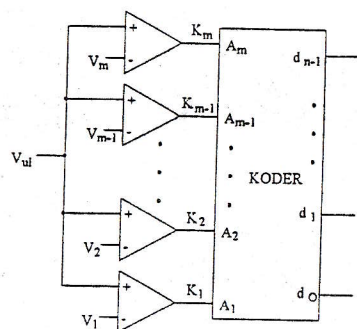
Elementaran analogno-digitalni konvertor je naponski komparator. Ulazni analogni signal - napon V_{ul} , komparator konvertuje u jednobitnu digitalnu informaciju $D = d_0$, tako da $d_0 = 0$ označava da je $V_{ul} < V_1$, a $d_0 = 1$ da je $V_{ul} > V_1$, gde je V_1 unapred određen naponski prag.

Ako je potrebno da se veličina analognog napona odredi sa većom preciznošću i predstavi u digitalnom obliku, potrebno je porediti ulazni napon sa više naponskih pragova na način prikazan na slici 16.33.

Ako se naponi V_i rasporede ekvidistantno unutar naponskog opsega od 0 do V_{ps} , na osnovu izlaza komparatora k_i može da se odredi u kom se naponskom opsegu nalazi ulazni signal V_{ul} . Koder na slici 16.33 digitalnu informaciju sa komparatora koda uje u digitalni broj izabranog binarnog brojnog sistema.

Na slici 16.34 prikazana je idealna karakteristika prenosa A/D konvertora sa slike 16.33 za slučaj da postoje 8 nivoa komparacije ulaznog napona.

Ako se ulazni napon linearno menja od 0 do napona pune skale V_{ps} , izlazna digitalna informacija može da ima $m+1=9$ diskretnih stanja: 0, za $V_{ul} < V_1$; 1, za $V_1 < V_{ul} < V_2$; 2, za $V_2 < V_{ul} < V_3$; 3, za $V_3 < V_{ul} < V_4$; ...



Slika 16.33 Principijelna šema A/D konvertora

7, za $V_7 < V_{ul} < V_8$ i "PREKORAČENJE", ako je ulazni napon $V_{ul} > V_8$. Ako se stanje komparatora koda uje u prirodni binarni broj, na izlazu koda će se dobiti trobitna binarna informacija o veličini ulaznog napona ili signal "PREKORAČENJE", ako je ulazni napon $V_{ul} > V_{ps}$. Sistematska greška konverzije je $\pm 1/2$ LSB.

Karakteristika prenosa na slici 16.34 pretpostavlja ekvidistantno raspoređene napone V_i , idealne komparatore bez histerezisa i nulto vreme propagacije signala kroz komparatore i koder. Realna karakteristika prenosa će odstupati od idealne i, slično kao kod D/A konvertora, mogu se definisati statičke i dinamičke greške koje unosi realan ADK.

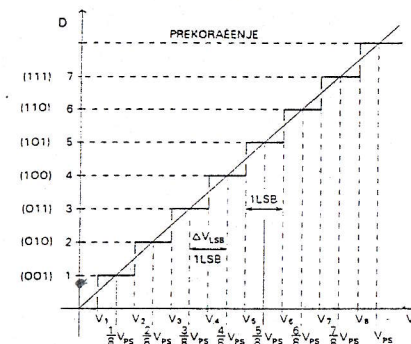
Statičke karakteristike A/D konvertora se definišu na isti način kao i statičke karakteristike D/A konvertora, s tim što su ulaz i izlaz zamenili mesta. Definiše se apsolutna linearnost, greška (ofset) nule, greška pune skale, greška pojačanja i diferencijalna linearnost. U slučaju velike diferencijalne nelinearnosti, kada je narušena monotonost karakteristike prenosa, za A/D konvertore se češće koristi termin *izgubljen kôd* (missed code), umesto nemonotonost.

Pošto je izlazna informacija ADK digitalni broj, dinamičke karakteristike A/D konvertora se svode na specifikiranje potrebnog vremena da se od trenutka početka konverzije na izlazu ADK postavi digitalni ekvivalent ulaznog analognog signala. Ovo vreme se naziva *vreme konverzije*.

Rezolucija, odnosno, broj nivoa kvantizacije ulaznog signala se, kao i kod D/A konvertora, najčešće definiše brojem bita izlazne digitalne informacije, ako je primenjen prirodni binarni kôd, ili brojem decimalnih cifara, za A/D konvertore koji generišu izlaznu informaciju u BCD kodu. Povećanje rezolucije A/D konvertora sa slike 16.33 se može postići jedino povećanjem broja naponskih nivoa, odnosno, broja komparatora. Za povećanje rezolucije samo za jedan bit, potrebno je duplirati broj komparatora i srazmerno proširiti kombinacionu mrežu koda. Tako bi, na primer, za konvertor rezolucije 8 bita bilo potrebno 256 komparatora. Pošto je, u praksi, potrebno obavljati A/D konverziju i sa mnogo većom rezolucijom, direktna konverzija pomoću 2^n komparatora i kodne mreže postaje neekonomična zbog velikog broja komponenti. U cilju smanjenja broja sastavnih elektronskih kola, a da bi se ipak postigla zadata rezolucija, primenjuju se različite metode A/D konverzije za sintezu konvertora, [6, 39, 40].

Klasifikacija A/D konvertora u literaturi nije standardizovana. Najčešće se A/D konvertori klasifikuju po načinu ili brzini konverzije.

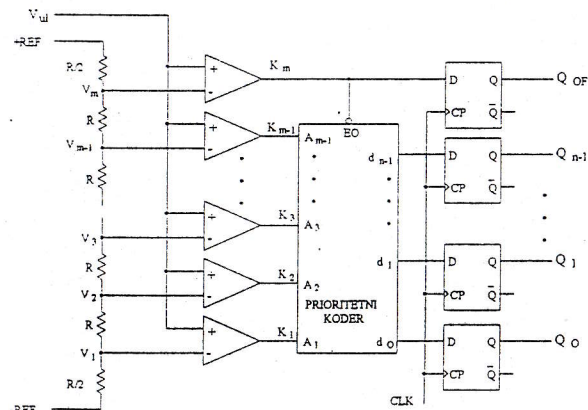
Poslednjih godina se uglavnom proizvode i koriste tri klase A/D konvertora: vrlo brzi A/D konvertori, formirani korišćenjem paralelnih komparatora kao na slici 16.33, koji se nazivaju *direktni ADK*; konvertori srednje brzine, koji napon V_{ul} porede sa naponom generisanim referentnim D/A konvertorom i konvertori male brzine, koji najčešće proces konverzije napona u digitalni broj obavljaju merenjem vremena za koje napon, koji raste linearno sa vremenom, dostigne vrednost napona V_{ul} . Ovi poslednji se nazivaju *serijski A/D konvertori*, A/D konvertori sa *vremenskim ekvivalentom*, ili *integratorski A/D konvertori*, pošto se napon kao linearna funkcija vremena generiše pomoću integratora.



Slika 16.34 Karakteristika prenosa idealnog A/D konvertora

16.2.1 A/D KONVERTORI SA PARALELNIH KOMPARATORIMA

Konvertori sa paralelnim komparatorima spadaju u klasu najbržih A/D konvertora. Često se nazivaju direktni ili *FLASH* A/D konvertori. Principijelna šema takvog konvertora je pokazana na slici 16.35. Za realizaciju konvertora od n bita potrebno je $m = 2^n$ komparatora, ako je potrebno da se generiše signal prekoračenja, odnosno, $2^n - 1$ komparator, ako signal prekoračenja nije potreban. Niz naponskih pragova se formira otpornim lancem, na način prikazan na slici 16.35.



Slika 16.35 A/D konvertor sa paralelnim komparatorima

Kada se za konverziju koristi samo jedan konvertor sa slike 16.35, kraj lanca označen sa $-REF$ se priključuje na masu, a na priključak $+REF$ se priključuje referentni napon. Da bi greška kvantizacije bila ± 0.5 LSB, otporni lanac je sa obe strane završen otpornicima $R/2$. Pad napona na svakom otporniku R odgovara promeni ulaznog napona za 1 LSB.

Napon i -tog praga se računa pod pretpostavkom da je ulazna otpornost komparatora beskonačno velika i dat je izrazom:

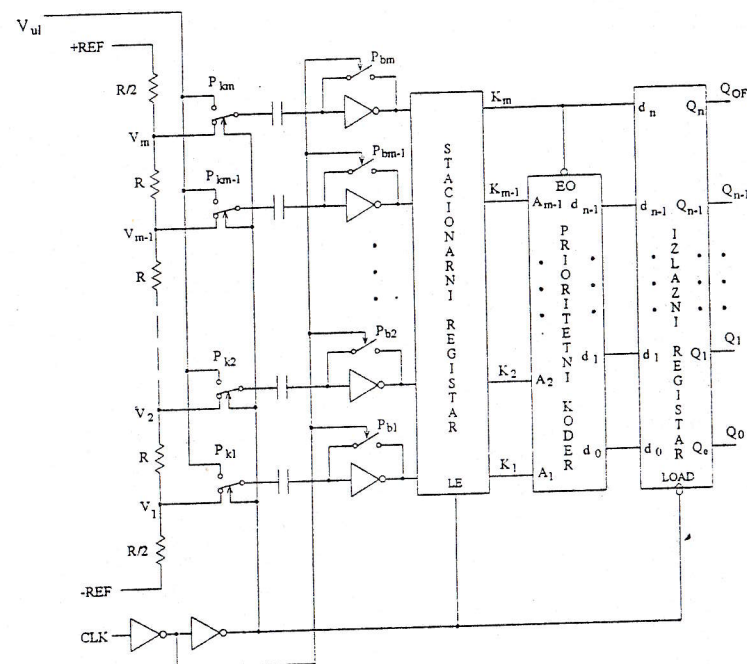
$$V_i = \frac{V_{REF}}{m} \cdot \left(i - \frac{1}{2} \right) \quad (16.48)$$

gde je m broj naponskih pragova, odnosno, broj komparatora.

Kodovanje izlaznog binarnog broja se obavlja prioritetsnim koderom, opisanim u odeljku 11.6.2. Najviši prioritet u koderu ima signal k_{m-1} , a najniži k_1 . Ako se ulazni napon nalazi u opsegu $V_i < V_{ul} < V_{i+1}$, svi komparatori sa indeksom $j \leq i$ će imati izlaz na logičkom nivou $k_j = 1$, tako da će prioritetsni koder da koduje broj i . Izlazna informacija se taktnim impulsom CLK upisuje u izlazni registar A/D konvertora. Maksimalni napon koji konvertor sa slike 16.35 može da konvertuje sa greškom manjom od ± 0.5 LSB je napon veći od V_{m-1} , a manji od V_m . U slučaju da je ulazni napon veći od V_m , postaje $k_m = 1$, zabranjuje se izlaz prioritetsnog koder, a u flipflop za prekoračenje se upisuje $Q_{OF} = 1$.

Integrirani analogno-digitalni konvertori, organizovani kao na slici 16.35, su rezolucije $n = 6$ do $n = 10$ bita. Broj komparatora za navedenu rezoluciju je 64 do 1024. Da bi A/D konvertor imao zadovoljavajuću, linearnost, komparatori moraju imati temperaturno stabilni,

praktično nulti, naponski ofset i vrlo veliku ulaznu otpornost. Realizacija diferencijalnih komparatora navedenih karakteristika zahteva veliki broj komponenti i bilo bi veoma teško, postojećom tehnologijom, izraditi integrirano kolo sa potrebnim brojem diferencijalnih komparatora za zahtevanu rezoluciju. Da bi se rešio ovaj problem, umesto jednosmerno spregnutih komparatora, koriste se komparatori sa automatskom kompenzacijom ofseta, koji su opisani u odeljku 8.1.2. Komparatori su kapacitivno spregnuti sa nizom naponskih pragova, odnosno ulaznim naponom, tako da je u stacionarnom režimu ulazna otpornost beskonačno velika. Logička šema A/D konvertora koji se može realizovati integriranom CMOS tehnologijom je prikazana na slici 16.36.



Slika 16.36 Integrirani A/D konvertor sa paralelnim komparatorima

A/D konvertor sa slike 16.36 je, po organizaciji, identičan konvertoru sa slike 16.35, s tim što su, umesto konvencionalnih komparatora korišćeni komparatori sa automatskom kompenzacijom, ili kako se još nazivaju, komparatori sa *auto-balansiranjem*. Na slici 16.36 stacionarni leč registar je prikazan kao logički blok, međutim, prilikom praktične realizacije koriste se komparatori sa ugrađenom ćelijom leč registra. Takav komparator je prikazan na slici 8.11 u odeljku 8.1.2.

Stanje svih komparatora (na slici 16.36) kada je $CLK = 0$ se naziva *autobalansirajuće* stanje. Kada se generiše $CLK = 1$, rezultat poređenja V_{ul} sa odgovarajućim naponskim pragom se upisuje u leč, a zadnja ivica CLK upisuje rezultat konverzije u izlazni registar.

Primena autobalansirajućih komparatora za A/D konvertore je veoma pogodna za realizaciju integriranih kola. U konvertoru na slici 16.36, izuzev otporničkog lanca, ni jedna

komponenta ne mora da bude tačna ni temperaturno stabilna. Otpornost prekidača ne utiče na tačnost konverzije, pošto, nakon prelaznih režima, kroz prekidače ne teče struja.

Vreme konverzije A/D konvertora sa slike 16.36 se računa od uzlazne ivice signala CLK do stabilnog logičkog nivoa na izlaznim priključcima. Pošto se u izlazni registar podatak upisuje silaznom ivicom signala CLK , vreme konverzije t_{ADK} je dato izrazom:

$$t_{ADK} = t_c + t_{dFF} \quad (16.49)$$

gde je t_c trajanje CLK impulsa, a t_{dFF} vreme propagacije kroz flipflopove izlaznog registra. Minimalno trajanje CLK impulsa je dato uslovom:

$$t_{cmin} = t_{dk} + t_{pk} + t_{su} \quad (16.50)$$

gde je: t_{dk} - kašnjenje komparatora, t_{pk} - vreme propagacije kroz prioritetni koder, a t_{su} - vreme postavljanja flipflopova izlaznog registra. Naredna konverzija može da se zada ponovnim generisanjem signala CLK nakon vremena t_b za koje je CLK bio na nultom logičkom nivou. Minimalno vreme t_b je ograničeno vremenom balansiranja komparatora, odnosno, punjenjem (pražnjenjem) komparatora kondenzatora na napon V_i (nakon što su bili napunjeni na V_{ul}). Pošto je kapacitivnost kondenzatora mala, a puni se (ili prazni) kroz male otpornosti prekidača, vreme t_b može biti kraće od vremena t_c . Vreme konverzije komercijalno raspoloživih brzih A/D konvertora je 5 ns do 30 ns.

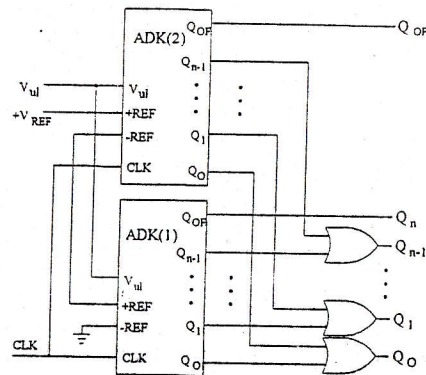
Povećanje rezolucije A/D konverzije se može obaviti sprežanjem dva konvertora sa slike 16.36. Ako su konvertori sa n bita, može se realizovati konvertor od $n+1$ bita, na način pokazan na slici 16.37.

Rednim spajanjem dva lanca otpornika iz dva konvertora dobija se $2m$ naponskih pragova. Kada je ulazni napon manji od napona V_m konvertora (1), dozvoljen je izlaz prioritetnog kodera (1) i izlazni kôd se, preko ILI kola, generiše sa izlaza ADK (1). Kada je $V_{ul} > V_m(1)$, $k_{m(1)} = 1$ zabranjuje izlaz prioritetnog kodera (1). Bit prekoračenja ADK (1) ($Q_{OF(1)}$) je bit najveće težine izlaznog koda. Kada je $Q_{OF(1)} = Q_n = 1$ niže bite generiše konvertor (2), pošto je izlaz prioritetnog kodera (1) zabranjen. Prekoračenje ukupnog opsega konverzije postavlja $Q_{OF(2)} = 1$.

Povećanje rezolucije A/D konvertora sa n na $2n$ bita se može ostvariti kaskadnom

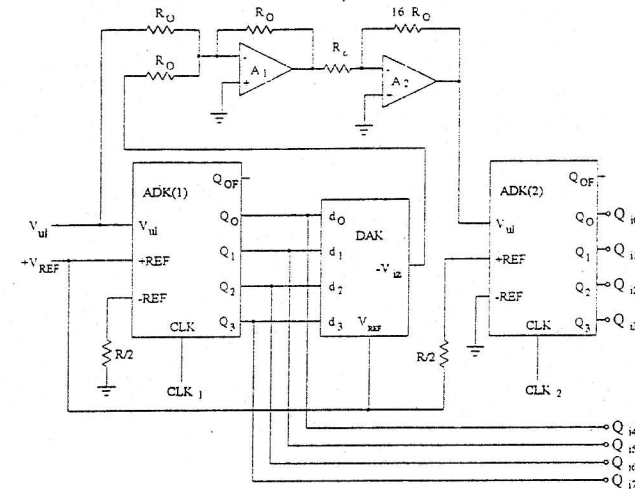
vezom dva ADK od n bita uz korišćenje jednog D/A konvertora, takođe od n bita. Ovakvi konvertori se nazivaju *kaskadni-direktni* A/D konvertori. Princip kaskadne-direktno konverzije je pokazan na primeru realizacije osmobitnog pomoću dva četvorobitna A/D konvertora. Logička šema konvertora je prikazana na slici 16.38.

Da bi A/D konvertor sa slike 16.38 imao apsolutnu linearnost i grešku kvantizacije unutar ± 0.5 LSB, s obzirom da je konverzija osmobitna, ADK (1) i DAK moraju imati ukupnu i diferencijalnu linearnost bolju od $\pm 1/512$ LSB. Otpornički lanac A/D konvertora (1) je vezan na



Slika 16.37 Povećanje rezolucije konverzije sprežanjem dva ADK

masu preko otpornika $R/2$, tako da je greška kvantizacije $+1$ LSB, umesto ± 0.5 LSB. Nakon generisanja CLK_1 , kada ADK (1) završi konverziju, raspoloživa su četiri viša bita rezultata konverzije. D/A konvertor ova četiri bita konvertuje u napon V_{iz} koji je suprotnog znaka od V_{ul} i može, u zavisnosti od veličine V_{ul} , da zauzme jedan od 16 diskretnih nivoa (0 do 15) koji je prvi, po apsolutnoj vrednosti, niži od napona V_{ul} .



Slika 16.38 Kaskadni-direktni A/D konvertor

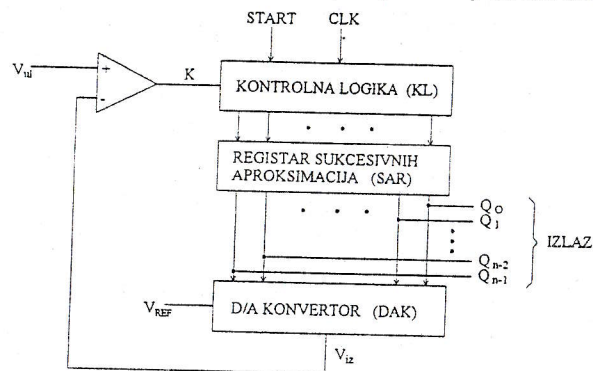
Pojačavačem A_1 se od napona V_{ul} oduzima V_{iz} . Pošto je greška kvantizacije ADK (1) manja od 1 LSB razlika napona $V_{ul} - V_{iz}$ mora biti manja od 16 LSB konvertora (2). Pojačavačem A_2 se dobijena razlika množi sa 16 i dovodi kao V_{ul} na ADK (2). Po isteku vremena postavljanja D/A konvertora, pojačavača A_1 i A_2 , generiše se CLK_2 , tako da se konvertorom (2) postavljaju četiri niža bita osmobitne digitalne vrednosti. Na ovaj način je svaki od 16 nivoa kvantizacije A/D konvertora (1) podeljen na dodatnih 16 nivoa kvantizacije konvertora (2). Da bi struja kroz lanac otpornika konvertora (2) bila jednaka struji kroz lanac ADK (1), otpornički lanac ADK (2) je preko otpornika $R/2$ vezan na $+V_{REF}$, dok je kraj lanca označen sa $-REF$ vezan na masu. Na ovaj način je obezbeđeno da greška kvantizacije ADK (2), a time i ukupna greška kvantizacije, bude ± 0.5 LSB.

Vreme konverzije kaskadno-direktnog ADK obuhvata vreme konverzije ADK (1), vreme postavljanja D/A konvertora, pojačavača A_1 , pojačavača A_2 i vreme postavljanja ADK (2). Sa brzim A/D i D/A konvertorima postiže se ukupno vreme konverzije reda 50 ns.

Kaskadni-direktni A/D konvertor sa slike 16.38 sadrži ukupno 32 komparatora, umesto 256, koliko bi bilo potrebno za realizaciju sa samo jednim ADK. Ušteda u broju komparatora naročito dolazi do izražaja za konvertore veće rezolucije. Na primer, da bi se realizovao ADK sa paralelnim komparatorima rezolucije 12 bita, bilo bi potrebno 4096 komparatora, tako da se ovakvi konvertori još uvek ne izrađuju kao integrisana kola. Međutim, korišćenjem dva šestobitna konvertora i kaskadnom vezom kao na slici 16.38 postiže se rezolucija od 12 bita sa svega 128 komparatora, naravno, uz produženo vreme konverzije.

16.2.2 A/D KONVERTORI SA SUKCESIVNIM APROKSIMACIJAMA

Kratko vreme konverzije koje obezbeđuju A/D konvertori sa paralelnim komparatorima nije uvek kriterijum koji je presudan za izbor konvertora. U slučaju da je potrebna velika rezolucija konvertora, a da se napon, koji se konvertuje, relativno sporo menja, u cilju ekonomičnije realizacije ADK, primenjuju se različite metode konverzije kako bi se smanjio broj elektronskih kola potrebnih za formiranje konvertora zadate rezolucije. Za srednje brzine konverzije (nekoliko μs do nekoliko desetina μs) koriste se A/D konvertori sa sukcesivnim aproksimacijama. Principijelna šema ADK sa sukcesivnim aproksimacijama prikazana je na slici 16.39.

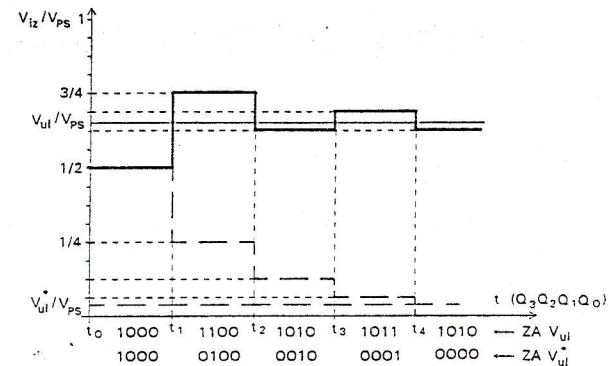


Slika 16.39 A/D konvertor sa sukcesivnim aproksimacijama

Maksimalni ulazni napon, $V_{ul\ max}$, koji se može priključiti na konvertor je $V_{ul\ max} = V_{ps}$. Pojačanje D/A konvertora je podešeno tako da je maksimalni izlazni napon iz D/A konvertora, V_{iz} , za 1 LSB manji od napona V_{ps} . Pod navedenim uslovima D/A konvertor će, kada je MSB bit postavljen na 1 ($Q_{n-1} = 1$), a svi ostali na 0, generisati napon $V_{iz} = V_{ps}/2$, sledeći bit, $Q_{n-2} = 1$, ima težinu $V_{ps}/4$, odnosno, pošto se radi o binarnom D/A konvertoru, svaki sledeći bit ima težinu upola manju od prethodnog.

Konverzija počinje tako što, nakon priključenog V_{ul} , kontrolna logika (KL) postavi logičku jedinicu u bit najveće težine registra sukcesivnih aproksimacija (Q_{n-1}). DAK generiše napon $V_{iz} = V_{ps}/2$ koji se poredi sa V_{ul} . Ako je $V_{ul} > V_{ps}/2$, MSB bit digitalnog ekvivalenta napona V_{ul} je 1, a ako je $V_{ul} < V_{ps}/2$, tada treba da bude $Q_{n-1} = 0$. Kontrolna logika, na osnovu izlaza komparatora resetuje ($K=0$), ili ne ($K=1$) MSB flipflop u registru sukcesivnih aproksimacija (SAR), čime je definisan bit Q_{n-1} izlazne informacije, a zatim postavlja $Q_{n-2} = 1$. Komparator poredi novu vrednost V_{iz} ($V_{ps}/4$ ili $3V_{ps}/4$) sa V_{ul} , a zatim KL, na osnovu izlaza komparatora resetuje ili ne flipflop Q_{n-2} , čime je definisana vrednost bita Q_{n-2} , a postavlja Q_{n-3} , koji ima težinu upola manju od Q_{n-2} . Proces poređenja i postavljanja narednih flipflopova se nastavlja sve do bita najmanje težine Q_0 . U zavisnosti od logičkog nivoa komparatora, Q_0 se resetuje ili ostavlja na nivou $Q_0 = 1$. Time je konverzija završena.

Kao primer, na slici 16.40 pokazan je vremenski dijagram napona V_{iz} idealnog četvorobitnog A/D konvertora sa sukcesivnim aproksimacijama. Pretpostavljeno je da je na ulazu A/D konvertora napon $(5/8) < (V_{ul}/V_{ps}) < (11/16)$.



Slika 16.40 Promena napona DAK prilikom A/D konverzije

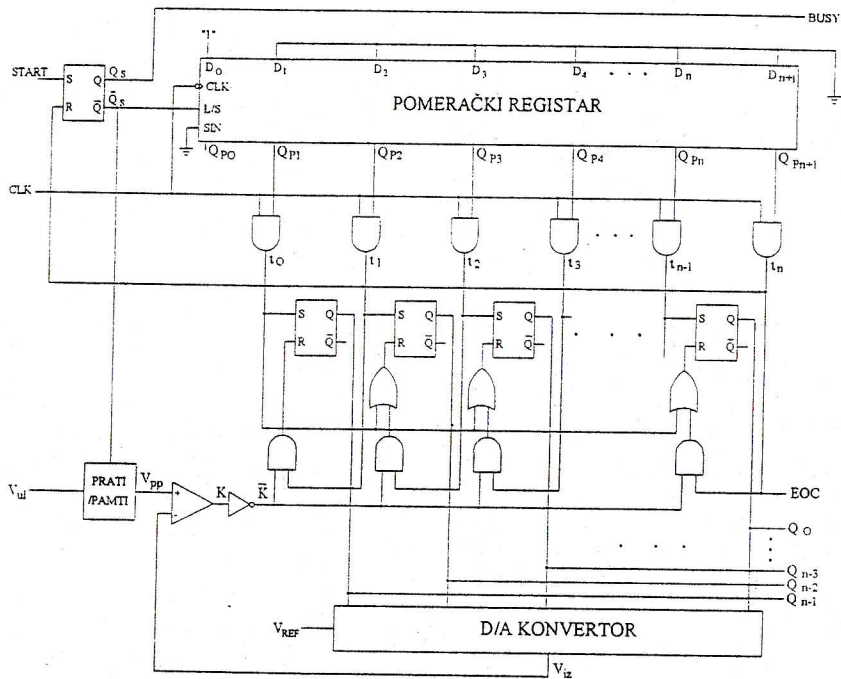
Konverzija počinje postavljanjem koda 1000 u SAR. Izlazni napon D/A konvertora se postavlja na $V_{iz} = V_{ps}/2$. Pošto je $V_{ul} > V_{ps}/2$, na osnovu $K=1$, u trenutku t_1 KL ne resetuje Q_3 , čime je određen MSB bit izlazne informacije, postavlja $Q_2 = 1$, tako da je kod upisan u SAR 1100, a izlazni napon D/A konvertora se postavlja na $V_{iz} = 3V_{ps}/4$. Sada je $V_{ul} < V_{iz}$, KL u trenutku t_2 , na osnovu $K=0$ resetuje Q_2 i (bezuslovno) postavlja $Q_1 = 1$. Ovim je određena i druga cifra izlazne digitalne informacije. SAR je postavljen u stanje 1010, a V_{iz} na $V_{iz} = 5V_{ps}/8$. Pošto je $V_{ul} > V_{iz}$, $K=1$ zabranjuje da KL resetuje Q_1 , u trenutku t_3 postavlja se $Q_0 = 1$, tako da je u registru SAR stanje 1011. U trenutku t_4 se na osnovu $K=1$ resetuje Q_0 , tako da je konačan rezultat konverzije koji je ostao u registru sukcesivnih aproksimacija $Q_3Q_2Q_1Q_0 = 1010$, što je najbliži binarni broj koji odgovara ulaznom naponu.

Na istom vremenskom dijagramu na slici 16.40 je isprekidanom linijom prikazan tok konverzije napona $V_{ul}^* < V_{ps}/16$. Nakon četiri koraka sukcesivnih aproksimacija, kao rezultat konverzije se dobija stanje $Q_3Q_2Q_1Q_0 = 0000$.

Na osnovu sprovedene analize funkcionisanja A/D konvertora sa sukcesivnim aproksimacijama (skraćeno SA ADK) mogu se definisati uslovi za sintezu registra SAR i kontrolne logike KL:

- Konverzija analognog signala u digitalni binarno kodovan broj od n cifara se obavlja u $n+1$ taktom intervalu, od kojih prvi (t_0) inicijalizuje sekvencu sukcesivnih aproksimacija, a poslednji (t_n) označava kraj konverzije.
- Start konverzije se zadaje asinhrono u odnosu na takti impuls A/D konvertora.
- Vreme između dva susedna takti impulsa treba da je dovoljno dugačko, kako bi isteklo vreme postavljanja D/A konvertora, kašnjenja kroz komparator i kašnjenja kroz kontrolnu logiku.
- Korišćeni n -bitni D/A konvertor mora imati monotono rastuću karakteristiku prenosa (diferencijalnu linearnost bolju od ± 0.5 LSB).
- Flipflopovi registra SAR treba da imaju mogućnost pojedinačnog postavljanja i resetovanja.
- Ulazni napon V_{ul} ne sme da se menja u toku konverzije, s obzirom da se flipflopovi postavljaju bit po bit, a već postavljeni flipflopovi, u slučaju promene V_{ul} , ne mogu da odgovara ulaznom naponu.

Na slici 16.41 prikazana je logička šema A/D konvertora sa sukcesivnim aproksimacijama. Prilikom sinteze SA ADK ispunjeni su svi navedeni uslovi za obezbeđenje ispravne sekvence konverzije.



Slika 16.41 Logička šema A/D konvertora sa sukcesivnim aproksimacijama

Sekvenca taktih impulsa se generiše pomeračkim registrom sa sinhronim paralelnim upisom. Za vreme dok konverzija nije u toku, stanje SR leča $\bar{Q}_S = 1$ drži pomerački registar u režimu paralelnog upisa ($L/S=1$), tako da svaki CLK impuls u registar upisuje stanje 100...00. Registar sukcesivnih aproksimacija je formiran od SR leča kola. Dok konverzija nije u toku, pošto je samo $Q_{p0} = 1$, ne generišu se takti impulsi za SAR.

Početak konverzije se zadaje signalom $START$ koji postavlja $Q_S = 1$. Pomerački registar se prebacuje u režim pomeranja, a prati/pamti kolo u režim "pamti", čime se zamrzava trenutna vrednost V_{ul} . Sledeći CLK impuls zadnjom ivicom pomera jedinicu sa pozicije Q_{p0} na Q_{p1} , a zbog $SIN = 0$ upisuje se $Q_{p0} = 0$. Kada je $Q_{p1} = 1$ naredni CLK generiše impuls t_0 koji u SAR upisuje 1 na poziciju MSB (Q_{n-1}) bita, a sva ostala leča kola resetuje. Zadnja ivica CLK pomera jedinicu u pomeračkom registru na poziciju Q_{p2} . Izlazni napon D/A konvertora je postavljen na napon $V_{ps}/2$. Izlaz komparatora je postavljen u stanje 1 ili 0, u zavisnosti da li je V_{pp} veći ili manji od V_{iz} . Naredni CLK zbog $Q_{p2} = 1$ generiše t_1 , koji u SAR registru postavlja $Q_{n-2} = 1$, a ako je $\bar{K} = 1$, resucnje Q_{n-1} . Zadnja ivica CLK pomera jedinicu u pomeračkom registru na sledeću poziciju - Q_{p3} .

Sekvenca sukcesivnih aproksimacija se nastavlja sve do generisanja t_n , koji resetuje Q_S . U registru SAR je ostao rezultat konverzije, prati/pamti kolo je postavljeno u režim "prati", a u

pomerački registar, koji je ponovo u režimu paralelnog upisa, se sve do početka sledeće konverzije svakim CLK impulsom, zbog $\bar{Q}_S = 1$, potvrđuje upis: $Q_{p0} = 1, Q_{p1} = Q_{p2} = \dots = Q_{pn+1} = 0$.

Izlazni signali iz A/D konvertora sa slike 16.41 su, pored binarnog ekvivalenta ulaznog napona, signali $BUSY$ i EOC . Signal $BUSY$ (zauzet) se naziva statusni signal i označava da je konverzija u toku. Signal EOC (end of conversion) označava da je konverzija završena. Signal EOC se, na primer, može koristiti da zadnjom ivicom upiše rezultat konverzije u poseban stacionarni registar.

Logička šema na slici 16.41 je jedno od mogućih rešenja A/D konvertora sa sukcesivnim aproksimacijama. Generisanje međusobno pomerenih taktih impulsa t_i se može realizovati brojačem i dekoderom, umesto pomeračkim registrom. Takođe je moguće i drukčije rešenje sinhronizacije asinhronog starta sa taktom ADK. Deo konvertora koji sačinjava registar SAR, DAK i komparator je u svim varijantama realizacije konvertora neizmenjen.

Vreme konverzije ADK sa sukcesivnim aproksimacijama je dato izrazom:

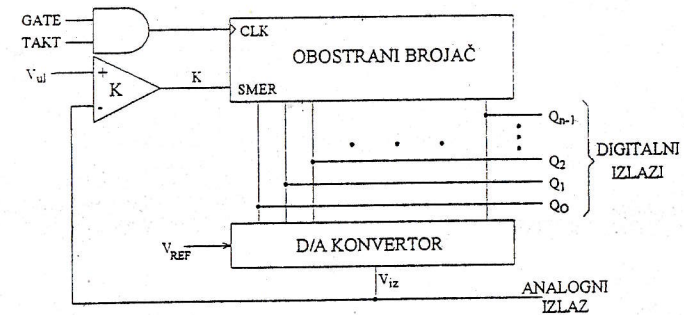
$$t_{ADK} = (n+1) \cdot t_c \quad (16.51)$$

gde je n - broj bita konvertora, a t_c - perioda ponavljanja impulsa CLK . Minimalna perioda ponavljanja CLK zavisi, kako je već rečeno, od vremena postavljanja DAK, od kašnjenja kroz komparator i kašnjenja kroz registar sukcesivnih aproksimacija sa pripadajućim logičkim kolima. Dominantni uticaj na vreme konverzije ima vreme postavljanja DAK, pošto je ovo vreme često i za red veličine duže od ostalih kašnjenja u mreži. Tipično vreme konverzije za, na primer, dvanaestobitne integrisane SA ADK je od 1 μs , za najbrže, do nekoliko desetina μs , za sporije ADK.

Statička linearnost SA ADK je jednaka statičkoj linearnosti korišćenog D/A konvertora.

16.2.3 PRATEĆI ANALOGNO-DIGITALNI KONVERTORI

Drugi tip konvertora koji koristi digitalno-analogni konvertor kao referencu za formiranje digitalnog ekvivalenta analognog signala je *prateći A/D konvertor*. Logička šema pratećeg analogno-digitalnog konvertora je prikazana na slici 16.42.

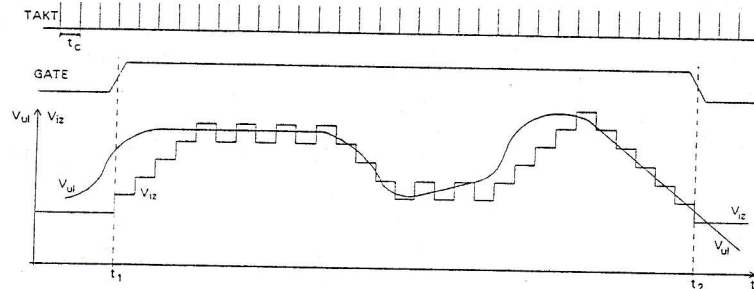


Slika 16.42 Prateći A/D konvertor

A/D konvertor je veoma jednostavne konstrukcije. Sastoji se od obostranog brojača, digitalno-analognog konvertora i komparatora. Brojač se taktuje signalom $TAKT$, koji se može zabraniti postavljanjem signala $GATE$ u stanje $GATE = 0$. Komparator poredi ulazni napon V_{ul} sa izlaznim naponom iz D/A konvertora V_{iz} . Ako je $V_{ul} > V_{iz}$ izlaz komparatora je $K = 1$, brojač broji

unapred, povećava se sadržaj obostranog brojača, pa prema tome i napon V_{iz} raste. Kada postane $V_{iz} > V_{ul}$, menja se stanje izlaza komparatora i brojač počinje da broji unazad. Ako V_{ul} ne menja vrednost i ako je histerezis komparatora manji od 1 LSB, već nakon prvog taktog impulsa napon V_{iz} će ponovo postati manji od V_{ul} , komparator će da promeni stanje, brojač će da promeni smer brojanja i napon V_{iz} ponovo raste. Sve dok V_{ul} ne promeni vrednost, brojač broji po jedan impuls napred, po jedan nazad, a napon V_{iz} osciluje oko napona V_{ul} za 1 LSB.

Na slici 16.43 prikazan je vremenski dijagram promene napona V_{iz} u funkciji promene ulaznog napona V_{ul} .



Slika 16.43 Vremenski dijagram napona pratećeg A/D konvertora

Za vreme dok je signal *GATE* na nultom logičkom nivou na brojač ne stižu takti impulsi, brojač ne menja sadržaj tako da i napon na izlazu D/A konvertora ne menja vrednost. Kada je *GATE* = 1, brojač, u zavisnosti od logičkog nivoa izlaza komparatora, broji unapred ili unazad, a napon na izlazu D/A konvertora teži da dostigne V_{ul} i da prati promene V_{ul} . Brzina promene napona V_{iz} zavisi od periode taktih impulsa t_c . Minimalna vrednost t_c je ograničena vremenom postavljanja D/A konvertora i kašnjenjem komparatora. Ako je promena napona V_{ul} brža od maksimalne brzine promene V_{iz} , izlazni digitalni kôd, a time i napon V_{iz} će da kasni u odnosu na ulazni napon. Pošto promenom učestanosti signala *TAKT* može da se menja brzina promene napona V_{iz} , prateći A/D konvertor može da se koristi kao specifičan digitalno upravljani filter.

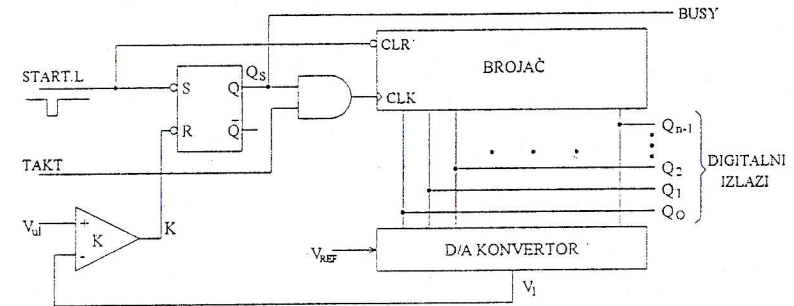
Sa vremenskog dijagrama na slici 16.43 se vidi da je, nakon što je u trenutku t_2 logički nivo signala *GATE* postao *GATE* = 0, izlazni napon zadržao vrednost koju je imao u $t = t_2$. Ovim je ostvarena funkcija analogno-digitalnog prati/pamti kola. Informacija o veličini napona u trenutku prebacivanja u režim "pamti" (t_2) je raspoloživa kako u digitalnom, tako i u analognom obliku i može ostati zapamćena neograničeno dugo, za razliku od analognih prati/pamti kola.

16.2.4 SERIJSKI A/D KONVERTORI

Serijski A/D konvertori obavljaju konverziju na taj način što se napon V_I , sa poznatim digitalnim ekvivalentom povećava serijski, kvant po kvant, sve dok V_I ne dostigne vrednost napona V_{ul} čiji se digitalni ekvivalent traži. Napon V_I se, slično kao kod pratećeg A/D konvertora, može generisati D/A konvertorom, samo u ovom slučaju priključenom na brojač unapred. Logička šema serijskog A/D konvertora sa referentnim digitalno analognim konvertorom je prikazana na slici 16.44.

Početak konverzije se zadaje signalom *START.L* koji postavlja leč Q_5 u stanje $Q_5 = 1$ i resetuje brojač. Resetovan brojač obezbeđuje da je izlazni napon D/A konvertora $V_I = 0$, tako da je za

$V_{ul} > 0$ izlaz komparatora $K = 1$. Pošto je $Q_5 = 1$ signal *TAKT* generiše *CLK* impulse brojača, sadržaj brojača se povećava, a napon sa D/A konvertora raste u kvantovima po 1 LSB. Kada napon V_I dostigne vrednost $V_I = V_{ul} + \Delta V$, ($\Delta V < 1\text{LSB}$), izlaz komparatora prelazi u stanje $K = 0$ što resetuje leč Q_5 . Stanje $Q_5 = 0$ zabranjuje dalje taktovanje brojača, tako da je u brojaču zadržan digitalni ekvivalent napona V_{ul} sa greškom kvantizacije manjom od 1 LSB. Vremenski dijagram karakterističnih napona A/D konvertora sa slike 16.44 prikazan je na slici 16.45.



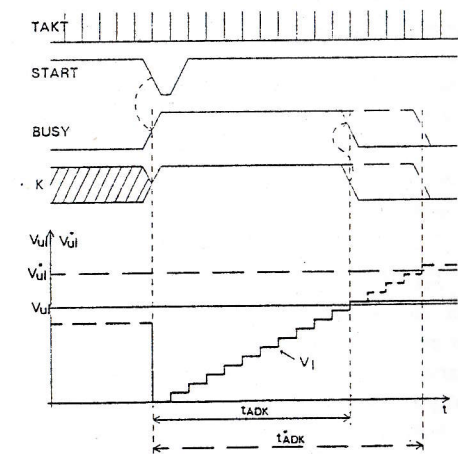
Slika 16.44 Serijski A/D konvertor sa referentnim D/A konvertorom

Na vremenskom dijagramu je punim linijama prikazana konverzija napona V_{ul} , dok je isprekidanim linijama prikazana konverzija napona $V_{ul} > V_{ul}$. Vidi se da vreme konverzije - t_{ADK} zavisi od veličine ulaznog napona, što je i razumljivo, s obzirom da je naponu V_I potrebno duže vremena da dostigne vrednost napona V_{ul} . Vreme konverzije se može skratiti povećanjem učestanosti taktog signala, međutim, perioda signala *TAKT* mora biti duža od zbira vremena postavljanja D/A konvertora, kašnjenja komparatora i kašnjenja kroz leč. U slučaju da ovaj uslov nije ispunjen greška konverzije će biti veća od 1 LSB.

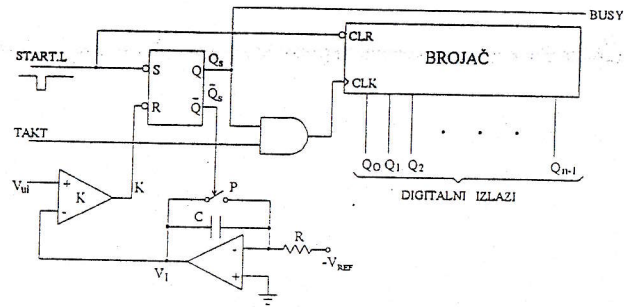
Serijski A/D konvertori sa referentnim D/A konvertorom se više ne koriste. Vreme konverzije serijskog ADK za maksimalan V_{ul} iznosi $2^n t_c$, dok je vreme konverzije ADK sa sukcesivnim aproksimacijama mnogostruko kraće i iznosi samo $(n+1)t_c$. Statičke karakteristike oba tipa konvertora zavise od karakteristika D/A konvertora, koji je i najskuplja komponenta, a u integrisanoj tehnologiji nije mnogo složenije izraditi logičku mrežu za sukcesivne aproksimacije od mreže konvertora sa slike 16.44.

A/D konvertor koji radi na istom principu kao ADK sa slike 16.44 se može realizovati ekonomičnije, ako se umesto D/A konvertora koristi generator rampe, odnosno, generator napona koji linearno raste sa vremenom.

Logička šema A/D konvertora sa generatorom rampe prikazana je na slici 16.46.



Slika 16.45 Vremenski dijagram karakterističnih napona serijskog ADK



Slika 16.46 A/D konvertor sa generatorom rampe

Način rada A/D konvertora sa slike 16.46 je identičan načinu rada konvertora sa referentnim DAK. Dok konverzija nije u toku, zatvoren prekidač P obezbeđuje da je $V_I = 0$. Za vreme konverzije, pošto je referentni napon negativan, integrator generiše napon:

$$V_I(t) = \frac{V_{REF}}{RC} \cdot t \quad (16.52)$$

Vreme za koje V_I dostigne V_{ul} je proporcionalno naponu V_{ul} , a meri se digitalnim brojačem, tako da je sadržaj brojača, nakon završene konverzije, proporcionalan ulaznom naponu. Sinhronizacija generatora rampe i brojača se obavlja signalom $START$, koji resetuje brojač i istovremeno, postavljanjem $Q_S = 0$, otvara prekidač P. Na ovaj način je obezbeđeno da napon V_I počinje da raste od nule jednovremeno kad brojač počinje da broji, takođe od nule.

Vreme konverzije konvertora sa slike 16.46 zavisi od V_{ul} i za maksimalni ulazni napon, isto kao i za konvertor sa slike 16.44, iznosi $2^n t_C$. Perioda taktih impulsa kod ADK sa rampom može da bude kraća, s obzirom da u mreži nema D/A konvertora čije vreme postavljanja u konvertoru sa slike 16.44 ograničava minimalno t_C . Da bi greška konverzije bila manja od 1 LSB, perioda takta za konvertor sa rampom mora biti veća od zbira kašnjenja komparatora i leča Q_S , pošto mora da se obezbedi zabrana generisanja CLK (stanjem $Q_S = 0$) čim napon V_I dostigne V_{ul} .

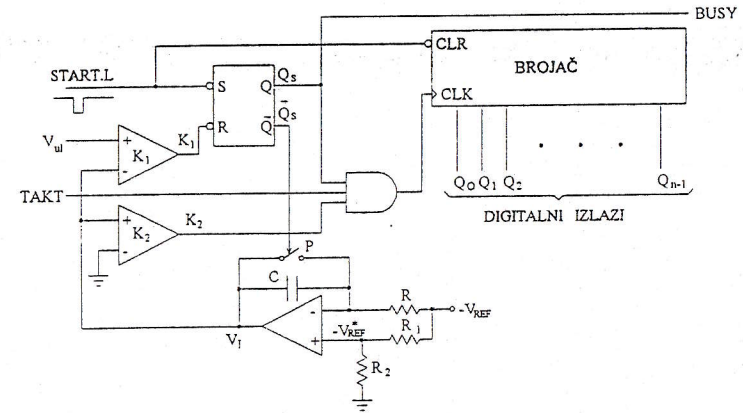
Do sada je pretpostavljano da je napon V_I , dok konverzija nije u toku, $V_I = 0$, odnosno, da nakon starta konverzije napon integratora počinje da raste počev od nulte vrednosti. Zbog konačne otpornosti r prekidača P, kada je prekidač zatvoren, V_I će imati vrednost $V_I = V_{REF} \cdot r / R$, umesto 0. Da bi se eliminisao uticaj otpornosti r prekidača na početnu vrednost napona V_I , šema sa slike 16.46 se modifikuje, tako da se praktična realizacija A/D konvertora sa rampom izvodi prema šemi sa slike 16.47.

Priključivanjem napona $-V_{REF}^*$ na neinvertujući ulaz operacionog pojačavača, za vreme dok je uključen prekidač P, napon na izlazu integratora će biti:

$$V_I^* = -V_{REF}^* + \frac{r}{R} (V_{REF} - V_{REF}^*) \quad (16.53)$$

Napon V_{REF}^* zavisi od odnosa otpornosti otpornika R_1 i R_2 , a podešava se tako da V_I^* bude negativan za najveću očekivanu vrednost otpornosti prekidača r . Za vreme konverzije, kada je prekidač P otvoren, izlazni napon integratora se menja prema jednačini:

$$V_I(t) = \frac{V_{REF} - V_{REF}^*}{RC} \cdot t - V_{REF}^* \quad (16.54)$$



Slika 16.47 Modifikovani A/D konvertor sa generatorom rampe

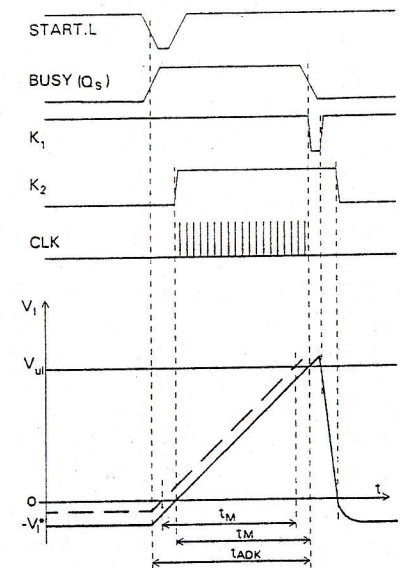
Vremenski dijagrami karakterističnih napona konvertora sa slike 16.47 su prikazani na slici 16.48.

Zadavanjem starta konverzije postavlja se $Q_S = 1$ i resetuje brojač. Napon integratora počinje da raste, međutim, zbog $K_2 = 0$ zabranjeno je generisanje signala CLK . Brojač ostaje u stanju 0 sve dok napon V_I ne postane pozitivan, kada $K_2 = 1$ dozvoljava merenje vremena. Kada V_I dostigne vrednost V_{ul} , $K_1 = 0$ resetuje Q_S , dalje brojanje brojača se zabranjuje, zatvara se prekidač P i integracioni kondenzator C se prazni kroz otpornost prekidača r . U brojaču je zapamćen broj taktih impulsa koji odgovara vremenu t_M , a t_M je proporcionalno ulaznom naponu V_{ul} . Brojač može biti binarni ili BCD, u zavisnosti koji je kôd pogodniji za korišćenje u sistemu u kome je ADK.

Sa slike 16.48 se vidi da vreme t_M ne zavisi od napona V_I^* (prikazano isprekidanom linijom), tako da tačnost konverzije ne zavisi od otpornosti r prekidača.

Statičke karakteristike, odnosno, tačnost A/D konvertora sa generatorom rampe zavisi od tačnosti

vremenske konstante integratora, tačnosti periode (učestanosti) taktih impulsa i tačnosti referentnog napona. Nestabilnost komponenti R , R_1 , R_2 , C i/ili V_{REF} menja nagib rampe, tako da se menja vreme t_M za isti V_{ul} , dok netačnost učestanosti taktih impulsa unosi grešku u merenju t_M , što je direktno greška digitalnog ekvivalenta ulaznog napona. Najveću grešku unosi temperaturna i dugoročna nestabilnost kapacitivnosti kondenzatora C, s obzirom da je tehnološki veoma složeno izraditi kondenzator sa stabilnošću $\Delta C/C$ boljom od $1/2^n$, što na primer, za konvertor od 14 bita iznosi $1/16384$. Iz tog razloga A/D konvertori visoke rezolucije koriste metod dvostrukog

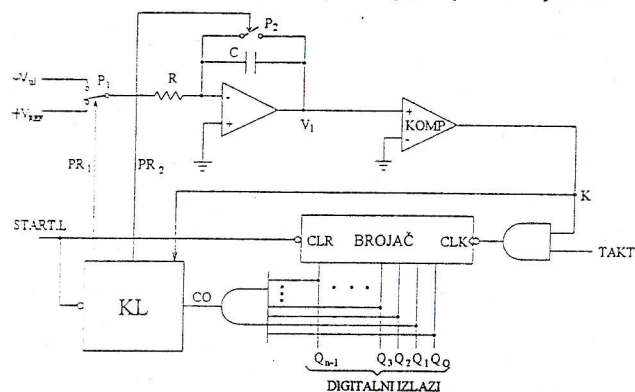


Slika 16.48 Vremenski dijagram signala A/D konvertora sa slike 16.47

integraljenja, gde vrednost vremenske konstante integratora ne utiče na tačnost konverzije. Takvi konvertori se nazivaju *A/D konvertori sa dvojnim nagibom (dual-slope ADC)*.

A/D konvertori sa dvojnim nagibom

Principijelna šema A/D konvertora sa dvojnim nagibom prikazana je na slici 16.49.



Slika 16.49 Principijelna šema A/D konvertora sa dvojnim nagibom

Da bi se jednostavnije objasnio princip rada, usvojeno je da konvertor sa slike 16.49 konvertuje samo negativne ulazne napone. Izlaz je digitalni ekvivalent apsolutne vrednosti ulaznog napona. Za vreme kada konverzija nije u toku, zatvoren je prekidač P_2 , tako da je izlazni napon integratora $V_i = 0$. Početak konverzije se zadaje signalom *START.L* koji resetuje brojač, a na osnovu aktivnog signala *START.L*, kontrolna logika (KL) postavlja $PR_2 = 0$ i $PR_1 = 1$, što otvara prekidač P_2 i prebacuje prekidač P_1 u položaj u kome se na ulaz integratora priključuje napon $-V_{ul}$. Pošto je ulazni napon negativan, V_i linearno raste, izlaz komparatora postaje $K = 1$ tako da brojač počinje da broji. Nakon 2^n taktih impulsa brojač je odbrojao do maksimalnog sadržaja, tako da stanje $Q_{n-1} = Q_{n-2} = \dots = Q_1 = Q_0 = 1$ generiše impuls $CO = 1$. Na osnovu $CO = 1$ KL postavlja $PR_1 = 0$ i na ulaz integratora, prekidačem P_1 , priključuje pozitivan referentni napon V_{REF} . Izlazni napon integratora počinje da opada, a brojač nastavlja da broji i to ponovo od stanja 0, pošto je nakon stanja brojača "sve jedinice", sledeće stanje "sve nule". Kada napon integratora opadne do 0, komparator zaustavlja brojač, a KL zatvara prekidač P_2 , što zabranjuje dalje promene izlaznog napona integratora.

Vremenski dijagram napona za A/D konvertor sa slike 16.49 je prikazan na slici 16.50.

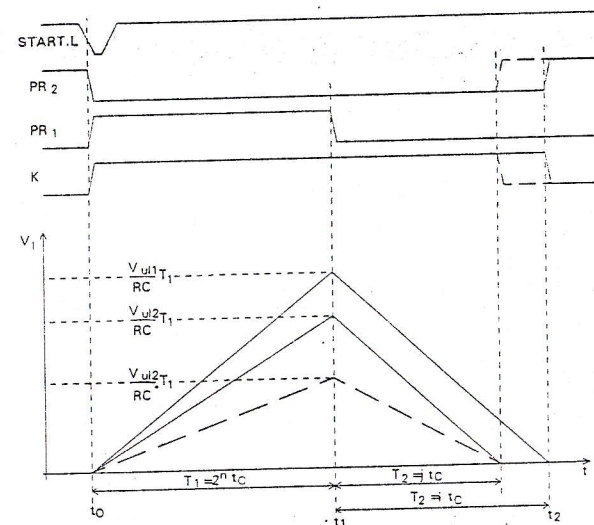
Nakon što je na ulaz integratora bio priključen napon $-V_{ul}$, u trenutku t_1 napon V_i će imati vrednost:

$$V_i(t_1) = \frac{1}{RC} \int_{t_0}^{t_1} V_{ul} dt \quad (16.55)$$

odnosno, kako je V_{ul} konstantno u intervalu $T_1 = t_1 - t_0$:

$$V_i(t_1) = \frac{V_{ul}}{RC} \cdot T_1 = \frac{V_{ul}}{RC} \cdot 2^n t_c \quad (16.56)$$

pošto je T_1 vreme za koje je brojač izbrojao 2^n taktih impulsa periode t_c .



Slika 16.50 Vremenski dijagrami A/D konvertora sa dvojnim nagibom

U trenutku t_2 napon na izlazu integratora je $V_i = 0$, odnosno:

$$V_i(t_2) = -\frac{1}{RC} \int_{t_1}^{t_2} V_{REF} dt = V_i(t_1) - \frac{V_{REF}}{RC} \cdot T_2 = 0 \quad (16.57)$$

gde je $T_2 = t_2 - t_1 = i \cdot t_c$ - vreme za koje je brojač izbrojao i taktih impulsa.

Iz jednačina (16.56) i (16.57) se dobija:

$$\frac{V_{ul}}{RC} \cdot 2^n \cdot t_c - \frac{V_{REF}}{RC} \cdot i \cdot t_c = 0 \quad (16.58)$$

odnosno:

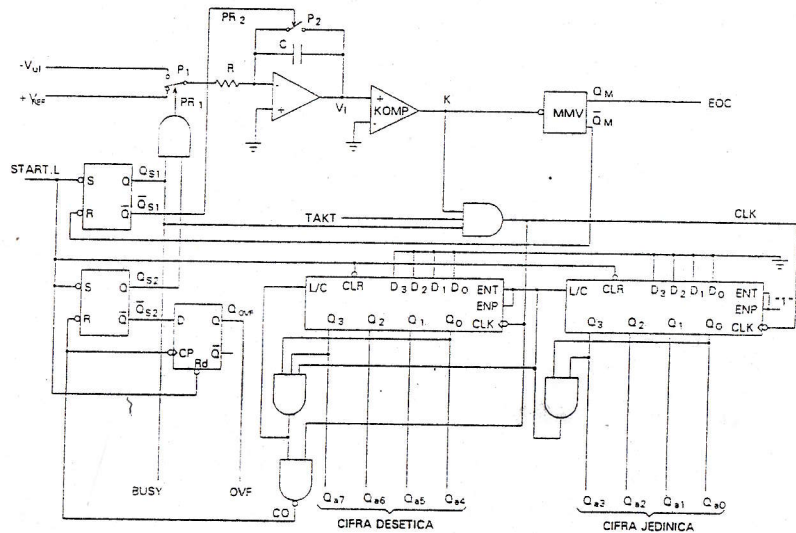
$$i = \frac{2^n}{V_{REF}} \cdot V_{ul} \quad (16.59)$$

Iz (16.59) se vidi da je broj i , odnosno, broj koji se zatekao u brojaču u trenutku t_2 , proporcionalan apsolutnoj vrednosti ulaznog napona i ne zavisi od otpornosti R , kapacitivnosti C , ni od periode taktih impulsa t_c . Na tačnost konverzije utiče jedino tačnost referentnog napona. Koeficijentat 2^n je moduo primenjenog brojača, koji je u dosadašnjem izlaganju pretpostavljen da je moduo binarnog brojača, međutim, za A/D konvertor sa dvojnim nagibom se može koristiti brojač bilo kog modula, ili bilo kog koda, pod uslovom da se signal CO generiše nakon što brojač dostigne maksimalni sadržaj i da je sledeće stanje brojača "sve nule". Vrlo često se u A/D konvertorima sa dvojnim nagibom koristi brojač u BCD kodu.

Na vremenskom dijagramu na slici 16.50 punim linijama je prikazana promena napona V_i za dva različita napona V_{ul} , gde je $|V_{ul1}| > |V_{ul2}|$. Vidi se da će za veću apsolutnu vrednost ulaznog napona, V_i dostići veću vrednost za isto vreme T_1 , tako da će biti potrebno duže vremena da, kada je priključen napon V_{REF} , napon integratora opadne na $V_i = 0$. Na istom dijagramu je isprekidanom linijom prikazan oblik V_i kada se napon V_{ul2} konvertuje istim A/D konvertorom, ali je kapacitivnost

kondenzatora C promenila vrednost na $C' > C$. Nakon vremena T_1 , V_I će, zbog povećane vremenske konstante integraljenja, dostići manju vrednost, međutim, iz istog razloga će napon i sporije da opada, tako da će postati $v_I = 0$ nakon vremena T_2 , odnosno, rezultat konverzije napona V_{ul2} će ostati nepromenjen.

Na slici 16.51 prikazana je detaljna šema A/D konvertora sa dvojnim nagibom koji ulazni napon konvertuje u dvocifreni BCD broj.



Slika 16.51 Dvocifreni BCD A/D konvertor sa dvojnim nagibom

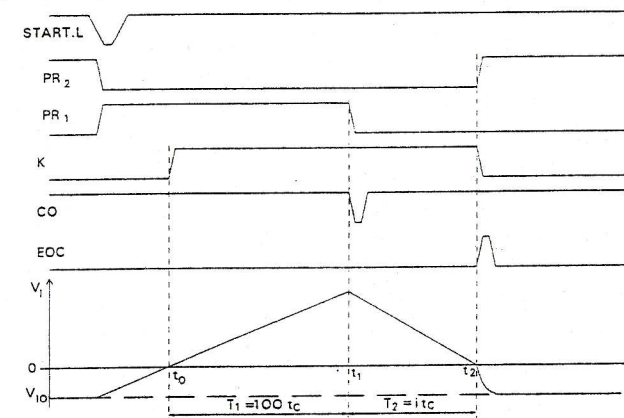
Za vreme dok konverzija nije u toku, zbog $\bar{Q}_{S1} = 1$ zatvoren je prekidač P_2 , a zbog $PR_1 = 0$ prekidač P_1 je priključen na V_{REF} . Zbog konačne otpornosti prekidača P_2 , pošto je V_{REF} pozitivan, izlazni napon integratora će biti negativan i imaće vrednost:

$$V_{I0} = -\frac{r_2}{R+r_1} \cdot V_{REF} \quad (16.60)$$

gde su r_1 i r_2 otpornosti prekidača P_1 i P_2 . Generisanjem signala $START.L$ počinje konverzija i naponi na pojedinim tačkama A/D konvertora se menjaju prema dijagramu na slici 16.52.

Aktivni $START.L$ postavlja $Q_{S1} = Q_{S2} = 1$ i resetuje brojač. Napon integratora počinje da raste, a jedina razlika vremenskog dijagrama sa slike 16.52 u odnosu na dijagram sa slike 16.50 je što napon integratora počinje da raste od napona $-V_{I0}$, umesto od 0 (prilikom analize A/D konvertora sa slike 16.50 bile su zanemarene otpornosti prekidača P_1 i P_2). Ovim je eliminisana potreba za dodavanjem posebnog komparatora i posebnog V_{REF}^* , što je bilo neophodno kod konvertora sa jednostrukim nagibom sa slike 16.47. Brojač počinje da broji od trenutka t_0 kada je, zbog $V_I > 0$, $K = 1$. Brojač broji u BCD kodu, na način objašnjen u odeljku 12.6. Nakon što brojač dobroji do stanja $Q_{a7} = Q_{a4} = Q_{a3} = Q_{a0} = 1$ (99_{10}), obe deкаде brojača su postavljene u režim paralelnog upisa ($L/C = 1$). Naredni CLK , u trenutku t_1 , generiše signal CO , a silaznom ivicom postavlja sve nule u oba brojača (s obzirom da su ulazi D_i brojača na nultom logičkom nivou). Impuls CO resetuje Q_{S2} , tako da $PR_1 = 0$ prebacuje prekidač P_1 na V_{REF} i napon V_I počinje da opada. Brojač nastavlja da

broji od sadržaja 0, a kada napon V_I opadne na $V_I = 0$ (u trenutku t_2) izlaz komparatora postaje $K = 0$, što zabranjuje dalje brojanje i pobuđuje monostabilni multivibrator Q_m . U brojaču je ostao zapamćen rezultat konverzije, signalom $EOC = \bar{Q}_m$ je označen kraj konverzije, a $\bar{Q}_m = 0$ resetuje Q_{S1} . Pošto je nivo signala PR_1 ostao $PR_1 = 0$, na ulaz integratora je ostao priključen V_{REF} , tako da napon V_I , pošto se prekidač P_1 zatvorio, opada na napon V_{I0} .



Slika 16.52 Vremenski dijagram konvertora sa slike 16.51

Analiza rada realnog A/D konvertora sa slike 16.51 se razlikuje od analize idealnog, sa slike 16.49, jedino u uzimanju u obzir konačnih otpornosti, r_1 i r_2 , prekidača P_1 i P_2 . Nestabilnost, odnosno, promena r_1 i r_2 utiče na V_{I0} , međutim, veličina V_{I0} ne utiče na tačnost intervala T_1 i T_2 , pošto su ovi intervali definisani prolaskom napona V_I kroz 0. Promena vremenske konstante integraljenja sa RC na $(R+r_1) \cdot C$, takođe nema uticaja na tačnost konverzije, pošto se, prema jednačinama (16.58) i (16.59) vidi da vremenska konstanta ne utiče na tačnost, pod uslovom da je otpornost r_1 prekidača P_1 jednaka u oba položaja prekidača, što u praksi nije teško postići.

A/D konvertorom sa dvojnim nagibom se, u poređenju sa ostalim metodama konverzije, može postići najveća tačnost i najveća rezolucija, uz najnižu cenu. Međutim, vreme konverzije ovih konvertora je najduže, zavisi od veličine ulaznog napona i za promene V_{ul} od 0 do $|V_{ul}|_{max} = |V_{pr}|$, nalazi se u granicama:

$$M \cdot t_c \leq t_{ADK} < 2M \cdot t_c \quad (16.61)$$

gde je M moduo primenjenog brojača, a t_c perioda taktnih impulsa. Da bi se obezbedilo da greška konverzije bude manja od 1 LSB, t_c mora biti duže od zbira kašnjenja $t_p + t_k$, gde je t_p ukupno kašnjenje u lancu od signala CLK do uključivanja P_1 na V_{REF} (u trenutku t_1), a t_k - kašnjenje komparatora u trenutku t_2 . Kašnjenje komparatora u trenutku t_0 nema uticaja na tačnost konverzije, pošto je interval vremena T_1 konstantan za konstantno t_k .

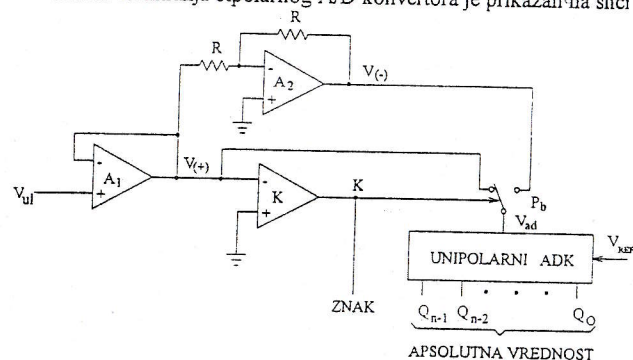
Maksimalna apsolutna vrednost ulaznog napona mora biti manja od referentnog napona, u protivnom će vreme T_2 biti duže od T_1 i doći će do prekoračenja brojača. Ako je $|V_{ul}| > |V_{REF}|$, za vreme kada je $\bar{Q}_{S2} = 1$, pojaviće se silazna ivica signala CO , tako da će se postaviti $Q_{OVF} = 1$ (na slici 16.51), što označava da je došlo do prekoračenja opsega. Zadavanjem naredne konverzije resetuje se flipflop prekoračenja.

Vremenska konstanta RC se bira tako da za dati V_{REF} i definisanu periodu taktih impulsa t_c , za vreme $M \cdot t_c$ integrator ostane u linearnom režimu rada. Vreme konverzije integrisanih A/D konvertora sa dvojnim nagibom je reda desetak ms.

16.2.5 BIPOLARNI A/D KONVERTORI

Za konvertovanje napona oba polariteta A/D konvertori treba da, u zavisnosti od polariteta ulaznog napona, generišu izlazni digitalni kôd koji će sadržati informaciju o znaku i o veličini ulaznog napona. Kao što bipolarni D/A konvertori koriste ulazne digitalne informacije označene na različite načine, tako bipolarni A/D konvertori mogu da generišu digitalni izlaz sa binarnim ofsetom, označen u brojnom sistemu komplementa do dva, ili da formiraju digitalnu informaciju sa znakom i digitalnim ekvivalentom apsolutne vrednosti ulaznog napona.

Univerzalni način formiranja bipolarnog A/D konvertora je prikazan na slici 16.53.



Slika 16.53 Formiranje bipolarnog A/D konvertora od unipolarnog

Unipolarni ADK može biti bilo kog tipa. Pojačavač A_1 , sa pojačanjem $+1$ služi za rasterećenje ulaznog signala. Izlazni napon pojačavača A_1 je $V_{(+)} = V_{ul}$. Pojačavač A_2 , sa pojačanjem -1 , formira napon $V_{(-)} = -V_{ul}$. U zavisnosti od polariteta V_{ul} , odnosno $V_{(+)}$, komparator prebacuje prekidač P_b , tako da se na ulaz unipolarnog konvertora priključuje uvek napon istog polariteta. Nivo izlaznog signala sa komparatora predstavlja bit znaka, a A/D konvertor generiše digitalni ekvivalent apsolutne vrednosti ulaznog napona.

Način formiranja bipolarnih A/D konvertora pokazan na slici 16.53 unosi dodatno kašnjenje u proces konverzije, a s obzirom da koristi dodatne pojačavače i komparator, nije ni ekonomičan. U zavisnosti od tipa A/D konvertora, konverzija napona oba polariteta se može izvesti jednostavnije.

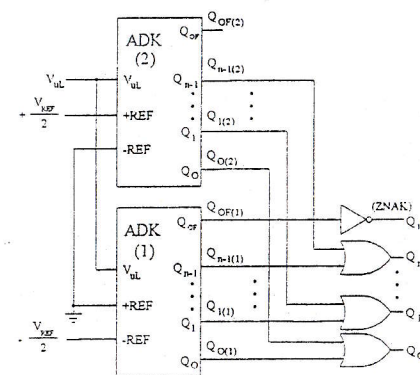
Bipolarni A/D konvertori sa paralelnim komparatorima

A/D konvertori sa paralelnim komparatorima mogu se bez ikakvih izmena koristiti kao bipolarni, pod uslovom da prekidači P_{ki} (sa slike 16.36) mogu da prekidaju napone oba polariteta. Pošto se komparatori sa automatskom kompenzacijom ofseta u A/D konvertorima najčešće realizuju tako da omogućavaju bipolarni rad, integrisani A/D konvertori sa paralelnim komparatorima postaju bipolarni kada se na priključak $+REF$ priključi $(+V_{REF})/2$, a na priključak $-REF$, napon $(-V_{REF})/2$. Izlazni kôd je sa binarnim ofsetom, a ako se invertuje MSB bit, izlazni

kôd je u komplementu do dva. Paralelni A/D konvertori sa povećanom rezolucijom se, takode, mogu jednostavno transformisati u bipolarne. Na slici 16.54 prikazan je bipolarni ADK rezolucije $n+1$ bita, formiran pomoću dva paralelna ADK od n bita.

A/D konvertor sa slike 16.54 se razlikuje od konvertora sa slike 16.37 jedino u tome što je zajednički priključak otporničkih lanaca spojen na masu, $+REF$ priključak ADK (2) vezan na $(+V_{REF})/2$, a $-REF$ priključak ADK (1) na $(-V_{REF})/2$. Izlazni kôd je označen u sistemu komplementa do dva, ili sa binarnim ofsetom, ako se izostavi inverter na Q_{OF} bitu ADK (1).

Kaskadni-direktni A/D konvertor sa slike 16.38 se jednostavno može pretvoriti u bipolarni priključivanjem na otporničke lance oba konvertora $(+V_{REF})/2$ i $(-V_{REF})/2$, umesto na $+V_{REF}$ i masu. D/A konvertor u kaskadnom A/D konvertoru mora biti bipolaran sa binarnim ofsetom.



Slika 16.54 Bipolarni ADK sa paralelnim komparatorima

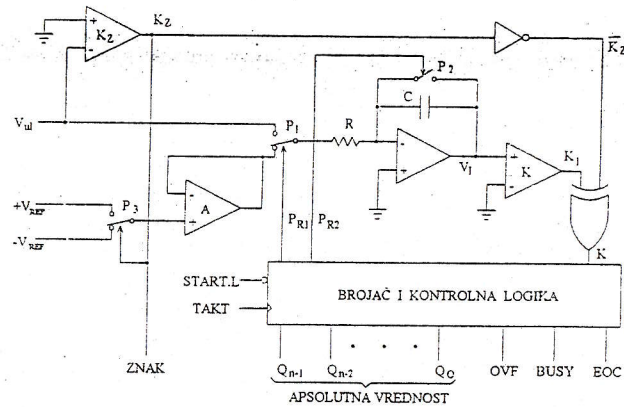
Bipolarni A/D konvertori sa sukcesivnim aproksimacijama

Ako se u sklopu A/D konvertora sa sukcesivnim aproksimacijama, prikazanom na slici 16.41, koristi bipolarni DAK sa binarnim ofsetom, A/D konvertor postaje bipolarni bez ikakvih izmena u registru sukcesivnih aproksimacija i kontrolnoj logici. Izlazni kôd se dobija u binarnom ofsetu, a korišćenjem komplementa MSB bita, umesto Q_{n-1} , izlazni kôd je u komplementu do 2.

Bipolarni serijski A/D konvertori

Serijski A/D konvertor sa referentnim DAK (sa slike 16.44) postaje bipolarni ako se koristi bipolarni DAK sa binarnim ofsetom. Ovakav konvertor, kako je već rečeno, se više ne koristi. Od interesa su samo integratorski konvertori sa jednostrukim, a posebno sa dvojnim nagibom. Formiranje bipolarnih konvertora korišćenjem integratorskog ADK se obavlja na način pokazan na slici 16.53 ili, češće, promenom polariteta referentnog napona u zavisnosti od polariteta ulaznog napona. Na slici 16.55 prikazana je šema bipolarnog A/D konvertora sa dvojnim nagibom koji koristi dodatni komparator K_2 i prekidač P_3 za promenu polariteta referentnog napona. Neinvertujući pojačavač A služi da eliminiše uticaj otpornosti prekidača P_3 na tačnost konverzije.

Brojač i kontrolna logika A/D konvertora na slici 16.55 se ne razlikuje od odgovarajuće mreže na slici 16.51. Ako je ulazni napon negativan, izlaz komparatora je $K_2 = 1$, prekidač P_3 je priključen na $+V_{REF}$, a pošto je $K_2 = 0$, izlaz EXLII kola je istog logičkog nivoa kao i izlaz komparatora K , tako da je $K = K_1$. Konvertor radi na već opisan način i važe vremenski dijagrami sa slike 16.52. Logički nivo izlaza komparatora K_2 je bit znaka, tako da $K_2 = 1$ označava da je V_{ul} negativan. Izlaz brojača, $Q_{n-1} Q_{n-2} \dots Q_1 Q_0$, koduje digitalni ekvivalent apsolutne vrednosti ulaznog napona.



Slika 16.55 Bipolarni A/D konvertor sa dvojnim nagibom

Kada je ulazni napon pozitivan, $K_2 = 0$ označava znak "+" i prebacuje prekidač P_3 na $-V_{REF}$. Za vreme dok konverzija nije u toku na ulaz u integrator je priključen napon $-V_{REF}$, tako da će na izlazu integratora postojati napon $+V_{I0}$ iste apsolutne vrednosti kao napon dat izrazom (16.60). Sada je, zbog $\bar{K}_2 = 1$, $K = \bar{K}_1 = 0$, tako da se podatak $K = 0$ prosleđuje kontrolnoj logici, isto kao i za slučaj kada se konvertuje negativan ulazni napon. Zadavanje starta konverzije prebacuje prekidač P_1 na $+V_{ul}$ i otvara P_2 . Napon integratora počinje linearno da opada i kada postane negativan, komparator K postavlja $K_1 = 0$, odnosno $K = 1$, tako da brojč počnje da broji. Ceo proces konverzije se dalje obavlja isto kao da je u pitanju negativan ulazni napon, s tim da je izlazni napon integratora invertovan, a pošto je invertovan i izlazni logički nivo komparatora K , kontrolna logika obavlja prebacivanje prekidača P_1 i okončanje konverzije na već opisan način.

Na sličan način se može formirati bipolarni A/D konvertor od unipolarnog sa jednostrukim nagibom. Konvertoru prikazanom na slici 16.47 treba dodati komparator K_2 koji će da menja polaritet referentnog napona, a izlaze komparatora K_1 i K_2 treba voditi na kontrolnu logiku preko dodatnih EXILI kola, kako bi se menjao logički nivo signala K_1 i K_2 sa promenom polariteta ulaznog napona, odnosno, u zavisnosti od izlaza komparatora K_2 .

16.3 PRIMENA D/A I A/D KONVERTORA

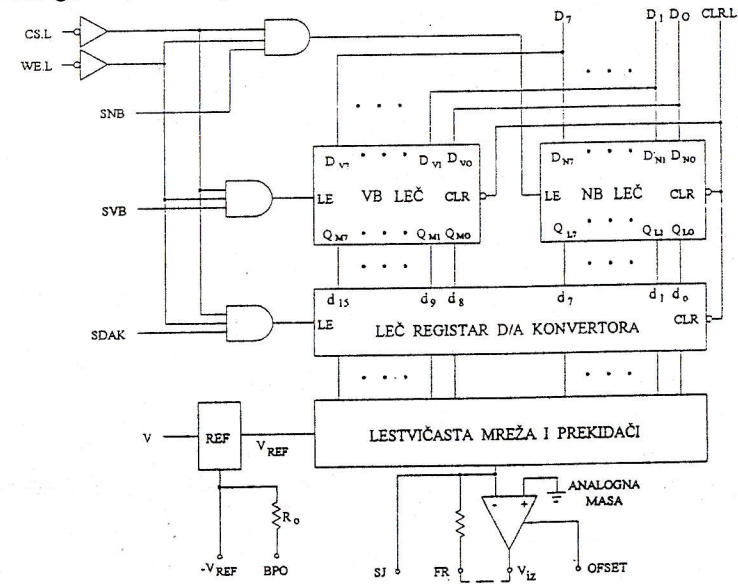
Digitalno-analogni i analogno-digitalni konvertori se skoro tri decenije koriste u mernoj i regulacionoj tehnici. Od sredine sedamdesetih godina, kada je, uakom naglog razvoja mikroprocesora, sve više funkcija, koje su ranije bile rezervisane za analognu elektroniku u linearnom domenu, počelo da se realizuje digitalnim, ili kombinacijom digitalnih i analognih kola, A/D i D/A konvertori su, takođe, počeli naglo da se razvijaju. Danas se digitalnim uređajima obrađuje slika, prenosi, snima i reprodukuje ton, realizuju servo sistemi i upravlja sistemima generalno, mere, prikupljaju: obrađuju podaci. U svim ovim sistemima je neophodna konverzija analognih signala u digitalne i digitalnih u analogne.

U zavisnosti od dinamike promene pojave koja se digitalizuje i obrađuje, primenjuju se A/D i D/A konvertori odgovarajuće brzine. Tako se za obradu video slika u radarskoj i TV tehnici koriste najbrži konvertori, paralelni A/D, odnosno, vrlo brzi D/A konvertori. Za audio tehniku,

prenos i obradu zvučnih signala, koriste se konvertori srednjih brzina. Za upravljačke sisteme se koriste, u zavisnosti od dinamike, konvertori srednje ili male brzine, dok se za merne instrumente uglavnom koriste konvertori malih brzina ali velike tačnosti i rezolucije. Zajedničko za sve konvertore je da treba da imaju mogućnost sprege sa računarem, tako da svi veći proizvođači A/D i D/A konvertora izrađuju integrisane konvertore koji imaju, pored mreže koja obezbeđuje samu konverziju, i logičke sklopove koji obezbeđuju jednostavno priključivanje na računare i mikroručunare.

16.3.1 SPREGA D/A KONVERTORA SA RAČUNAREM

Većina mikroručunara u sistemima u kojima se ne zahteva velika brzina razmene i obrade podataka, razmenjuje podatke sa perifernim jedinicama na nivou bajta (paralelno po 8 bita). Ako je periferna jedinica D/A konvertor, tada se u konvertor rezolucije 10 do 16 bita, koliko je uobičajena rezolucija za upravljačke i merne sisteme, digitalni podatak za konverziju mora upisati sa dva obraćanja računara D/A konvertoru. S druge strane, u registar D/A konvertora se kompletna informacija mora upisati u istom vremenskom trenutku, kako se ne bi parcijalnim upisom u registar, na izlazu pojavila neregularna vrednost napona. Da bi se obezbedili ovi oprečni zahtevi, D/A konvertori koji su namenjeni priključivanju na osmobicne magistralne podataka se izrađuju sa udvojenim registrima, na način prikazan na slici 16.56.



Slika 16.56 D/A konvertor sa udvojenim registrima

Na slici 16.56 je, kao primer, prikazana blok šema tipičnog integrisanog šesnaestobitnog D/A konvertora predviđenog za spregu sa računarem. U sklopu integrisanog kola je D/A konvertor sa lestvičastom mrežom, izlazni pojačavač, izvor referentnog napona i dva osmobicna transparentna leč registra. Korisniku je raspoloživa invertovana vrednost referentnog napona, priključak internih