

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 20.01.2016.

Odgovorni nastavnik i asistent: Jelena Popović Božović i Goran Savić

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

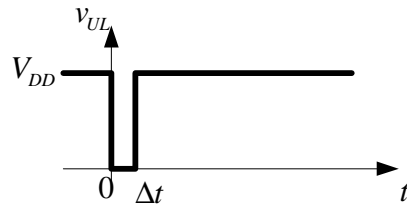
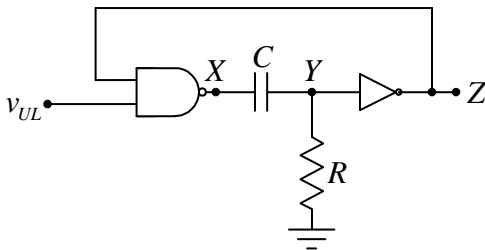
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Ukupno
Max	20	20	20	20	80
Dobijeno					

1. [20] U kolu sa slike logička kola pripadaju CMOS familiji, napajaju se sa $V_{DD} = 5\text{ V}$, imaju idealnu prenosnu karakteristiku sa naponom praga $V_T = 2,5\text{ V}$, beskonačnu ulaznu i nultu izlaznu otpornost. Poznate su i vrednosti elemenata $R = 50\text{ k}\Omega$ i $C = 20\text{ nF}$. Ukoliko se na ulaz kola dovede kratkotrajni naponski impuls, trajanja $\Delta t \ll RC$ sa silaznom ivicom u trenutku $t = 0$, prikazan na slici, odrediti i nacrtati vremenske dijagrame napona u tačkama X, Y i Z za $t > 0$. Pre pojave pobudnog impulsa kolo je bilo dovoljno dugo vremena u stacionarnom stanju.



Rešenje:

Za $t < 0$ u kolu je uspostavljeno stacionarno stanje. To znači da je struja kroz kondenzator jednaka nuli, a s obzirom da je ulazna otpornost invertora beskonačna, može se zaključiti da tada ne postoji ni struja kroz otpornik R, što znači da je $v_Y = 0$. Na osnovu ovoga sledi da je $v_Z = V_{DD}$ i kako je za $t < 0$ $v_{UL} = V_{DD}$, sledi da je $v_X = 0$.

Kolo se nalazi u opisanom stanju sve dok se na ulazu ne pojavi pobudni impuls u trenutku $t = 0$. Tada se vrednost napona na izlazu NI kola promeni na $v_X = V_{DD}$, i s obzirom da se vrednost napona na kondenzatoru ne može trenutno promeniti, i vrednost napona desnog priključka kondenzatora se promeni na $v_Y = V_{DD}$. To ima za posledicu pad napna na izlazu invertora na $v_Z = 0$. Dakle u trenutku $t = 0^+$ važi:

$$v_{UL}(0^+) = 0$$

$$v_X(0^+) = V_{DD}$$

$$v_Y(0^+) = V_{DD}$$

$$v_Z(0^+) = 0$$

Potom se napon na kondenzatoru eksponencijalno povećava sa vremenskom konstantom $\tau = RC$. To se dešava na način pri kome je $v_X = V_{DD}$ (jer je izlaz invertora na nivou logičke jedinice), dok se napon v_Y eksponencijalno smanjuje sa pomenutom vremenskom konstantom. Vrednost kojoj teži napon v_Y je određena novim stacionarnim stanjem koje bi nastupilo kada bi struja kroz kondenzator opala na nulu, a to je $v_Y(\infty) = 0$. Jednačina koja opisuje napon v_Y u toj situaciji je:

$$v_Y(t) = v_Y(\infty) - [v_Y(\infty) - v_Y(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$v_Y(t) = 0 - [0 - V_{DD}] \cdot e^{-\frac{t}{RC}} = 5V \cdot e^{-1000t}$$

Ova zavisnost će važiti sve dok napon v_Y ne opadne do praga invertora $V_T = \frac{V_{DD}}{2}$, kada će se izlaz invertora promeniti na logičku jedinicu. S obzirom da je ulazni napon $v_{UL} = V_{DD}$ (jer je u međuvremenu kratkotrajni ulazni impuls prošao), ova promena logičkog nivoa invertora ima za posledicu pad izlaznog napona NI kola na nivo logičke nule tj. na $v_X = 0$. Zbog ovoga će i napon v_Y

da se momentalno smanji na vrednost $-\frac{V_{DD}}{2}$ (jer vrednost napona na kondenzatoru ne može trenutno da se promeni). Ukoliko se trenutak promene nivoa signala na izlazu invertora označi sa $t = T_1$, na osnovu opisane analize sledi:

$$v_X(T_1^+) = 0$$

$$v_Y(T_1^+) = -\frac{V_{DD}}{2}$$

$$v_Z(T_1^+) = V_{DD}$$

Dalje će napon v_Y da eksponencijalno raste ka novoj stacionarnoj vrednosti $v_Y(\infty) = 0$ sa vremenskom konstantom $\tau = RC$, dok će nivoi naponskih signala v_X i v_Z da ostanu nepromenjeni. Jednačina koja opisuje v_Y u ovoj situaciji je:

$$v_Y(t) = v_Y(\infty) - [v_Y(\infty) - v_Y(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau}}$$

$$v_Y(t) = 0 - [0 + \frac{V_{DD}}{2}] \cdot e^{-\frac{t-T_1}{RC}} = -\frac{V_{DD}}{2} \cdot e^{-\frac{t-T_1}{RC}} = -2,5V \cdot e^{-1000(t-T_1)}$$

Vremenski trenutak $t = T_1$ se može odrediti iz uslova:

$$v_Y(T_1^-) = 5V \cdot e^{-1000T_1} = 2,5V$$

odakle se dobija:

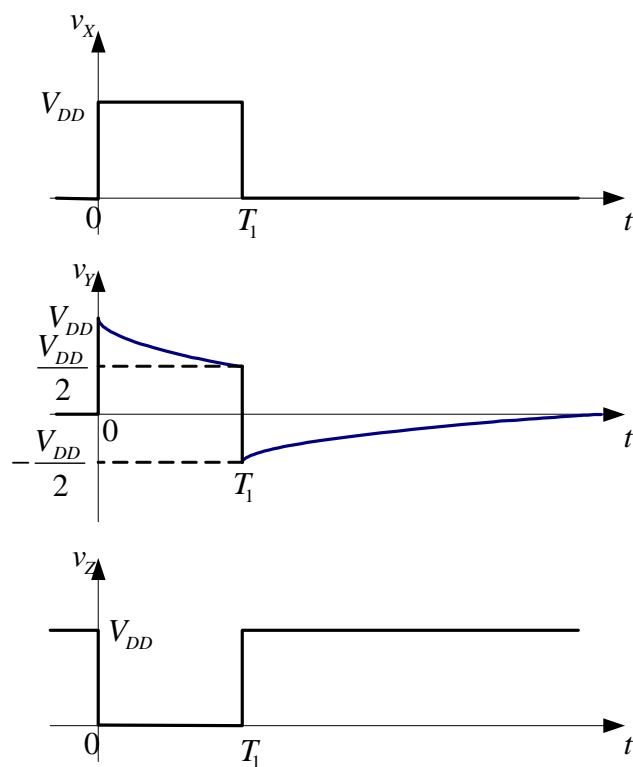
$$T_1 = 0,001 \ln 2 = 0,693ms$$

Dakle, konačno je:

$$v_Y(t) = 5V \cdot e^{-1000t}, \text{ za } 0 < t < T_1$$

$$v_Y(t) = -2,5V \cdot e^{-1000(t-T_1)}, \text{ za } t > T_1.$$

Odgovarajući vremenski dijagrami su prikazani na sledećoj slici:



2. Logičku funkciju $F = \overline{C} \cdot B \cdot A + C \cdot \overline{A} + C \cdot \overline{B}$ realizovati korišćenjem:

a) [10] Multipleksera 4/1 bez dodatnih logičkih kola;

b) [10] Demultipleksera 1/8 i minimalnog broja potrebnih logičkih kola.

Smatrati da su ulazi i izlazi multipleksera i demultipleksera aktivni na logičkoj jedinici.

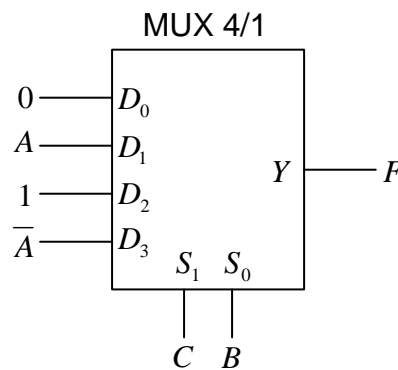
Rešenje:

a) Data logička funkcija se primenom pravila Bulove algebre može transformisati na sledeći način:

$$F = \overline{C} \cdot B \cdot A + C \cdot \overline{A} + C \cdot \overline{B} = \overline{C} \cdot B \cdot A + C \cdot \overline{B} + C \cdot \overline{A} \cdot (B + \overline{B}) = \overline{C} \cdot B \cdot A + C \cdot \overline{B} + C \cdot B \cdot \overline{A}$$

$$F = \overline{C} \cdot B \cdot A + C \cdot \overline{B} \cdot 1 + C \cdot B \cdot \overline{A} + \overline{C} \cdot \overline{B} \cdot 0$$

Ako se na selekzione ulaze multipleksera dovedu signali B i C tražena realizacija ima izgled kao na sledećoj slici:



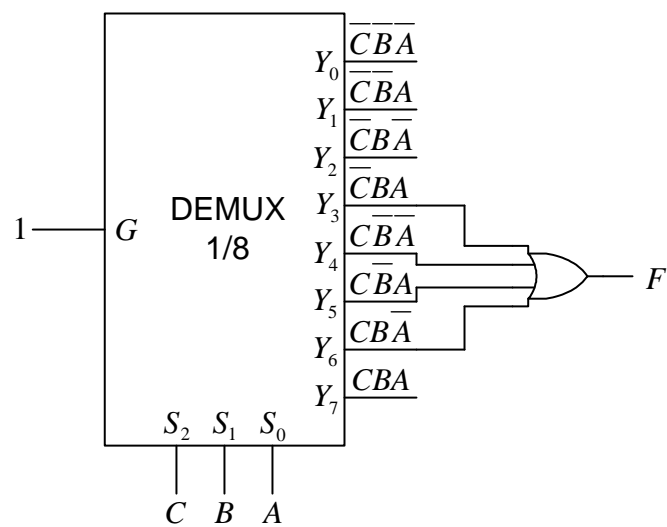
b) Ako se data logička funkcija predstavi preko sume potpunih logičkih proizvoda, imaće sledeći oblik:

$$F = \overline{C} \cdot B \cdot A + C \cdot \overline{A} + C \cdot \overline{B} = \overline{C} \cdot B \cdot A + C \cdot \overline{B} \cdot (A + \overline{A}) + C \cdot \overline{A} \cdot (B + \overline{B})$$

$$F = \overline{C} \cdot B \cdot A + C \cdot \overline{B} \cdot A + C \cdot \overline{B} \cdot \overline{A} + C \cdot B \cdot \overline{A} + C \cdot \overline{B} \cdot \overline{A} = \overline{C} \cdot B \cdot A + C \cdot \overline{B} \cdot A + C \cdot \overline{B} \cdot \overline{A} + C \cdot B \cdot \overline{A}$$

koji je pogodan za realizaciju pomoću demultipleksera.

Ako se na ulaz za podatke demultipleksera dovede logička jedinica, a na kontrolne ulaze dovedu promenljive A , B i C , na izlazima demultipleksera će biti formirani svi potpuni logički proizvodi promenljivih A , B i C . Logičkim sabiranjem odgovarajućih potpunih proizvoda, realizuje se data logička funkcija. Odgovarajuća realizacija je prikazana na sledećoj slici:



3. a) [15] Koristeći minimalan broj ivičnih JK flip-flopova koji se okidaju rastućom ivicom signala takta CLK i minimalan broj dvoulaznih I i ILI logičkih kola, projektovati trobitni sinhroni brojač koji broji u sekvenci $000 \rightarrow 011 \rightarrow 101 \rightarrow 111 \rightarrow 010 \rightarrow 100 \rightarrow 000$. U slučaju da se po uključenju napajanja brojač nađe u nekom od stanja koja nisu zadata u navedenoj sekvenci (nedozvoljena stanja), potrebno je da nailaskom prve sledeće rastuće ivice signala takta, brojač pređe u stanje 000.

b) [5] Analizom izlaza brojača projektovanog u tački **a)**, realizovati delitelj učestanosti koji će, polazeći od ulaznog signala CLK, na svom izlazu generisati periodični signal CLK1 učestanosti

$$f = \frac{f_{CLK}}{6} \text{ sa jednakim trajanjem impulsa i pauze, gde je } f_{CLK} \text{ učestanost signala takta CLK.}$$

Rešenje:

a) Tabela prelaza brojača ima sledeći izgled:

Q_2	Q_1	Q_0	$Q_2(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	1	1	0	X	1	X	1	X
0	0	1	0	0	0	0	X	0	X	X	1
0	1	0	1	0	0	1	X	X	1	0	X
0	1	1	1	0	1	1	X	X	1	X	0
1	0	0	0	0	0	X	1	0	X	0	X
1	0	1	1	1	1	X	0	1	X	X	0
1	1	0	0	0	0	X	1	X	1	0	X
1	1	1	0	1	0	X	1	X	0	X	1

Pomoću Karnoovih mapa se dobija:

$Q_2 / Q_1 Q_0$	00	01	11	10
0	0	0	1	1
1	X	X	X	X

$$J_2 = Q_1$$

$Q_2 / Q_1 Q_0$	00	01	11	10
0	X	X	X	X
1	1	0	1	1

$$K_2 = Q_1 + \overline{Q_0}$$

$Q_2 / Q_1 Q_0$	00	01	11	10
0	1	0	X	X
1	0	1	X	X

$$J_1 = \overline{Q_2} \cdot \overline{Q_0} + Q_2 \cdot Q_0$$

$Q_2 / Q_1 Q_0$	00	01	11	10
0	X	X	1	1
1	X	X	0	1

$$K_1 = \overline{Q_2} + \overline{Q_0}$$

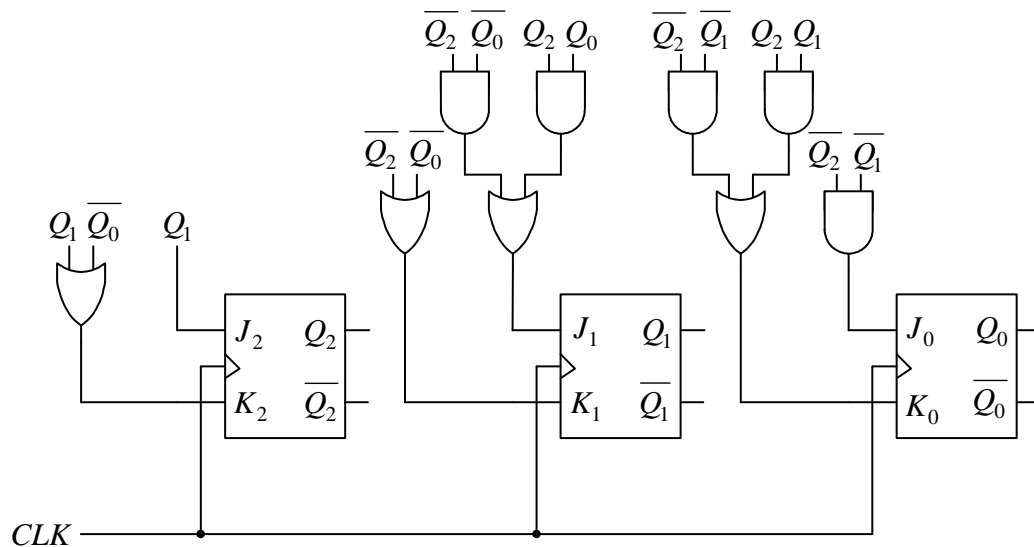
$Q_2 / Q_1 Q_0$	00	01	11	10
0	1	X	X	0
1	0	X	X	0

$$J_0 = \overline{Q_2} \cdot \overline{Q_1}$$

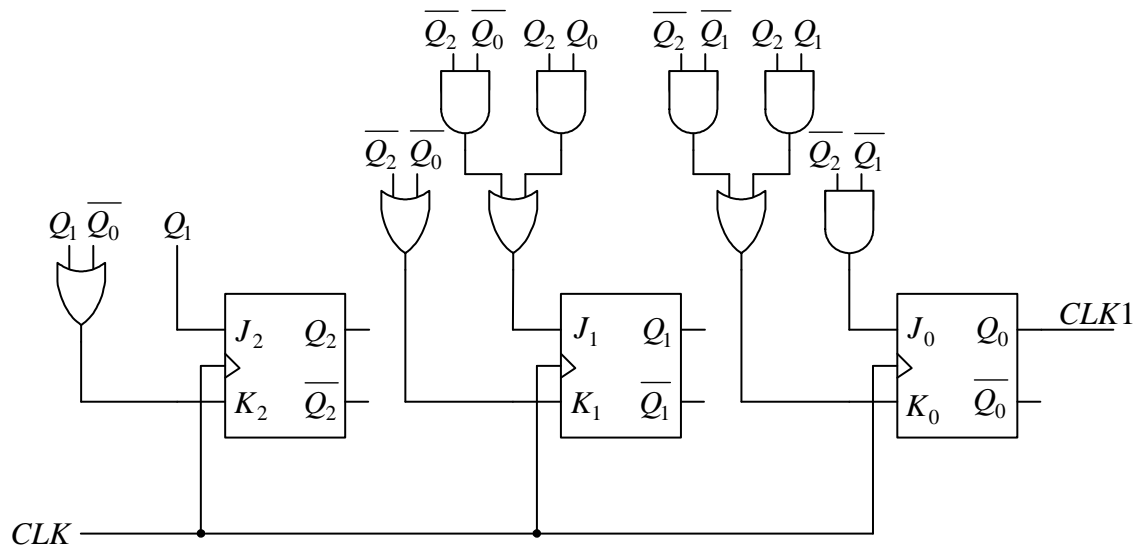
$Q_2 / Q_1 Q_0$	00	01	11	10
0	X	1	0	X
1	X	0	1	X

$$K_0 = \overline{Q_2} \cdot \overline{Q_1} + Q_2 \cdot Q_1$$

Na osnovu izvedenih jednačina sledi da se traženi brojač može realizovati na sledeći način:



b) Posmatrajući sekvencu brojanja brojača, može se uočiti da jedan kompletan ciklus brojanja traje 6 perioda signala takta CLK, pri čemu je u tri uzastopne periode signal Q_0 na nivou logičke jedinice, a zatim naredne tri periode na nivou logičke nule. To znači da je učestanost signala Q_0 (kao i signala $\overline{Q_0}$) jednaka $f = \frac{f_{CLK}}{6}$. Dakle, traženi signal CLK1 se najjednostavnije može generisati korišćenjem već postojećeg signala Q_0 , što je prikazano na sledećoj slici:



4. [20] Dat je VHDL kod kojim je opisana jedna sekvencijalna mreža.

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;

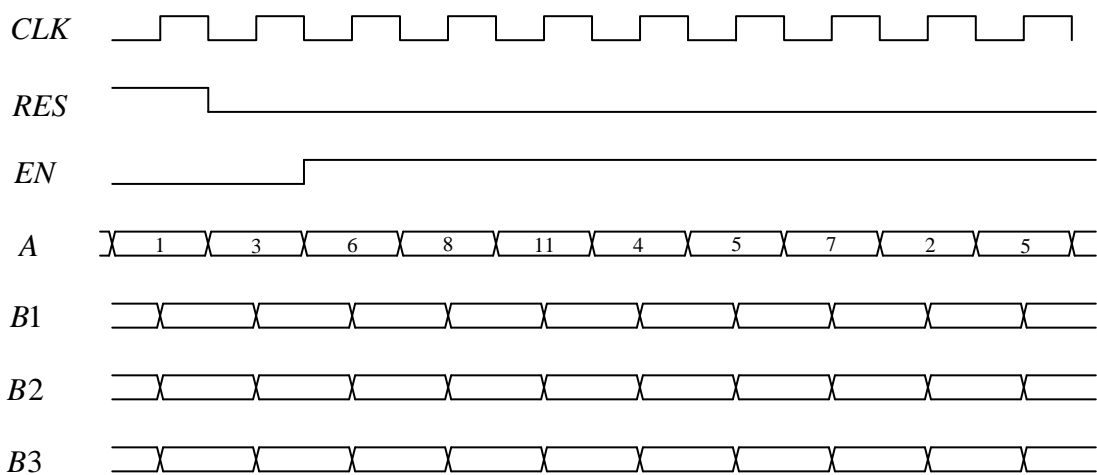
ENTITY seq IS PORT
(
  clk,res,en          : IN STD_LOGIC;
  a                   : IN STD_LOGIC_VECTOR(5 DOWNTO 0);
  b1                  : OUT STD_LOGIC_VECTOR(5 DOWNTO 0);
  b2                  : OUT STD_LOGIC_VECTOR(5 DOWNTO 0);
  b3                  : OUT STD_LOGIC_VECTOR(5 DOWNTO 0)
);
END seq;

ARCHITECTURE behav OF seq IS
  TYPE states IS (s0,s1,s2,s3);
  SIGNAL current_state : states;
  SIGNAL temp          : UNSIGNED(5 DOWNTO 0);

BEGIN
  PROCESS(clk) BEGIN
    IF rising_edge(clk) THEN
      IF (res='1') THEN
        current_state <= s0;
        b1 <= (OTHERS => '0');
        b2 <= (OTHERS => '0');
        b3 <= (OTHERS => '0');
        temp <= "000001";
      ELSIF (en='1') THEN
        CASE current_state IS
          WHEN s0 => b1 <= (OTHERS => '0');
                     b2 <= (OTHERS => '0');
                     b3 <= (OTHERS => '0');
                     temp <= "000010";
                     current_state <= s1;
          WHEN s1 => b1 <= STD_LOGIC_VECTOR(temp);
                     b2 <= a(4 DOWNTO 0) & a(0);
                     b3 <= a(5) & a(5 DOWNTO 1);
                     temp <= temp + UNSIGNED(a);
                     current_state <= s2;
          WHEN s2 => b1 <= a(3 DOWNTO 0) & a(1) & a(1);
                     b2 <= a;
                     b3 <= a(5) & a(4 DOWNTO 1) & a(2);
                     temp <= temp + 1;
                     IF (a<"000100") THEN
                       current_state <= s1;
                     ELSE
                       current_state <= s3;
                     END IF;
          WHEN s3 => b1 <= STD_LOGIC_VECTOR(temp);
                     b2 <= a(3 DOWNTO 0) & a(2 DOWNTO 1);
                     b3 <= a;
                     temp <= temp + UNSIGNED(a);
                     current_state <= s0;
        END CASE;
      END IF;
    END IF;
  END PROCESS;
END behav;

```

Na osnovu vremenskih dijagrama ulaznih signala i vektora, odrediti vrednosti izlaznih vektora i upisati ih na dati vremenski dijagram u **decimalnom** formatu.



Rešenje:

