

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA \_\_\_\_\_

Ispit: 06.09.2013.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala \_\_\_\_\_  
Vreme početka \_\_\_\_\_  
Vreme završetka \_\_\_\_\_  
Potpis \_\_\_\_\_

Ime \_\_\_\_\_  
Prezime \_\_\_\_\_  
Broj indeksa \_\_\_\_\_  
Potpis \_\_\_\_\_

USLOVI ISPITA

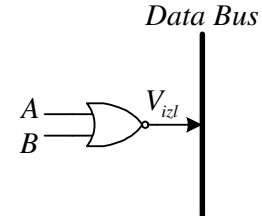
1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Ukupno
Max	<b>20</b>	<b>20</b>	<b>20</b>	<b>20</b>	<b>80</b>
Dobijeno					

1. [20] Dvoulazno NILI CMOS logičko kolo, koje se napaja sa  $V_{CC} = 5\text{ V}$ , je preko svog izlaza povezano na magistralu podataka (*Data Bus*). Ulazi A i B logičkog kola su kratko spojeni i povezani na naponski generator povorke pravougaonih impulsa  $V_{ul}$ . Frekvencija povorke pravougaonih impulsa je  $f = 50\text{ MHz}$ , sa jednakim trajanjem impulsa i pauze, dok je amplituda impulsa je  $5\text{ V}$  (pri čemu je naponski nivo impulsa  $5\text{ V}$ , a naponski nivo pauze  $0\text{ V}$ ). PMOS tranzistori koji sačinjavaju logičko kolo se u provodnom režimu mogu ekvivalentirati sa otpornostima  $r_{dsP} = 50\ \Omega$ , a u neprovodnom režimu sa  $r_{dsP} \rightarrow \infty$ , dok se NMOS tranzistori u provodnom režimu mogu ekvivalentirati sa otpornostima  $r_{dsN} = 200\ \Omega$ , a u neprovodnom režimu sa  $r_{dsN} \rightarrow \infty$ .

Izračunati i nacrtati vremenski oblik napona na izlazu kola  $V_{izl}$  u ustaljenom stanju, ako je poznato da se magistrala podataka može ekvivalentirati kapacitivnošću  $C = 100\text{ pF}$  prema masi.



### Rešenje:

Uspostavljanje logičke nule na izlazu:

$$V_{izl}(t) = V_{izl}(\infty) - [V_{izl}(\infty) - V_{izl}(0^+)] \cdot e^{-\frac{t}{\tau_1}}$$

$$V_{izl}(\infty) = 0; \quad V_{izl}(0^+) = V_{izl}(0^-) = V_{i\max}$$

$$\tau_1 = C \cdot \frac{r_{dsN}}{2} = 10\text{ ns}$$

$$V_{izl}(t) = V_{i\max} \cdot e^{-\frac{t}{10\text{ ns}}}; \quad 0 \leq t \leq \frac{T}{2}; \quad T = \frac{1}{f} = 20\text{ ns}$$

Uspostavljanje logičke jedinice na izlazu:

$$V_{izl}(t) = V_{izl}(\infty) - [V_{izl}(\infty) - V_{izl}(\frac{T}{2}^+)] \cdot e^{-\frac{t - \frac{T}{2}}{\tau_2}}$$

$$V_{izl}(\infty) = V_{CC}; \quad V_{izl}(\frac{T}{2}^+) = V_{izl}(\frac{T}{2}^-) = V_{i\min}$$

$$\tau_2 = C \cdot 2r_{dsP} = 10\text{ ns}$$

$$V_{izl}(t) = V_{CC} - [V_{CC} - V_{i\min}] \cdot e^{-\frac{t - \frac{T}{2}}{10\text{ ns}}}; \quad \frac{T}{2} \leq t \leq T$$

Iz uslova:

$$V_{izl}(\frac{T}{2}) = V_{i\min} \quad \text{i} \quad V_{izl}(T) = V_{i\max}$$

sledi:

$$V_{i\min} = V_{i\max} \cdot e^{-\frac{\frac{T}{2}}{10\text{ ns}}} \quad \text{i} \quad V_{i\max} = V_{CC} - [V_{CC} - V_{i\min}] \cdot e^{-\frac{\frac{T}{2}}{10\text{ ns}}}$$

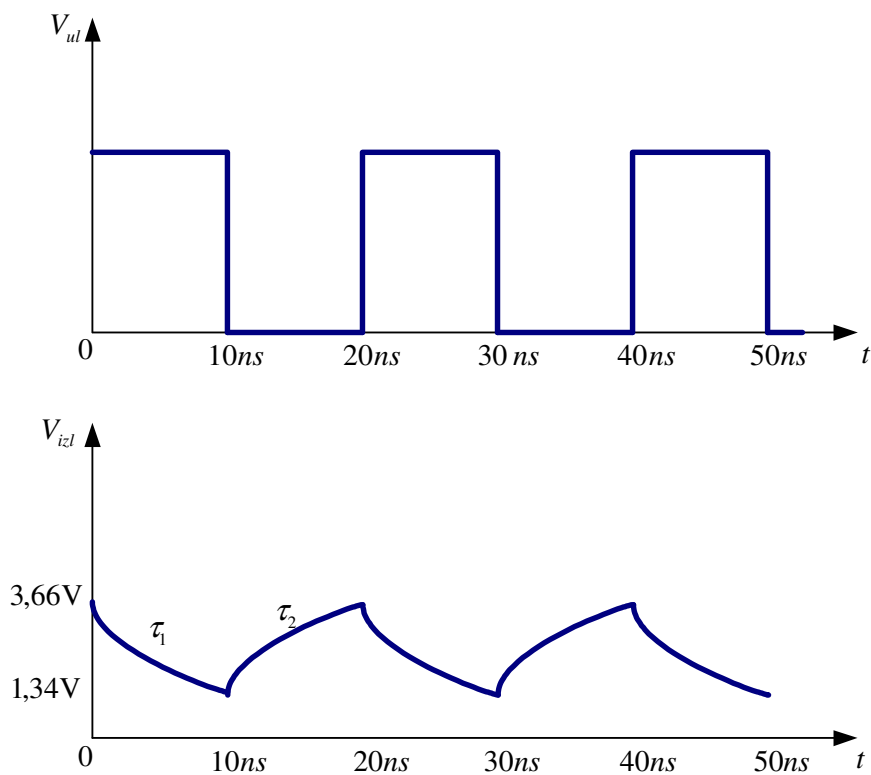
Rešavanjem dobijenih jednačina po  $V_{i\min}$  i  $V_{i\max}$  se dobija:

$$V_{i\max} = \frac{V_{CC}}{1 + e^{-1}} \approx 3,66\text{V} \quad \text{i} \quad V_{i\min} = \frac{e^{-1} \cdot V_{CC}}{1 + e^{-1}} \approx 1,34\text{V}$$

Dakle  $V_{izl}(t)$  je periodičan signal sa periodom 20ns, a unutar intervala trajanja jedne periode važi:

$$V_{izl}(t) = 3,66\text{V} \cdot e^{-\frac{t}{10\text{ns}}} \text{ za } 0 \leq t \leq 10\text{ns} \quad \text{i} \quad V_{izl}(t) = 5\text{V} - 3,66\text{V} \cdot e^{-\frac{t-10\text{ns}}{10\text{ns}}} \text{ za } 10\text{ns} \leq t \leq 20\text{ns}.$$

Vremenski oblici ulaznog i izlaznog signala su prikazani na sledećoj slici:



2. Na ulaz kombinacione mreže se dovode neoznačeni dvobitni binarni brojevi  $A(a_1a_0)$  i  $B(b_1b_0)$ . Mreža treba da obavi aritmetičku operaciju nad ulaznim brojevima  $Y = A + 2^B$  i da na izlazu generiše rezultat  $Y$ .

a) [5] Odrediti minimalan broj bita izlaza  $Y$  tako da se na izlazu dobije ispravan rezultat za bilo koje vrednosti ulaznih vektora.

b)[5] Popuniti tabelu istinitosti koja definiše rad kombinacione mreže. Odrediti Bulovu funkciju  $Y=Y(A,B)$  i realizovati kombinacionu mrežu korišćenjem minimalnog broja logičkih kola sa proizvoljnim brojem ulaza.

c)[10] Korišćenjem minimalnog broja dvodimenzionalnih jednobitnih PROM memorija sa minimalnim brojem ćelija realizovati traženu kombinacionu mrežu. Odrediti minimalni broj memorija i minimalni broj ćelija. Prisustvo prekidačkog elementa u realizaciji svakog modula simbolično prikazati tačkom. Uzeti da je vektor adrese dat kao  $A = a_3a_2a_1a_0 = A(a_1a_0)B(b_1b_0)$

### Rešenje:

a) Minimalan broj bita potreban za ispravno generisanje rezultata na izlazu se može odrediti u slučaju kada izlaz  $Y$  ima maksimalnu vrednost. Obzirom da je izvod funkcije  $Y$  po  $A$  i  $B$  uvek pozitivan, to znači da će vrednost  $Y$  biti najveća kada su vrednosti  $A$  i  $B$  maksimalne. Dakle  $A=3$  i  $B=3$ .  $Y(3,3)=11$ , što znači da je potrebno minimalno 4 bita za predstavu maksimalne vrednosti  $Y$ .

b) Tabela koja definiše rad mreže je prikazana u nastavku

a1	a0	b1	b0	y3	y2	y1	y0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	0	1	1	1	0	0	0
0	1	0	0	0	0	1	0
0	1	0	1	0	0	1	1
0	1	1	0	0	1	0	1
0	1	1	1	1	0	0	1
1	0	0	0	0	0	1	1
1	0	0	1	0	1	0	0
1	0	1	0	0	1	1	0
1	0	1	1	1	0	1	0
1	1	0	0	0	1	0	0
1	1	0	1	0	1	0	1
1	1	1	0	0	1	1	1
1	1	1	1	1	0	1	1

Optimizacijom Karnoovim mapama dobijaju se Bulove funkcije vektora  $Y$

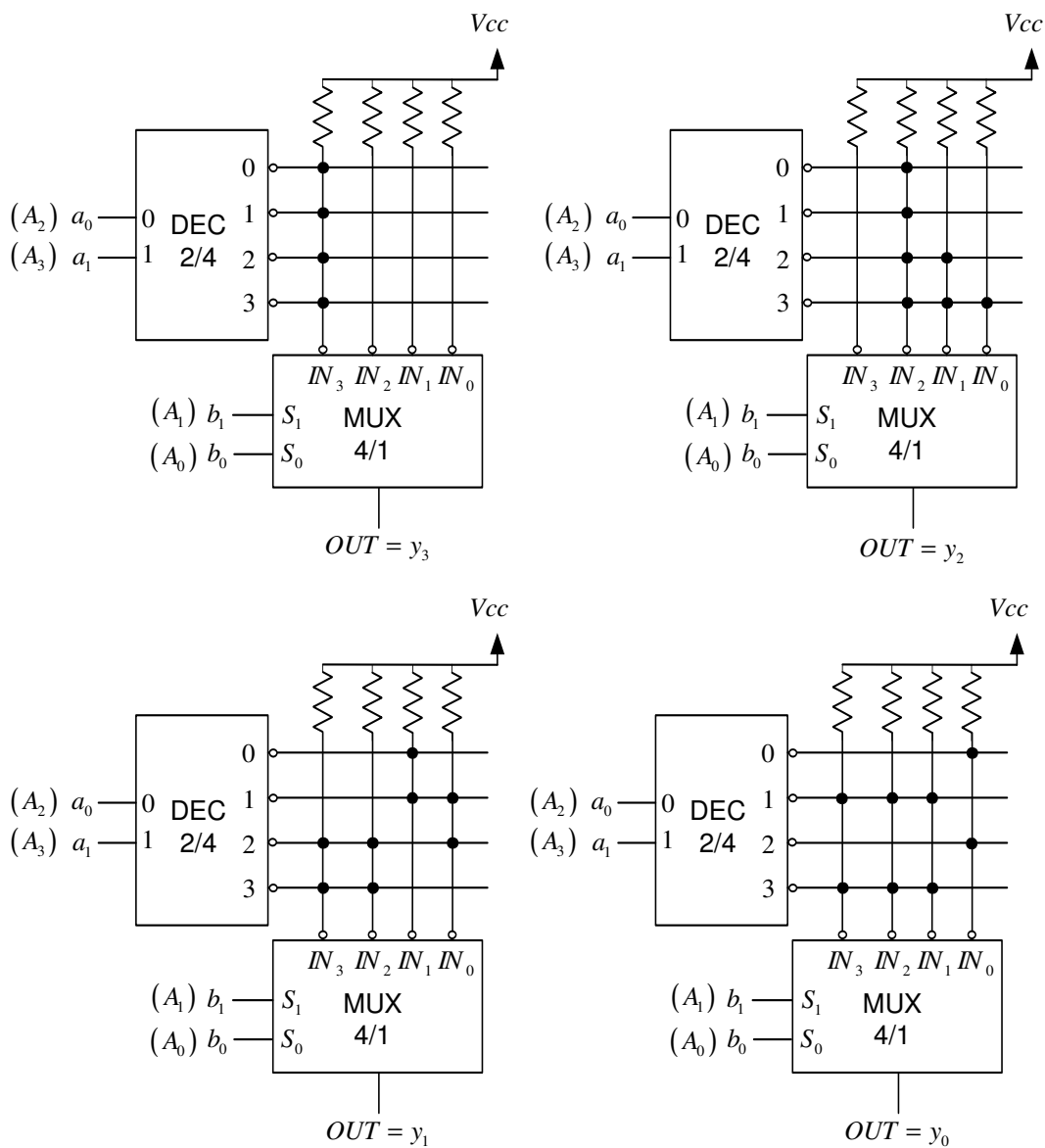
$$y_3 = b_1b_0$$

$$y_2 = b_1\bar{b}_0 + a_1\bar{b}_1b_0 + a_1a_0\bar{b}_1$$

$$y_1 = a_1b_1 + \bar{a}_1\bar{b}_1b_0 + \bar{a}_1a_0\bar{b}_1 + a_1a_0\bar{b}_0$$

$$y_1 = a_0 b_0 + a_0 b_1 + \overline{a_0} \overline{b_1} \overline{b_0}$$

c) Minimalan broj jednobitnih memorijskih modula sa 16 ćelija je 4 obzirom da izlaz Y ima 4 bita. Realizacije modula su prikazane na slikama.



**3. a) [15]** Koristeći minimalan broj ivičnih JK flip-flopova koji se okidaju rastućom ivicom signala takta CLK i minimalan broj dvoulaznih I i ILI logičkih kola, projektovati trobitni sinhroni brojač koji broji u sekvenci  $000 \rightarrow 011 \rightarrow 101 \rightarrow 111 \rightarrow 010 \rightarrow 100 \rightarrow 000$ . U slučaju da se po uključenju napajanja brojač nađe u nekom od stanja koja nisu zadata u navedenoj sekvenci (nedozvoljena stanja), potrebno je da nailaskom prve sledeće rastuće ivice signala takta, brojač pređe u stanje 000.

**b) [5]** Analizom izlaza brojača projektovanog u tački **a)**, realizovati delitelj učestanosti koji će, polazeći od ulaznog signala CLK, na svom izlazu generisati periodični signal CLK1 učestanosti

$$f = \frac{f_{CLK}}{6} \text{ sa jednakim trajanjem impulsa i pauze, gde je } f_{CLK} \text{ učestanost signala takta CLK.}$$

### Rešenje:

**a)** Tabela prelaza brojača ima sledeći izgled:

$Q_2$	$Q_1$	$Q_0$	$Q_2(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
0	0	0	0	1	1	0	X	1	X	1	X
0	0	1	0	0	0	0	X	0	X	X	1
0	1	0	1	0	0	1	X	X	1	0	X
0	1	1	1	0	1	1	X	X	1	X	0
1	0	0	0	0	0	X	1	0	X	0	X
1	0	1	1	1	1	X	0	1	X	X	0
1	1	0	0	0	0	X	1	X	1	0	X
1	1	1	0	1	0	X	1	X	0	X	1

Pomoću Karnoovih mapa se dobija:

$Q_2 / Q_1 Q_0$	00	01	11	10
0	0	0	1	1
1	X	X	X	X

$$J_2 = Q_1$$

$Q_2 / Q_1 Q_0$	00	01	11	10
0	X	X	X	X
1	1	0	1	1

$$K_2 = Q_1 + \overline{Q_0}$$

$Q_2 / Q_1 Q_0$	00	01	11	10
0	1	0	X	X
1	0	1	X	X

$$J_1 = \overline{Q_2} \cdot \overline{Q_0} + Q_2 \cdot Q_0$$

$Q_2 / Q_1 Q_0$	00	01	11	10
0	X	X	1	1
1	X	X	0	1

$$K_1 = \overline{Q_2} + \overline{Q_0}$$

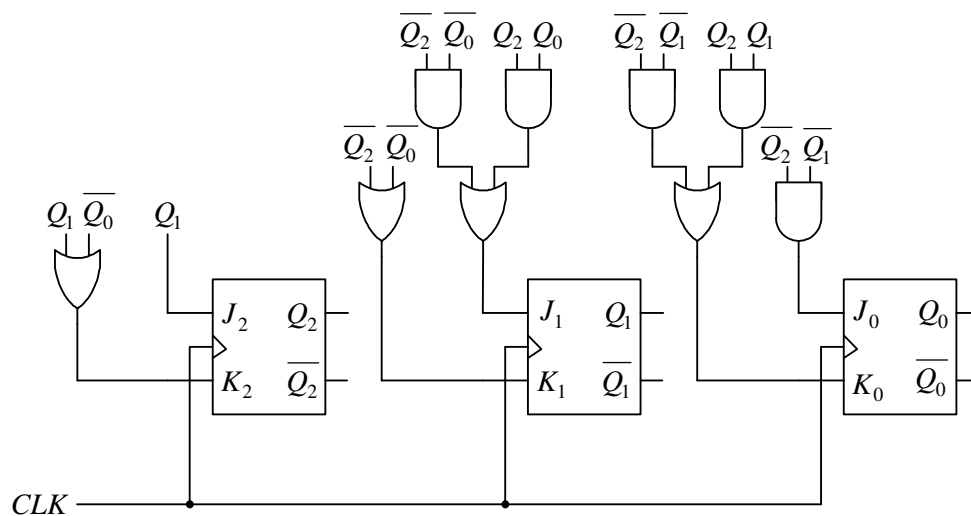
$Q_2 / Q_1 Q_0$	00	01	11	10
0	1	X	X	0
1	0	X	X	0

$$J_0 = \overline{Q_2} \cdot \overline{Q_1}$$

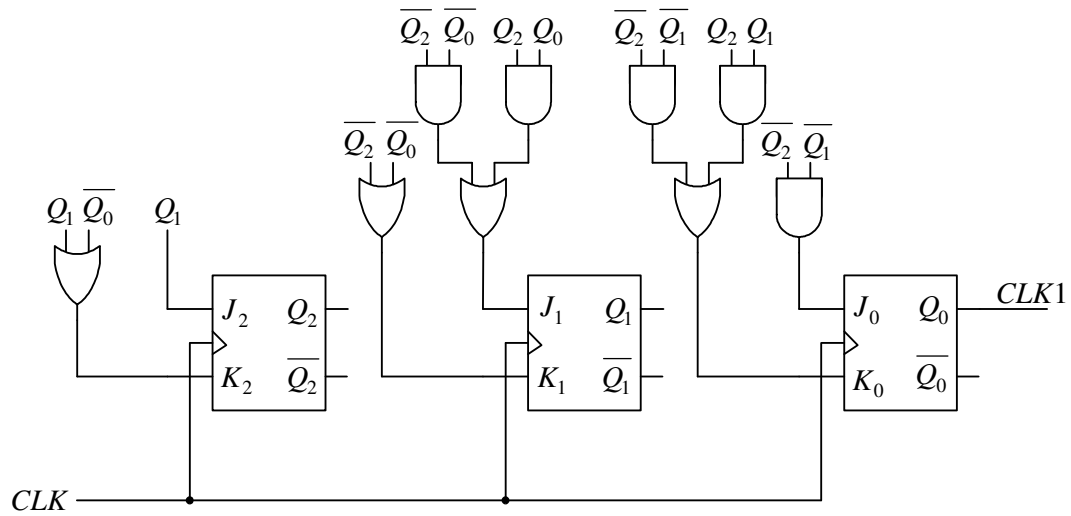
$Q_2 / Q_1 Q_0$	00	01	11	10
0	X	1	0	X
1	X	0	1	X

$$K_0 = \overline{Q_2} \cdot \overline{Q_1} + Q_2 \cdot Q_1$$

Na osnovu izvedenih jednačina sledi da se traženi brojač može realizovati na sledeći način:



b) Posmatrajući sekvencu brojanja brojača, može se uočiti da jedan kompletan ciklus brojanja traje 6 perioda signala takta CLK, pri čemu je u tri uzastopne periode signal  $Q_0$  na nivou logičke jedinice, a zatim naredne tri periode na nivou logičke nule. To znači da je učestanost signala  $Q_0$  (kao i signala  $\overline{Q_0}$ ) jednaka  $f = \frac{f_{CLK}}{6}$ . Dakle, traženi signal CLK1 se najjednostavnije može generisati korišćenjem već postojećeg signala  $Q_0$ , što je prikazano na sledećoj slici:





4. [20] Dat je VHDL kod kojim je opisana jedna digitalna mreža.

```

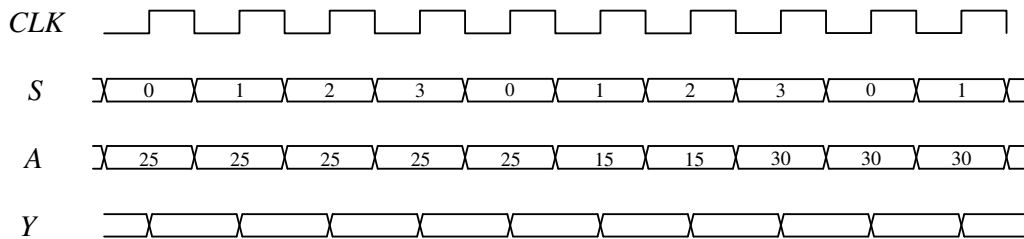
LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;

ENTITY unit IS PORT
(
  a      : IN  STD_LOGIC_VECTOR(4 DOWNTO 0);
  s      : IN  STD_LOGIC_VECTOR(1 DOWNTO 0);
  clk    : IN  STD_LOGIC;
  y      : OUT STD_LOGIC_VECTOR(6 DOWNTO 0)
);
END unit;

ARCHITECTURE behav OF unit IS
  SIGNAL tmp : UNSIGNED(6 DOWNTO 0);
BEGIN
  PROCESS (clk) BEGIN
    IF (rising_edge(clk)) THEN
      IF (s="00") THEN
        tmp <= (OTHERS => '0');
      ELSIF (s="01") THEN
        tmp <= UNSIGNED("00" & a) + 20;
      ELSIF (s="10") THEN
        tmp <= UNSIGNED(a(4 DOWNTO 0) & "00");
      ELSIF (s="11") THEN
        tmp <= UNSIGNED("0000" & a(4 DOWNTO 2));
      END IF;
    END IF;
  END PROCESS;
  y <= STD_LOGIC_VECTOR(tmp);
END behav;

```

Na osnovu vremenskih dijagrama ulaznih signala i vektora (čije su vrednosti date u decimalnom formatu), odrediti vrednosti izlaznog vektora i u decimalnom formatu ih upisati na dati vremenski dijagram.



**Rešenje:**

