

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 15.01.2014.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

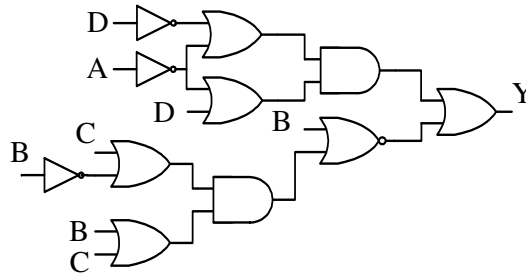
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Ukupno
Max	20	20	20	20	80
Dobijeno					

1. a) [10] Koristeći NMOS i PMOS tranzistore, isprojektovati najprostije statičko CMOS kolo koje realizuje bulovu funkciju kao kolo sa slike.

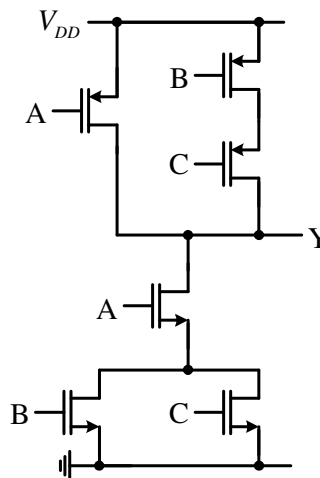


b) [10] Ukoliko je otpornost provodnih MOS tranzistora u prethodno realizovanoj strukturi $R_{ON} = 50\Omega$, odrediti maksimalnu struju koje realizovano CMOS kolo može obezbediti na izlazu u stanju logičke jedinice. Minimalni naponski nivo na izlazu CMOS kola koji se tumači kao logička jedinica je $V_{OH} = 3.3V$, a napon napajanja je $V_{CC} = 5V$.

Rešenje:

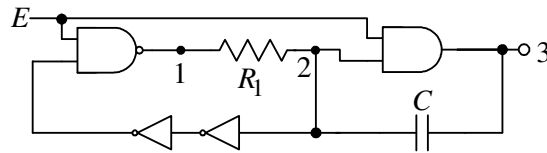
a) Kod CMOS logičkih kola, NILI funkcija se ostvaruje paralelnom vezom NMOS tranzistora i rednom vezom PMOS tranzistora, dok se NI funkcija ostvaruje rednom vezom NMOS tranzistora i paralelnom vezom PMOS tranzistora.

Funkcija koju treba realizovati je $Y = \overline{A(B+C)}$, što se može dobiti primenom osnovnih operacija bulove algebre nad promenjivama koje učestvuju u formiranju izlaza Y. Statičko CMOS kolo koje realizuje ovu funkciju je prikazano na slici. Kako ulaz D ne utiče na vrednost izlazne promenjive Y on je izostavljen u realizaciji CMOS kola.



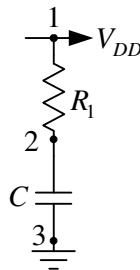
b) Najnepovoljniji slučaj u pogledu maksimalnog strujnog opterećenja CMOS kola u stanju logičke jedinice je kada su PMOS tranzistori kontrolisani sa B i C signalima uključeni a PMOS tranzistor kontrolisan signalom A isključen. Tada je $I_{\max} = \frac{V_{CC} - V_{OH}}{2R_{ON}} = 17mA$, maksimalna struja kojom se kolo sme opteretiti a da napon na izlazu ne padne ispod praga napona logičke jedinice.

2. [20] Na slici je prikazano kolo astabilnog multivibratora. Korišćena CMOS logička kola se napajaju sa $V_{DD} = 5V$, imaju idealnu prenosnu karakteristiku sa naponom praga $V_{DD}/2$, imaju beskonačnu ulaznu i nultu izlaznu otpornost. Kapacitivnost kondenzatora je $C = 50nF$, a otpornost otpornika je $R_1 = 10k\Omega$. Ako je kontrolni signal E na nivou logičke jedinice, izračunati i nacrtati vremenske oblike naponskih signala u tačkama 1, 2 i 3 kada kolo radi u ustaljenom režimu. Kolika je frekvencija oscilovanja kola?



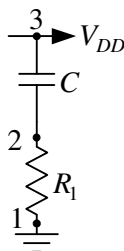
Rešenje:

Pošto je kolo astabilno, njegova stanja se periodično ponavljaju. Stoga, analiza kola može da se počne od bilo kojeg trenutka periode. Na primer, neka se uzme da je u trenutku $t = 0$ nastupila promena vrednosti signala u tački 3 sa logičke jedinice na logičku nulu. Ta promena je nastupila kao posledica opadanja napona u tački 2 do vrednosti $V_{DD}/2$. U istom trenutku (ako se zanemare kašnjenja kroz invertore i logička kola), menja se i nivo signala u tački 1 sa logičke nule na logičku jedinicu, kao posledica opadanja napona na donjem ulazu NI kola do vrednosti $V_{DD}/2$. Nakon toga kolo se može ekvivalentno predstaviti na sledeći način:



Napon u tački 2 će se eksponencijalno povećavati sa vremenskom konstantom $\tau = R_1 C$ sve dok ne poraste do vrednosti $V_{DD}/2$. Neka je trenutak u kome se to desi $t = T_1$. Potom će napon u tački 3 da skoči na nivo logičke jedinice, a napon u tački 1 da padne na nivo logičke nule. Zbog činjenice da se napon na kondenzatoru C ne može trenutno (skokovito) promeniti, napon u tački 2 će skokovito porasti na vrednost $v_2(T_1^+) = 7,5V$.

Nova ekvivalentna šema kola će imati sledeći izgled:



Napon u tački 2 će se sada eksponencijalno smanjivati sa vremenskom konstantom $\tau = R_1 C$ sve dok ne opadne do vrednosti $V_{DD} / 2$. Neka je trenutak u kome se to desi $t = T_1 + T_2$. Potom će napon u tački 3 da padne na nivo logičke nule, a napon u tački 1 da skoči na nivo logičke jedinice. Zbog činjenice da se napon na kondenzatoru C ne može trenutno (skokovito) promeniti, napon u tački 2 će skokovito opasti na vrednost $v_2((T_1 + T_2)^+) = -2,5V$.

Nova ekvivalentna šema kola će ponovo imati izgled prikazan na prvoj slici u okviru ovoga rešenja. Opisani proces će se dalje periodično ponavljati.

Jednačine koje opisuju opisani proces za vreme intervala T_1 su:

$$v_1(t) = V_{DD}$$

$$v_3(t) = 0$$

$$v_2(t) = v_2(\infty) - [v_2(\infty) - v_2(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$v_2(t) = 5V - [5V + 2,5V] \cdot e^{-\frac{t}{R_1 C}} = 5V - 7,5V \cdot e^{-2000t}$$

Jednačine koje opisuju opisani proces za vreme intervala T_2 su:

$$v_1(t) = 0$$

$$v_3(t) = V_{DD}$$

$$v_2(t) = v_2(\infty) - [v_2(\infty) - v_2(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau}}$$

$$v_2(t) = 0 - [0 - 7,5V] \cdot e^{-\frac{t-T_1}{R_1 C}} = 7,5V \cdot e^{-\frac{t-T_1}{R_1 C}} = 7,5V \cdot e^{-2000(t-T_1)}$$

Vremenski interval T_1 se može odrediti iz uslova:

$$v_2(T_1^-) = 5V - 7,5V \cdot e^{-2000T_1} = 2,5V$$

odakle se dobija:

$$T_1 = 0,0005 \ln 3 = 549,3 \mu s.$$

Vremenski interval T_2 se može odrediti iz uslova:

$$v_2((T_1 + T_2)^-) = 7,5V \cdot e^{-2000T_2} = 2,5V$$

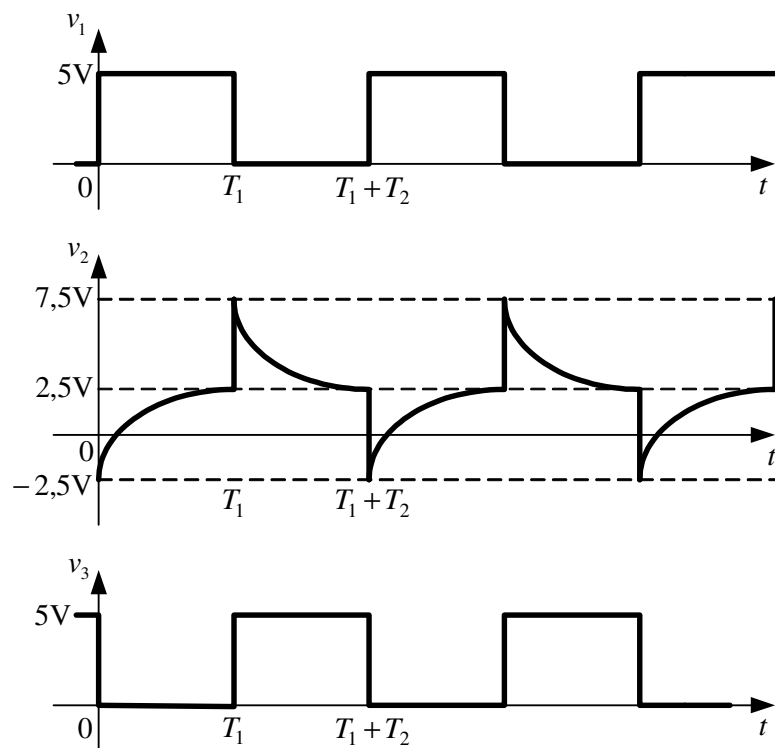
odakle se dobija:

$$T_2 = 0,0005 \ln 3 = 549,3 \mu s.$$

Frekvencija oscilovanja kola je:

$$f = \frac{1}{T_1 + T_2} = 910,25 \text{ Hz}$$

Traženi vremenski dijagrami su prikazani na sledećoj slici:

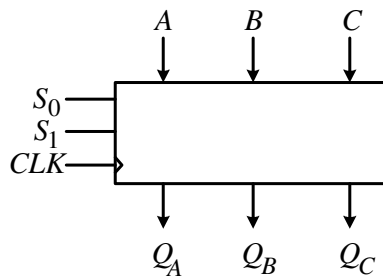


3. [20] Realizovati što jednostavniju sinhronu sekvencijalnu mrežu prikazanu na slici tako da za navedene vrednosti upravljačkih signala S_1S_0 mreža radi u sledećim režimima:

- za $S_1S_0 = 00$ flip-flopovi ne menjaju stanje bez obzira na taktni impuls CLK
- za $S_1S_0 = 01$ mreža radi kao trobitni binarni brojač unazad
- za $S_1S_0 = 10$ u flip-flopove se upisuje sadržaj ABC nakon uzlazne ivice CLK
- za $S_1S_0 = 11$ uzlazna ivica CLK postavlja $Q_A=Q_B=Q_C=0$

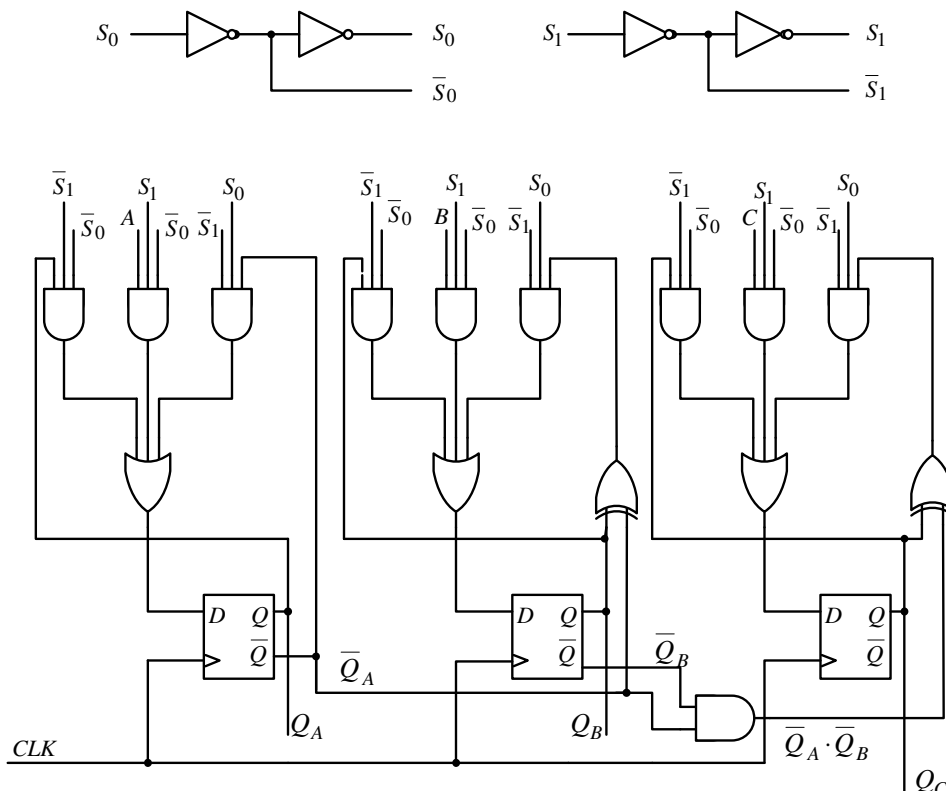
Na raspolaganju su ivični D flip-flopovi koji se okidaju na uzlaznu ivicu, EXILI kola, I kola, ILI kola i invertori.

NAPOMENA: Nacrtati prvo rešenje za registar sa paralelnim upisom i čitanjem za tri bita. Zatim sintetisati trobitni binarni brojač unazad i nacrtati ga na posebnoj slici. Prethodne dve slike spojiti u jednu konstrukcijom kombinacione mreže koja kontroliše vrednost D ulaza flipflopa i zatim na kombinacionoj mreži dograditi kontrole za blokiranje i za reset flipflopova.



Rešenje:

Analizom narednog stanja sekvencijalne mreže u odnosu na sve moguće kombinacije upravljačkih signala za svako postojeće stanje, i korišćenjem karnoovih karata u procesu minimizacije dobija se tražena realizacija kao na slici.



4. [20] Dat je VHDL kod kojim je opisana jedna sekvencijalna mreža.

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;

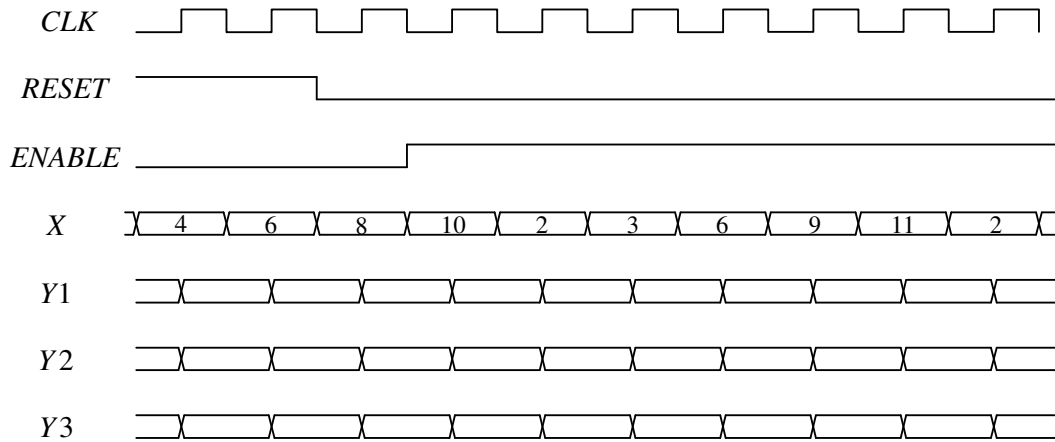
ENTITY seq IS PORT
(
    clk,reset,enable      : IN STD_LOGIC;
    x                     : IN STD_LOGIC_VECTOR(5 DOWNTO 0);
    y1                    : OUT STD_LOGIC_VECTOR(5 DOWNTO 0);
    y2                    : OUT STD_LOGIC_VECTOR(5 DOWNTO 0);
    y3                    : OUT STD_LOGIC_VECTOR(5 DOWNTO 0)
);
END seq;

ARCHITECTURE behav OF seq IS
    TYPE states IS (s0,s1,s2,s3);
    SIGNAL current_state   : states;
    SIGNAL temp            : UNSIGNED(5 DOWNTO 0);

BEGIN
    PROCESS(clk) BEGIN
        IF rising_edge(clk) THEN
            IF (reset='1') THEN
                current_state <= s0;
                y1            <= (OTHERS => '0');
                y2            <= (OTHERS => '0');
                y3            <= (OTHERS => '0');
                temp          <= "000001";
            ELSIF (enable='1') THEN
                CASE current_state IS
                    WHEN s0 => y1            <= (OTHERS => '0');
                             y2            <= (OTHERS => '0');
                             y3            <= (OTHERS => '0');
                             temp          <= "000001";
                             current_state <= s1;
                    WHEN s1 => y1            <= STD_LOGIC_VECTOR(temp);
                             y2            <= x(4 DOWNTO 0) & x(0);
                             y3            <= x(5) & x(5 DOWNTO 1);
                             temp          <= temp + UNSIGNED(x);
                             current_state <= s2;
                    WHEN s2 => y1            <= x(3 DOWNTO 0) & x(0) & x(0);
                             y2            <= x;
                             y3            <= x(5) & x(4 DOWNTO 1) & x(1);
                             temp          <= temp + 1;
                             IF (x<"001000") THEN
                                 current_state <= s3;
                             ELSE
                                 current_state <= s1;
                             END IF;
                    WHEN s3 => y1            <= STD_LOGIC_VECTOR(temp);
                             y2            <= x(3 DOWNTO 0) & x(1 DOWNTO 0);
                             y3            <= x;
                             temp          <= temp + UNSIGNED(x);
                             current_state <= s0;
                END CASE;
            END IF;
        END IF;
    END PROCESS;
END behav;

```

Na osnovu vremenskih dijagrama ulaznih signala i vektora (sa vrednostima datim u decimalnom formatu), odrediti vrednosti izlaznih vektora i u decimalnom formatu ih upisati na dati vremenski dijagram.



Rešenje:

