

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA \_\_\_\_\_

Ispit: 27.06.2012.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala \_\_\_\_\_  
 Vreme početka \_\_\_\_\_  
 Vreme završetka \_\_\_\_\_  
 Potpis \_\_\_\_\_

Ime \_\_\_\_\_  
 Prezime \_\_\_\_\_  
 Broj indeksa \_\_\_\_\_  
 Potpis \_\_\_\_\_

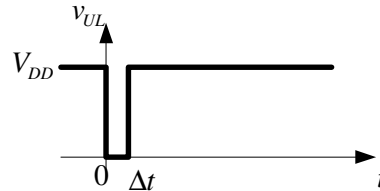
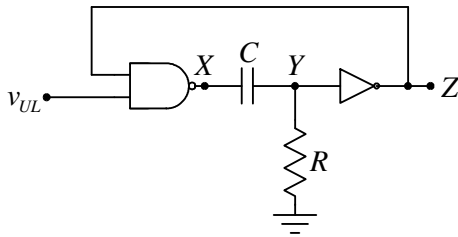
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	<b>20</b>	<b>20</b>	<b>20</b>	<b>20</b>	<b>80</b>
Dobijeno					

1. [20] U kolu sa slike logička kola pripadaju CMOS familiji, napajaju se sa  $V_{DD} = 5V$ , imaju idealnu prenosnu karakteristiku sa naponom praga  $V_T = 2,5V$ , beskonačnu ulaznu i nultu izlaznu otpornost. Poznate su i vrednosti elemenata  $R = 50k\Omega$  i  $C = 20nF$ . Ukoliko se na ulaz kola dovede kratkotrajni naponski impuls, trajanja  $\Delta t \ll RC$  sa silaznom ivicom u trenutku  $t = 0$ , prikazan na slici, odrediti i nacrtati vremenske dijagrame napona u tačkama X, Y i Z za  $t > 0$ . Pre pojave pobudnog impulsa kolo je bilo dovoljno dugo vremena u stacionarnom stanju.



### Rešenje:

Za  $t < 0$  u kolu je uspostavljeno stacionarno stanje. To znači da je struja kroz kondenzator jednaka nuli, a s obzirom da je ulazna otpornost invertora beskonačna, može se zaključiti da tada ne postoji ni struja kroz otpornik R, što znači da je  $v_Y = 0$ . Na osnovu ovoga sledi da je  $v_Z = V_{DD}$  i kako je za  $t < 0$   $v_{UL} = V_{DD}$ , sledi da je  $v_X = 0$ .

Kolo se nalazi u opisanom stanju sve dok se na ulazu ne pojavi pobudni impuls u trenutku  $t = 0$ . Tada se vrednost napona na izlazu NI kola promeni na  $v_X = V_{DD}$ , i s obzirom da se vrednost napona na kondenzatoru ne može trenutno promeniti, i vrednost napona desnog priključka kondenzatora se promeni na  $v_Y = V_{DD}$ . To ima za posledicu pad napona na izlazu invertora na  $v_Z = 0$ . Dakle u trenutku  $t = 0^+$  važi:

$$v_{UL}(0^+) = 0$$

$$v_X(0^+) = V_{DD}$$

$$v_Y(0^+) = V_{DD}$$

$$v_Z(0^+) = 0$$

Potom se napon na kondenzatoru eksponencijalno povećava sa vremenskom konstantom  $\tau = RC$ . To se dešava na način pri kome je  $v_X = V_{DD}$  (jer je izlaz invertora na nivou logičke jedinice), dok se napon  $v_Y$  eksponencijalno smanjuje sa pomenutom vremenskom konstantom. Vrednost kojoj teži napon  $v_Y$  je određena novim stacionarnim stanjem koje bi nastupilo kada bi struja kroz kondenzator opala na nulu, a to je  $v_Y(\infty) = 0$ . Jednačina koja opisuje napon  $v_Y$  u toj situaciji je:

$$v_Y(t) = v_Y(\infty) - [v_Y(\infty) - v_Y(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$v_Y(t) = 0 - [0 - V_{DD}] \cdot e^{-\frac{t}{RC}} = 5V \cdot e^{-1000t}$$

Ova zavisnost će važiti sve dok napon  $v_Y$  ne opadne do praga invertora  $V_T = \frac{V_{DD}}{2}$ , kada će se izlaz invertora promeniti na logičku jedinicu. S obzirom da je ulazni napon  $v_{UL} = V_{DD}$  (jer je u međuvremenu kratkotrajni ulazni impuls prošao), ova promena logičkog nivoa invertora ima za posledicu pad izlaznog napona NI kola na nivo logičke nule tj. na  $v_X = 0$ . Zbog ovoga će i napon  $v_Y$

da se momentalno smanji na vrednost  $-\frac{V_{DD}}{2}$  (jer vrednost napona na kondenzatoru ne može trenutno da se promeni). Ukoliko se trenutak promene nivoa signala na izlazu invertora označi sa  $t = T_1$ , na osnovu opisane analize sledi:

$$v_X(T_1^+) = 0$$

$$v_Y(T_1^+) = -\frac{V_{DD}}{2}$$

$$v_Z(T_1^+) = V_{DD}$$

Dalje će napon  $v_Y$  da eksponencijalno raste ka novoj stacionarnoj vrednosti  $v_Y(\infty) = 0$  sa vremenskom konstantom  $\tau = RC$ , dok će nivoi naponskih signala  $v_X$  i  $v_Z$  da ostanu nepromenjeni. Jednačina koja opisuje  $v_Y$  u ovoj situaciji je:

$$v_Y(t) = v_Y(\infty) - [v_Y(\infty) - v_Y(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau}}$$

$$v_Y(t) = 0 - [0 + \frac{V_{DD}}{2}] \cdot e^{-\frac{t-T_1}{RC}} = -\frac{V_{DD}}{2} \cdot e^{-\frac{t-T_1}{RC}} = -2,5V \cdot e^{-1000(t-T_1)}$$

Vremenski trenutak  $t = T_1$  se može odrediti iz uslova:

$$v_Y(T_1^-) = 5V \cdot e^{-1000T_1} = 2,5V$$

odakle se dobija:

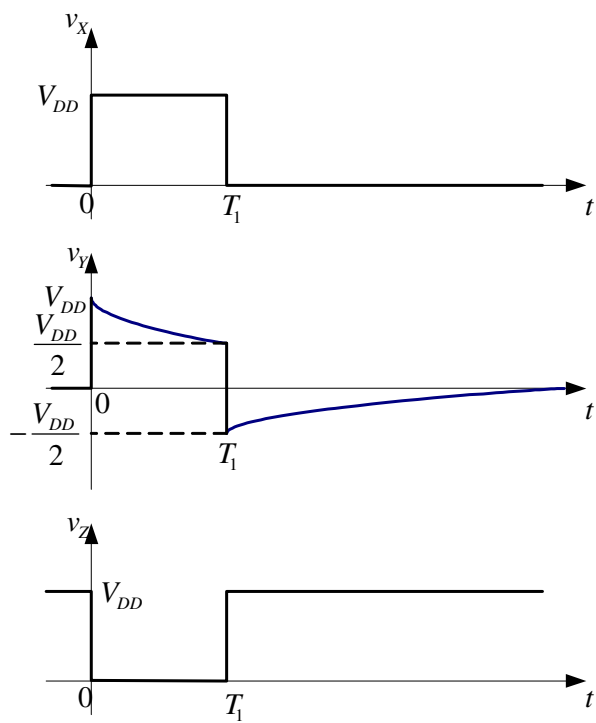
$$T_1 = 0,001 \ln 2 = 0,693ms$$

Dakle, konačno je:

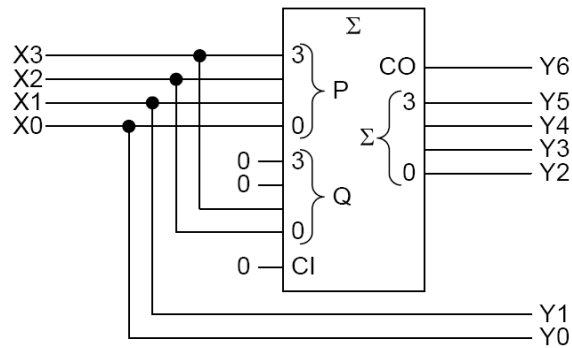
$$v_Y(t) = 5V \cdot e^{-1000t}, \text{ za } 0 < t < T_1$$

$$v_Y(t) = -2,5V \cdot e^{-1000(t-T_1)}, \text{ za } t > T_1.$$

Odgovarajući vremenski dijagrami su prikazani na sledećoj slici:



2. [20] Na slici je prikazano digitalno kolo koje sadrži četvorobitni potpuni sabirač. X3:0 i Y6:0 su neoznačeni binarni brojevi čije su vrednosti  $x$  i  $y$  respektivno.



- [5] Odrediti šta predstavlja vrednost  $y$  (izraziti  $y$  u funkciji od  $x$ )
- [2] Odrediti maksimalnu moguću brojnu vrednost za  $y$  (predstaviti datu vrednost i binarno)
- [3] Ako je X3:0 sada označeni binarni broj u komplementu dvojke čija je vrednost  $x$ , odrediti maksimalnu i minimalnu vrednost za  $y$
- [5] Kako treba modifikovati kolo sa slike tako da se vrednost  $y = f(x)$  određena u tački a) pravilno izračunava i u slučaju pod c)
- [5] Prikazati realizaciju kola sa slike ako su na raspolaganju standardna logička kola sa proizvoljnim brojem ulaza

### Rešenje:

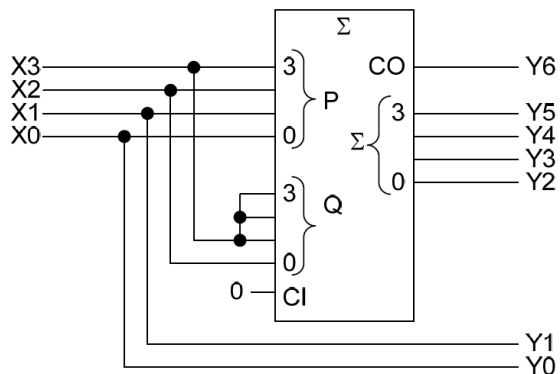
- a) Analizom pojedinih bita na ulazu i izlazu može se rekonstruisati način sabiranja sabirača

$$\begin{array}{r}
 \begin{array}{ccccccc}
 X3 & X2 & X1 & X0 & 0 & 0 & (P) \\
 + & & & X3 & X2 & X1 & X0 & (Q) \\
 \hline
 Y6 & Y5 & Y4 & Y3 & Y2 & Y1 & Y0
 \end{array}
 \end{array}$$

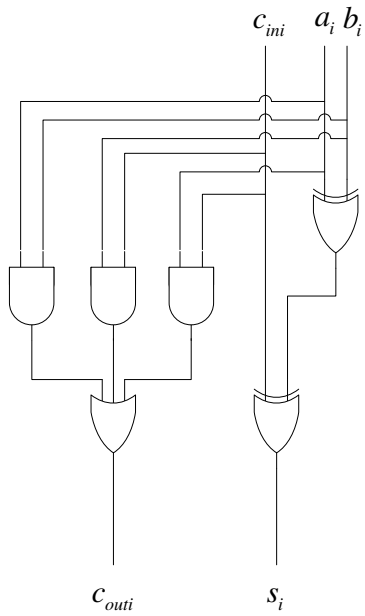
Na osnovu čega se zaključuje da je  $y = 5x$

- b) Maksimalna vrednost za  $x$  je 15 pa je prema tome maksimalna vrednost za  $y=75$  (1001011) što zahteva 7 bita za zapisivanje
- c) U ovom slučaju se  $x$  kreće u opsegu -8 do +7 pa se  $y$  kreće u opsegu -40 do +35

d) Smatramo da je operand  $X$  zapisan u drugom komplementu (+ vrednost ima X3 bit nula, a - vrednost ima X3 bit jedan). Da bi kolo ispravno obavljalo funkciju u slučaju označenih brojeva potrebno je na adekvatan način proširiti vektor na ulazu  $Q$ . Proširenje se obavlja sa nulama na bitima veće težine ako je broj pozitivan i sa jedinicama ako je broj negativan, čime se postize cilj da brojna vrednost ostane nepromenjena. Povezivanje je prikazano na slici.



e) Realizacija jedne ćelije potpunog sabirača je prikazana na slici. Povezivanjem četiri ovakve ćelije dobija se tražena realizacija.  $c_{in0}$  prve ćelije je '0', dok je  $c_{out3} = Y_6$ , takođe važi  $c_{ini} = c_{out(i-1)}$



**3. [20]** Koristeći D flip floповe i potrebna logička kola konstruisati brojač čija su stanja redom 0, 2, 5, 7, 9, 10, 14, 15. Ukoliko brojač uđe u neko od nedozvoljenih stanja potrebno je promenjivu K postaviti na logičku nulu i zabraniti dalje brojanje (od tog momenta brojač ostaje u zatečenom stanju sve dok se ne resetuje, kada počinje opet da broji od stanja 0). Ako brojac nije u zabranjenom stanju, promenjiva K je na logičkoj jedinici. D flip floповi imaju ulaz za asihroni reset, smatrati da su po uključenju napajanja svi flip floповi resetovani. Koristiti minimalan broj logičkih kola. Nacrtati električnu šemu povezivanja logičkih kola i flip floпова.

**Rešenje:**

Tabela prelaza D flip floпова prikazana je na slici:

i	D(i)	C(i)	B(i)	A(i)	D(i+1)	C(i+1)	B(i+1)	A(i+1)
0	0	0	0	0	0	0	1	0
2	0	0	1	0	0	1	0	1
5	0	1	0	1	0	1	1	1
7	0	1	1	1	1	0	0	1
9	1	0	0	1	1	0	1	0
10	1	0	1	0	1	1	1	0
14	1	1	1	0	1	1	1	1
15	1	1	1	1	0	0	0	0

Posle izvršene minimizacije za jednačine prelaza se dobijaju sledeći izrazi:

$$D(i+1) = D\bar{C} + D\bar{A} + \bar{D}CB$$

$$C(i+1) = B\bar{A} + C\bar{B}$$

$$B(i+1) = \bar{B} + D\bar{C} + D\bar{A}$$

$$A(i+1) = \bar{D}B + \bar{D}A + C\bar{A}$$

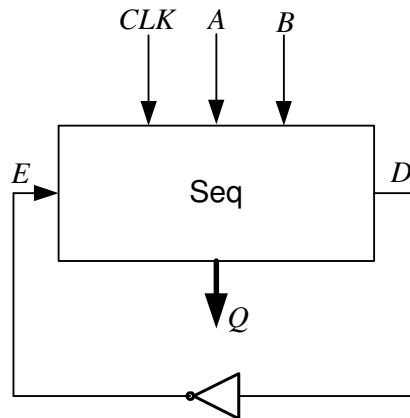
Stanja promenjive K se mogu odrediti iz uslova  $K\{0,2,5,7,9,10,14,15\} = 1$ , odnosno  $K\{1,3,4,6,8,11,12,13\} = 0$ , što posle izvršene minimizacije daje

$$K = \bar{C}\bar{B}\bar{A} + DCB + \bar{D}CA + \bar{D}\bar{C}\bar{A} + D\bar{C}\bar{B}A$$

Kako bi se zabranilo brojanje brojača u nedozvoljenim stanjima, potrebno je signal K dovesti preko "i" kola zajedno sa signalom takta na ulaz CLK svakog D-MS flip flopa, tada pošto je  $K=0$  signal takta ne taktuje ni jedan flip flop pa se ne menjaju stanja. Prilikom resetovanja flip floпова, promenjiva K ima vrednost 1, tako da brojač nastavlja normalno da broji i menja stanja sa pojavom svake uzlazne ivice signala takta.

4. [20] U digitalnom sistemu na slici, blok *Seq* je opisan odgovarajućim VHDL kodom koji je dat ispod slike.

Za date vremenske dijagrame signala *CLK*, *A* i *B* odrediti za svaku periodu takta *CLK* podatak koji je prisutan na izlazu bloka *Q*. Vrednosti traženih podataka upisati u heksadecimalnom formatu na dijagram.

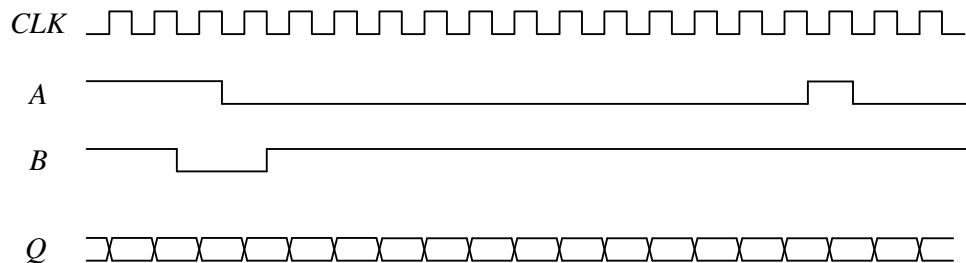


```

LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY seq IS PORT
(
    clk,a,b,e : IN STD_LOGIC;
    d : OUT STD_LOGIC;
    q : OUT STD_LOGIC_VECTOR(7 DOWNTO 0)
);
END seq;

ARCHITECTURE behav OF seq IS
    SIGNAL tmp : STD_LOGIC_VECTOR(7 DOWNTO 0);
BEGIN
    PROCESS (clk) BEGIN
        IF rising_edge(clk) THEN
            IF a='1' THEN
                tmp <= (OTHERS => '0');
                d <= '0';
            ELSIF b='1' THEN
                tmp <= e & tmp(7 DOWNTO 1);
                d <= tmp(0);
            END IF;
        END IF;
    END PROCESS;
    q <= tmp;
END behav;
    
```





**Rešenje:**

