

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA \_\_\_\_\_

Ispit: 26.08.2011.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala \_\_\_\_\_  
Vreme početka \_\_\_\_\_  
Vreme završetka \_\_\_\_\_  
Potpis \_\_\_\_\_

Ime \_\_\_\_\_  
Prezime \_\_\_\_\_  
Broj indeksa \_\_\_\_\_  
Potpis \_\_\_\_\_

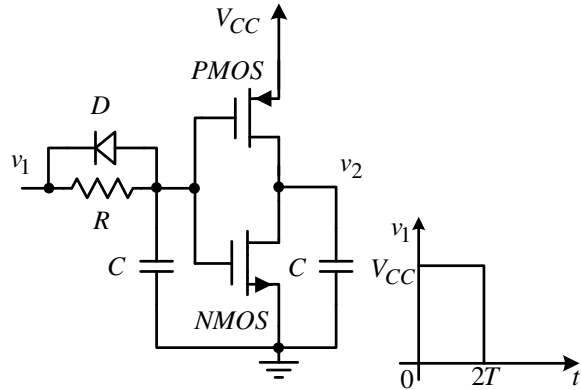
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	<b>20</b>	<b>20</b>	<b>20</b>	<b>20</b>	<b>80</b>
Dobijeno					

1. [20] Na ulaz kola sa slike se dovodi napon  $v_1$  čiji je vremenski dijagram prikazan. Odrediti i nacrtati talasni oblik napona  $v_2$  u vremenskom intervalu  $-\infty < t < +\infty$ . Smatrati da je u provodnom stanju otpornost NMOS tranzistora  $r_{nmos}$  konstantna i iznosi  $r_{nmos} = R$ , dok u neprovodnom stanju NMOS tranzistor ima beskonačnu otpornost, otpornost PMOS tranzistora u provodnom stanju  $r_{pmos}$  je konstantna i iznosi  $r_{pmos} = R$ , dok u neprovodnom stanju PMOS transistor ima



beskonačnu otpornost. ( $\frac{V_{CC}}{2} = |V_T|$ ,  $|V_T|$  – napon uključenja NMOS, PMOS tranzistora; napon provođenja diode  $V_D = \frac{V_{CC}}{10}$  (dioda je idealna);  $RC = T$ ).

### Rešenje:

Do momenta promene napona  $v_1$ , kondenzator na ulazu CMOS invertora je razelektrisan tako da je PMOS tranzistor uključen a NMOS tranzistor isključen. Napon  $v_2$  ima vrednost  $v_2(0^-) = V_{CC}$ . Promenom napona  $v_1$  počinje punjenje kondenzatora na ulazu CMOS invertora (napon počinje da raste). Promena napona kondenzatora na ulazu je opisana relacijom

$$v_C(t) = V_{CC} - V_{CC} e^{-\frac{t}{CR}}$$

Napon  $v_2$ , zadržava vrednost  $v_2 = V_{CC}$  sve dok napon  $v_C$  ne postane  $v_C(t_1) = \frac{V_{CC}}{2}$ , kada se isključuje PMOS tranzistor i uključuje NMOS tranzistor. Vremenski trenutak  $t_1$  se može odrediti iz

$$v_C(t_1) = \frac{V_{CC}}{2} = V_{CC} - V_{CC} e^{-\frac{t_1}{CR}} \Rightarrow t_1 = CR \ln 2 = T \ln 2 \approx 0.7T.$$

Od tog momenta, kondenzator na izlazu se prazni i talasni oblik napona je opisan relacijom

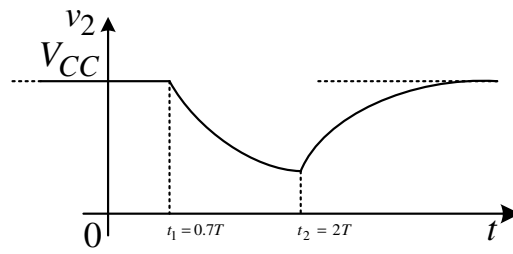
$$v_2(t) = V_{CC} e^{-\frac{t-t_1}{CR}}.$$

Kada se napon na ulazu u momentu

$t_2 = 2T$ , naglo promeni, kroz diodu će proteći veća struja kojom se kondenzator momentalno prazni na napon  $v_C(t_2) = V_D$  što dovodi do ponovnog uključenja PMOS tranzistora i isključenja NMOS tranzistora. U nastavku, kondenzator na izlazu se puni prema relaciji

$$v_2(t) = V_{CC} - (V_{CC} - v_2(t_2)) e^{-\frac{t-t_2}{CR}}, \text{ pri čemu je napon } v_2(t_2) = V_{CC} e^{-\frac{t_2-t_1}{CR}} \approx 0.27V_{CC}.$$

Vremenski oblik napona  $v_2(t)$  je prikazan na slici



2. [20] Ako su A i B neoznačeni dvobitni binarni brojevi, projektovati kombinacionu mrežu koja na izlazu generiše neoznačeni četvorobitni binarni broj Y tako da važi:  $Y = 3A + 4B$ . U slučaju da je rezultat navedene operacije veći od maksimalne vrednosti koja se na izlazu može predstaviti, potrebno je da mreža na izlazu generiše maksimalnu moguću vrednost. Na raspolaganju su I, ILI logička kola i invertori. Izvršiti minimizaciju prekidačkih funkcija pomoću Karnoovih mapa.

**Rešenje:**

Najpre je potrebno formirati kombinacionu tabelu u kojoj će svakoj kombinaciji ulaznih signala biti pridruženi odgovarajući izlazni signali u skladu sa uslovima zadatka. Kombinaciona tabela ima sledeći izgled:

$A_1$	$A_0$	$B_1$	$B_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0
0	0	1	0	1	0	0	0
0	0	1	1	1	1	0	0
0	1	0	0	0	0	1	1
0	1	0	1	0	1	1	1
0	1	1	0	1	0	1	1
0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0
1	0	0	1	1	0	1	0
1	0	1	0	1	1	1	0
1	0	1	1	1	1	1	1
1	1	0	0	1	0	0	1
1	1	0	1	1	1	0	1
1	1	1	0	1	1	1	1
1	1	1	1	1	1	1	1

Jednačine koje opisuju izlazne signale se formiraju uz pomoć Karnoovih mapa izvedenih iz kombinacione tabele:

$A_1A_0 \setminus B_1B_0$	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	1	1	1	1
10	0	1	1	1

$$Y_3 = B_1 + A_1A_0 + A_1B_0$$

$A_1A_0 \setminus B_1B_0$	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	0	1	1	1
10	1	0	1	1

$$Y_2 = \overline{A_1}B_0 + A_0B_0 + A_1B_1 + A_1\overline{A_0}\overline{B_0}$$

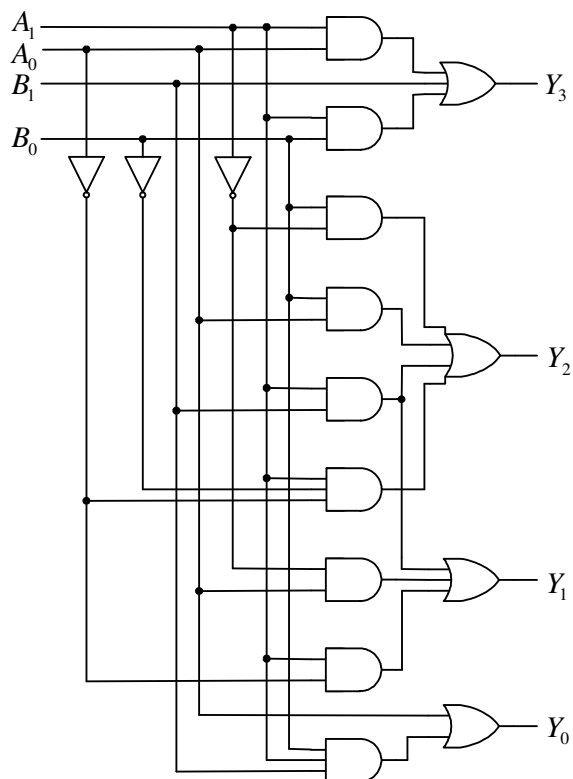
$A_1A_0 \setminus B_1B_0$	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	0	0	1	1
10	1	1	1	1

$$Y_1 = \overline{A_1}A_0 + A_1\overline{A_0} + A_1B_1$$

$A_1A_0 \setminus B_1B_0$	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	1	1	1	1
10	0	0	1	0

$$Y_0 = A_0 + A_1B_1B_0$$

Konačan izgled tražene kombinacione mreže je prikazan na sledećoj slici:



**3. [20] a)** Konstruisati brojač sa D flip flopovima i potrebnim logičkim kolima koji broji u sekvenci 0,1,2,3,4,11,12,13,14,15. Koristiti minimalan broj logičkih kola. Nacrtati električnu šemu povezivanja logičkih kola i flip flopova.

**b)** Ukoliko se iz nekog razloga D flip flop koji određuje bit najmanje težine u prethodno definisanoj sekvenci, zakoči u stanju 1 (0001) i u nastavku ne menja svoje stanje bez obzira na signal na svom D priključku, odrediti novu sekvencu u kojoj će brojati brojač.

**Rešenje:**

a) Tabela prelaza flip flopova prikazana je na slici:

i	D(i)	C(i)	B(i)	A(i)	D(i+1)	C(i+1)	B(i+1)	A(i+1)
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	1	0	1	1
5	1	0	1	1	1	1	0	0
6	1	1	0	0	1	1	0	1
7	1	1	0	1	1	1	1	0
8	1	1	1	0	1	1	1	1
9	1	1	1	1	0	0	0	0

Posle izvršene minimizacije za jednačine prelaza se dobijaju sledeći izrazi:

$$D(i+1) = D\bar{B} + D\bar{C} + C\bar{A}$$

$$C(i+1) = D\bar{C} + D\bar{A} + D\bar{B} + \bar{D}BA$$

$$B(i+1) = B\bar{A} + \bar{B}A + \bar{D}C = B \oplus A + \bar{D}C$$

$$A(i+1) = \bar{A}$$

b) Novonastala situacija odgovara konstantnoj vrednosti A=1, jednačine prelaza za ostale flip flobove tada postaju:

$$D(i+1) = D(\bar{B} + \bar{C})$$

$$C(i+1) = D(\bar{C} + \bar{B}) + \bar{D}B$$

$$B(i+1) = \bar{B} + \bar{D}C$$

$$A(i+1) = 1$$

Sekvenca u kojoj će brojati brojač u ovom režimu je 0001, 0011, 0101, 0011, 0101.....Nakon prelaznog procesa na izlazu brojača se dakle pojavljuju samo dve vrednosti 0011 i 0101.

**4. [20]** Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model šesnaestobitnog pomeračkog registra ulevo.

Pomerački registar treba da ima sledeće ulazne signale: `clk` (signal takta), `shift_en` (signal dozvole za pomeranje ulevo), `shift_in` (signal koje će nakon pomeranja ulevo postati nova vrednost bita najmanje težine u registru), `rst` (signal sinhronog resetu), kao i izlazni signal `shift_out` (signal koji nakon pomeranja ulevo poprima vrednost koju je pre pomeranja imao bit najveće težine u registru) i izlazni šesnaestobitni vektor `q` (koji predstavlja trenutni sadržaj registra) čiji su biti poređani od MSB ka LSB u smeru sa leva na desno.

Ukoliko je kontrolni signal `shift_en='1'` registar treba da obavlja funkciju pomeranja ulevo sinhrono sa silaznom ivicom signala takta `clk`, a u protivnom treba da zadržava postojeći sadržaj bez pomeranja. Ako je signal `rst='1'` sadržaj registra treba da se resetuje sinhrono sa silaznom ivicom signala takta, bez obzira na vrednosti ulaznih signala `shift_en` i `shift_in`.

Napomena: Ocenjuje se precizna upotreba sintakse.

### **Rešenje:**

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY shifter IS PORT
(
    clk,rst,shift_en,shift_in : IN STD_LOGIC;
    shift_out : OUT STD_LOGIC;
    q : OUT STD_LOGIC_VECTOR(15 DOWNT0 0)
);
END shifter;

ARCHITECTURE behav OF shifter IS
    SIGNAL tmp : STD_LOGIC_VECTOR(15 DOWNT0 0);
BEGIN
    PROCESS (clk) BEGIN
        IF falling_edge(clk) THEN
            IF rst='1' THEN
                tmp <= (OTHERS => '0');
            ELSIF shift_en='1' THEN
                tmp <= tmp(14 DOWNT0 0) & shift_in;
                shift_out <= tmp(15);
            END IF;
        END IF;
    END PROCESS;
    q <= tmp;
END behav;

```