

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA \_\_\_\_\_

Ispit: 16.09.2011.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala \_\_\_\_\_  
Vreme početka \_\_\_\_\_  
Vreme završetka \_\_\_\_\_  
Potpis \_\_\_\_\_

Ime \_\_\_\_\_  
Prezime \_\_\_\_\_  
Broj indeksa \_\_\_\_\_  
Potpis \_\_\_\_\_

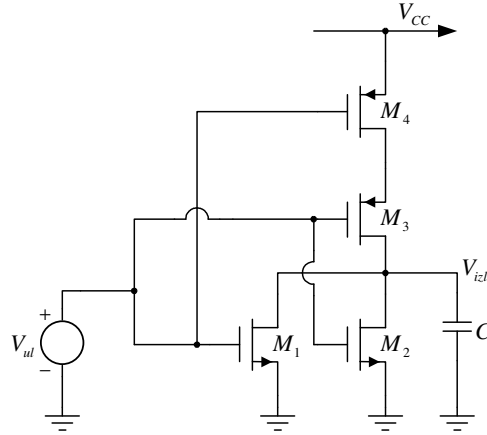
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	<b>20</b>	<b>20</b>	<b>20</b>	<b>20</b>	<b>80</b>
Dobijeno					

1. [20] Izlaz CMOS logičkog kola sa slike je opterećen kondenzatorom  $C=100\text{pF}$ , dok su ulazi kratko spojeni i povezani na naponski generator povorke pravougaonih impulsa  $V_{ul}$ . Frekvencija povorke pravougaonih impulsa je  $f = 50\text{ MHz}$ , sa jednakim trajanjem impulsa i pauze, dok je amplituda impulsa je  $5\text{V}$  (pri čemu je naponski nivo impulsa  $5\text{V}$ , a naponski nivo pauze  $0\text{V}$ ). Kolo se napaja sa  $V_{CC} = 5\text{V}$ . PMOS tranzistori u provodnom režimu se mogu ekvivalentirati sa otpornostima  $r_{dsP} = 50\Omega$ , a u neprovodnom režimu sa  $r_{dsP} \rightarrow \infty$ , dok se NMOS tranzistori u provodnom režimu mogu ekvivalentirati sa otpornostima  $r_{dsN} = 200\Omega$ , a u neprovodnom režimu sa  $r_{dsN} \rightarrow \infty$ .



Izračunati i nacrtati vremenski oblik napona na izlazu kola  $V_{izl}$  u ustaljenom stanju.

### Rešenje:

Uspostavljanje logičke nule na izlazu:

$$V_{izl}(t) = V_{izl}(\infty) - [V_{izl}(\infty) - V_{izl}(0^+)] \cdot e^{-\frac{t}{\tau_1}}$$

$$V_{izl}(\infty) = 0; \quad V_{izl}(0^+) = V_{izl}(0^-) = V_{i\max}$$

$$\tau_1 = C \cdot \frac{r_{dsN}}{2} = 10\text{ns}$$

$$V_{izl}(t) = V_{i\max} \cdot e^{-\frac{t}{10\text{ns}}}; \quad 0 \leq t \leq \frac{T}{2}; \quad T = \frac{1}{f} = 20\text{ns}$$

Uspostavljanje logičke jedinice na izlazu:

$$V_{izl}(t) = V_{izl}(\infty) - [V_{izl}(\infty) - V_{izl}(\frac{T}{2}^+)] \cdot e^{-\frac{t - \frac{T}{2}}{\tau_2}}$$

$$V_{izl}(\infty) = V_{CC}; \quad V_{izl}(\frac{T}{2}^+) = V_{izl}(\frac{T}{2}^-) = V_{i\min}$$

$$\tau_2 = C \cdot 2r_{dsP} = 10\text{ns}$$

$$V_{izl}(t) = V_{CC} - [V_{CC} - V_{i\min}] \cdot e^{-\frac{t - \frac{T}{2}}{10\text{ns}}}; \quad \frac{T}{2} \leq t \leq T$$

Iz uslova:

$$V_{izl}(\frac{T}{2}) = V_{i\min} \quad \text{i} \quad V_{izl}(T) = V_{i\max}$$

sledi:

$$V_{i\min} = V_{i\max} \cdot e^{-\frac{T}{2 \cdot 10\text{ns}}} \quad \text{i} \quad V_{i\max} = V_{CC} - [V_{CC} - V_{i\min}] \cdot e^{-\frac{T}{10\text{ns}}}$$

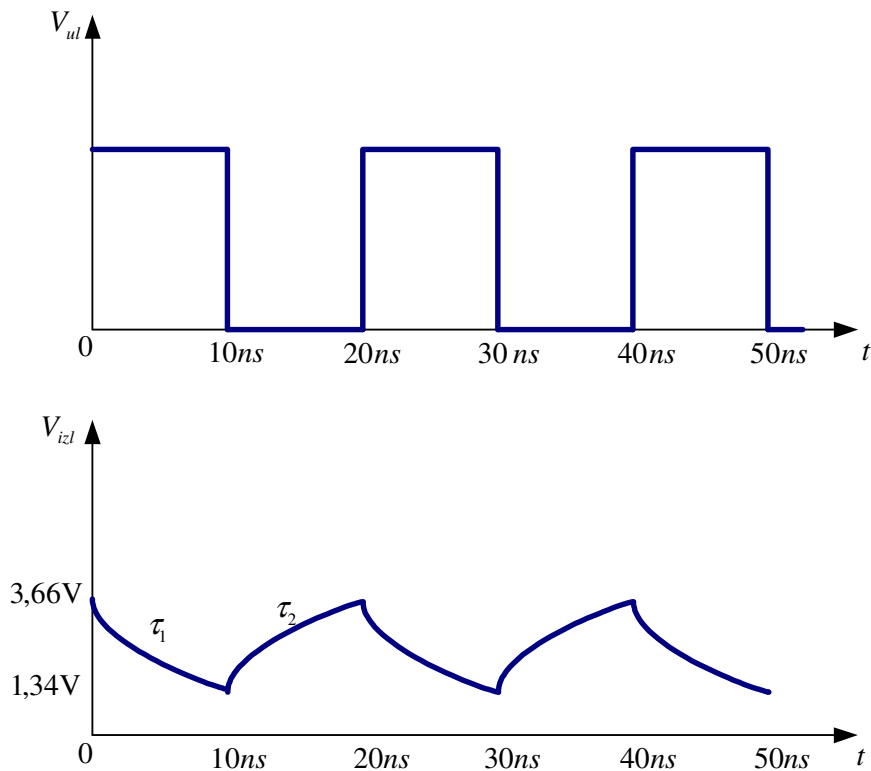
Rešavanjem dobijenih jednačina po  $V_{i\min}$  i  $V_{i\max}$  se dobija:

$$V_{i\max} = \frac{V_{CC}}{1 + e^{-1}} \approx 3,66V \quad \text{i} \quad V_{i\min} = \frac{e^{-1} \cdot V_{CC}}{1 + e^{-1}} \approx 1,34V$$

Dakle  $V_{izl}(t)$  je periodičan signal sa periodom 20ns, a unutar intervala trajanja jedne periode važi:

$$V_{izl}(t) = 3,66V \cdot e^{-\frac{t}{10ns}} \quad \text{za } 0 \leq t \leq 10ns \quad \text{i} \quad V_{izl}(t) = 5V - 3,66V \cdot e^{-\frac{t-10ns}{10ns}} \quad \text{za } 10ns \leq t \leq 20ns.$$

Vremenski oblici ulaznog i izlaznog signala su prikazani na sledećoj slici:



2. [20] Na ulaz kombinacione mreže se dovode dva četvobitna binarna broja A ( $A(3)A(2)A(1)A(0)$ ) i B ( $B(3)B(2)B(1)B(0)$ ) i kontrolni signal F. U zavisnosti od vrednosti kontrolnog signala F kombinaciona mreža na izlazu  $C(C(3)C(2)C(1)C(0))$  daje sledeće vrednosti

- $F=1$ ,  $C=A-B$  (A i B se posmatraju kao označeni binarni brojevi predstavljeni u komplementu dvojke).
- $F=0$ ,  $C(3) = A > B$  (A i B se posmatraju kao neoznačeni binarni brojevi). Ostali biti vektora C treba da budu na logičkoj nuli.

Koristeći minimalan broj proizvoljnih logičkih kola konstruisati ovu kombinacionu mrežu.

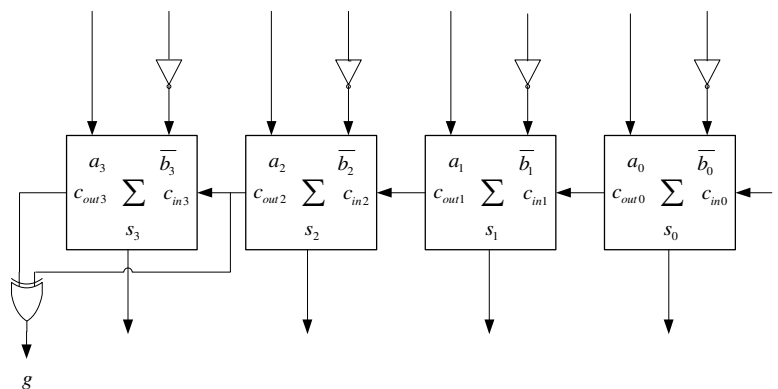
### Rešenje:

Kada je  $F=1$  kombinaciona mreža vrši oduzimanje označenih binarnih brojeva. Oduzimanje brojeva u komplementu dvojke se može prikazati kao:

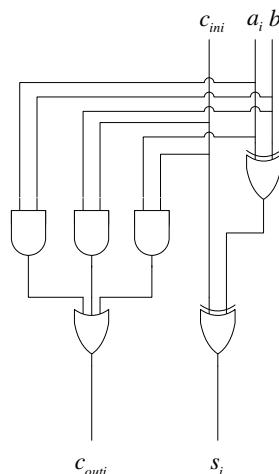
$a - b = a + (-b) = a + \bar{b} + 1$ , gde je  $\bar{b}$ , bit po bit komplementirana vrednost binarnog broja  $b$ .

Prema tome kombinaciona mreža za oduzimanje brojeva u komplementu dvojke sa četiri bita se može projektovati kao kaskadna veza četiri ćelije potpunog sabirača, gde se na svaki ulaz  $i$ -te ćelije dovodi  $a_i$  i  $\bar{b}_i$ , pri čemu je  $c_{in0}=1$ , prenos iz nepostojećeg razreda, kako bi se dobio komplement broja  $b$ .

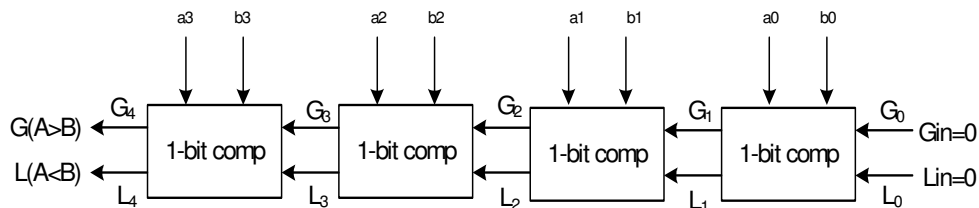
Realizacija ovog dela kombinacione mreže je prikazana na slici:



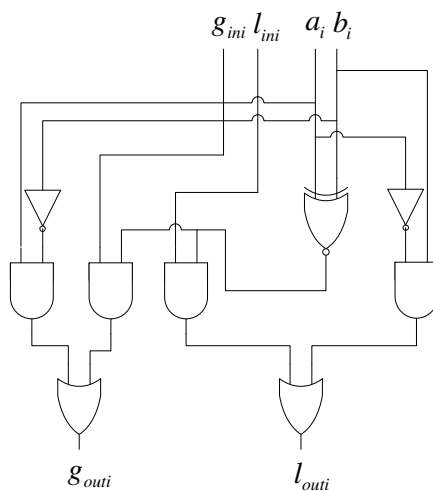
Realizacija jedne ćelije potpunog sabirača je prikazana na slici



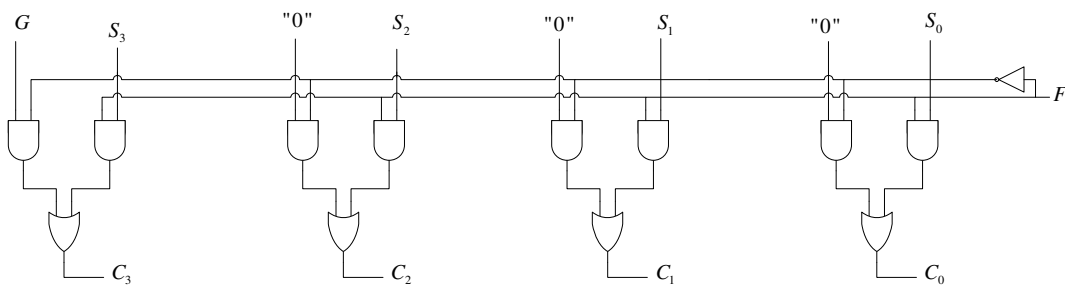
Kada je  $F=0$  kombinaciona mreža radi kao komparator. Realizacija četvorobitnog komparatora je prikazana na slici.



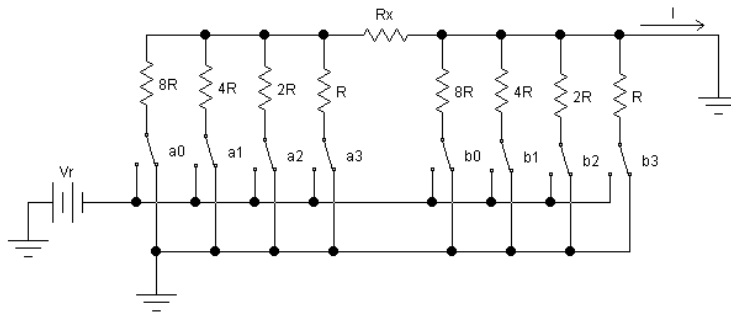
Komparator je realizovan kaskadnim vezivanjem četiri ćelije jednobitnog komparatora. Realizacija jedne ćelije komparatora je prikazana na slici.



Realizacija tražene kombinacione mreže je prikazana na slici



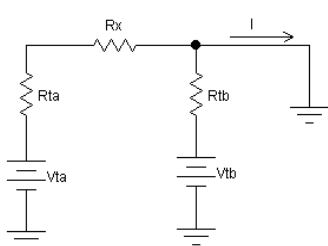
3. [20] Na slici je prikazana šema koja se koristi kao sastavni deo D/A konvertora sa 8 ulaza. Struja  $I$  predstavlja analogni ekvivalent digitalne vrednosti  $D_n$  koja je zapisana u binarno kodovanom decimalnom sistemu (NBCD) sa dve decimalne cifre  $a$ -lakša i  $b$ -teža cifra:  $I_i = kD_n$ .



- Odrediti vrednost otpornika  $R_x$  tako da se konvertor može koristiti u prirodnom BCD kodu. Ako je vrednost binarne promenljive 1, ( $a_i = 1, b_i = 1$ ) prekidač je spojen na referentni napon  $V_r$ , u suprotnom ( $a_i = 0, b_i = 0$ ), prekidač je na masi.
- Odrediti vrednost konstante  $k$  u izrazu za  $I_i$
- Uz pomoć operacionog pojačavača, minimalnog broja otpornika čije vrednosti je potrebno odrediti i prikazane lestvičaste strukture (sa izračunatom vrednošću  $R_x$ ) izvršiti sintezu mreže koja će na svom izlazu davati napon  $V_i = V_r D_n$ .

### Rešenje:

a) Naponi koji potiču od odgovarajuće cifre BCD broja se mogu ekvivalentirati odgovarajućim tevenenovim generatorima  $V_{Ta}$  i  $V_{Tb}$  sa otpornostima  $R_{Ta}$  i  $R_{Tb}$ , kao na slici.



Otpornosti generatora su jednake i iznose  $R_{Ta} = R_{Tb} = \frac{8}{15} R = R_T$ .

Naponi tevenenovih generatora su :

$$V_{Ta} = -\frac{V_r}{15} (a_0 2^0 + a_1 2^1 + a_2 2^2 + a_3 2^3) \quad \text{i}$$

$$V_{Tb} = -\frac{V_r}{15} (b_0 2^0 + b_1 2^1 + b_2 2^2 + b_3 2^3)$$

$$\text{struja } I \text{ se dobija kao } I = \frac{V_{Ta}}{R_{Ta} + R_x} + \frac{V_{Tb}}{R_{Tb}} = \frac{1}{R_T + R_x} (V_{Ta} + (1 + \frac{R_x}{R_T}) V_{Tb}) = -\frac{V_r}{15(R_T + R_x)} (a + (1 + \frac{R_x}{R_T}) b),$$

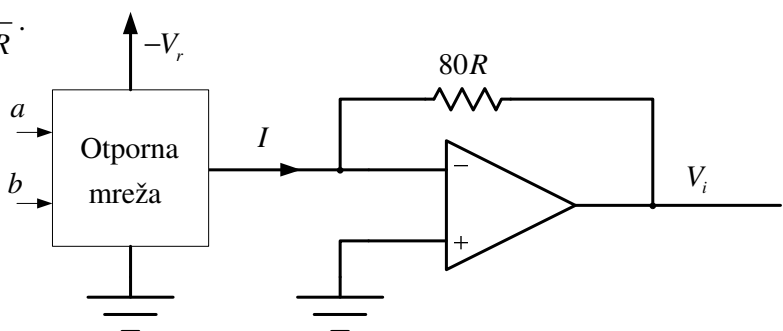
gde su  $a$  i  $b$  decimalne vrednosti binarnih ekvivalenata. Za BCD kod potrebno je da težinski faktor za cifru desetice bude 10 ( $b$  je cifra desetica,  $a$  je cifra jedinica). Odatle je

$$(1 + \frac{R_x}{R_T}) = 10 \Rightarrow R_x = 9R_T = 4.8R. \text{ Izlazna struja u tom slučaju je:}$$

$$I = -V_r(a + 10b) / 150R_T \Rightarrow I = -\frac{V_r}{80R} (a + 10b)$$

b) Vrednost konstante  $k$  iznosi  $k = -\frac{V_r}{80R}$ .

c) Granu otporne mreže sa strujom  $I$  na izlazu je potrebno spojiti na virtuelnu masu operacionog pojačavača kao na slici.



**4. [20]** Koristeći se metodom dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model kombinacione mreže koja na svom višebitnom izlazu Y generiše binarni broj, koji predstavlja poziciju najvišeg bita 10-bitnog ulaznog vektora A koji je na nivou logičke jedinice i to pod uslovom da je ulazni signal EN na nivou logičke jedinice. Ukoliko ne postoji bit u ulaznom vektoru A koji je na nivou logičke jedinice, ili ukoliko je signal EN na nivou logičke nule, na izlazu Y treba da se generiše binarno kodovan broj nula.

Smatrati da je pozicija bita najmanje težine u ulaznom vektoru A – pozicija 1, da je pozicija prvog višeg bita – pozicija 2, itd. Shodno tome, pozicija bita najveće težine u ulaznom vektoru A je pozicija 10.

U VHDL modelu, svi vektori treba da imaju bite u smeru MSB>LSB.

Napomena: Ocenjuje se precizna upotreba sintakse.

### **Rešenje:**

```
library IEEE;
use IEEE.std_logic_1164.all;

entity arbiter is
    port (A: in STD_LOGIC_VECTOR (9 downto 0);
          EN: in STD_LOGIC;
          Y: out STD_LOGIC_VECTOR (3 downto 0));
end arbiter;

architecture behav of arbiter is
begin
    process (A, EN)
    begin
        if (EN = '1') then
            if (A(9) = '1') then
                Y <= "1010";
            elsif (A(8) = '1') then
                Y <= "1001";
            elsif (A(7) = '1') then
                Y <= "1000";
            elsif (A(6) = '1') then
                Y <= "0111";
            elsif (A(5) = '1') then
                Y <= "0110";
            elsif (A(4) = '1') then
                Y <= "0101";
            elsif (A(3) = '1') then
                Y <= "0100";
            elsif (A(2) = '1') then
                Y <= "0011";
            elsif (A(1) = '1') then
                Y <= "0010";
            elsif (A(0) = '1') then
                Y <= "0001";
            else
                Y <= "0000";
            end if;
        else
            Y <= "0000";
        end if;
    end process;
end behav;
```