

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 29.06.2011.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

KANDIDAT:

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	20	20	20	20	80
Dobijeno					

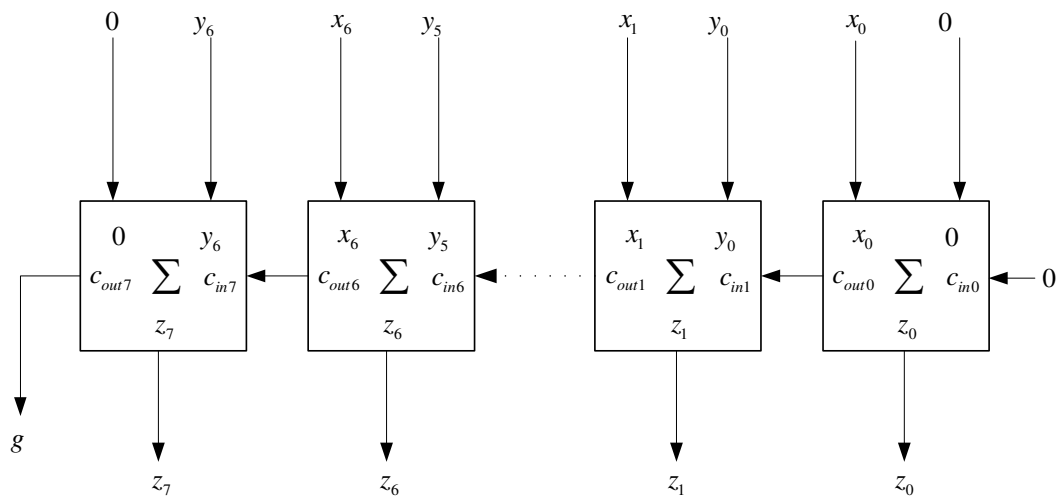
1. [20] X i Y su neoznačeni sedmobitni binarni brojevi

- [8] Projektovati kombinacionu mrežu koja, ukoliko se na ulaz dovedu brojevi X i Y, na izlazu generiše broj Z tako da važi $Z=X+2Y$.
- [12] Projektovati kombinacionu mrežu koja, ukoliko se na ulaz dovedu brojevi X i Y i kontrolni signal S, na izlazu generiše broj Z tako da važi $Z=X+2Y$ ukoliko je $S=1$ i $Z=2X+Y$ ukoliko je $S=0$.

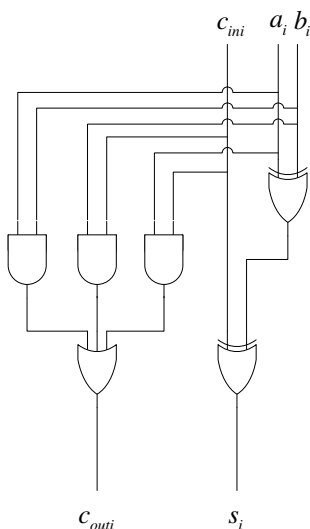
Za obe realizacije su na raspolaganju standardna logička kola, pri čemu je potrebno koristiti minimalan broj logičkih kola.

Rešenje:

a) Tražena mreža se može najlakše realizovati kao potpuni sabirač na čije ulaze se dovode brojevi X i $Y_1 = 2Y$. Vrednost Y_1 se može napisati sa najmanje osam bita, i predstavlja pomereno po bitima broj Y za jedno mesto u levo (množenje sa dva). Potpuni sabirač mora imati osam kaskadno povezanih ćelija koje vrše sabiranje po razredima. Realizacija je prikazana na slici.

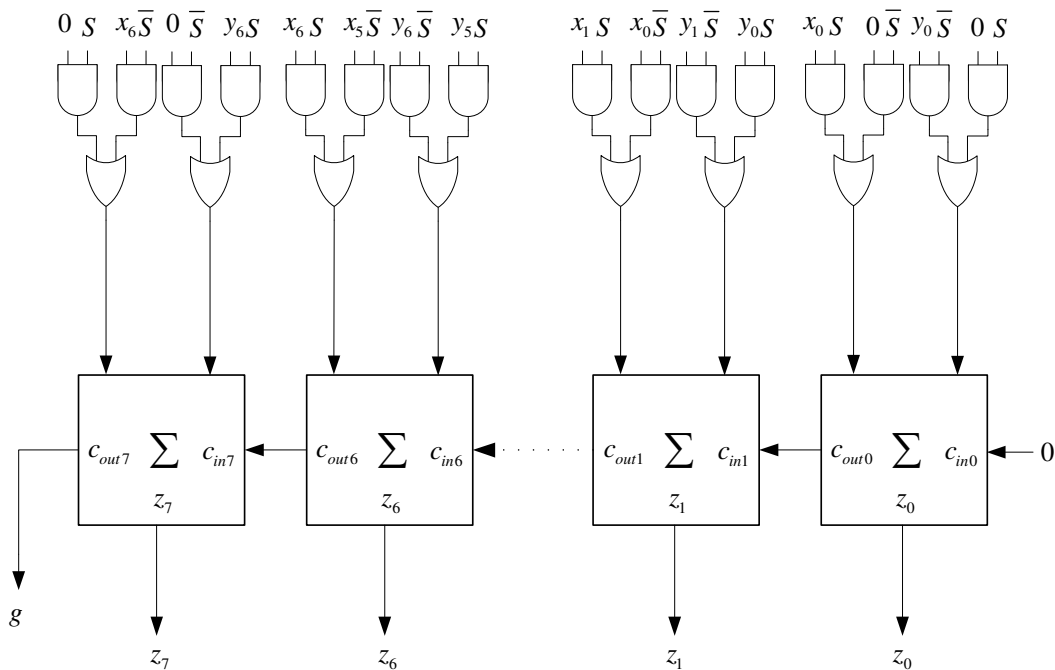


Realizacija jedne ćelije potpunog sabirača je prikazana na slici



b) Izraz za Z se u ovom slučaju može napisati u formi

$Z = (2X\bar{S} + SX) + (Y\bar{S} + 2YS)$, na osnovu čega se može zaključiti da je realizacija ove mreže slična prethodnoj, pri čemu se na ulaze i -te ćelije potpunog sabirača iz prethodne tačke dovode multipleksirane vrednosti X_i, X_{i+1} odnosno Y_i, Y_{i+1} u zavisnosti od vrednosti kontrolnog signala S . Realizacija je prikazana na slici



Realizacija svake ćelije potpunog sabirača je identična kao u prethodnoj tački.

2. a) [14] Koristeći minimalni broj ivičnih JK flip-flopova koji se okidaju rastućom ivicom signala takta CLK i potreban broj proizvoljnih logičkih kola, sintetisati trobitni sinhroni brojač koji broji unazad u binarnom kodu sa osnovom brojanja osam.

b) [6] Koristeći brojač iz prethodne tačke i multiplekser 4/1, realizovati generator periodičnog signala čija će perioda biti četiri puta veća od periode signala takta CLK, a odnos impuls/perioda 1:4 (tj. trajanje logičke jedinice treba da bude četiri puta manje od periode generisanog signala).

Rešenje:

a) Tabela prelaza brojača ima sledeći izgled:

Q_2	Q_1	Q_0	$Q_2(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	1	1	1	1	X	1	X	1	X
0	0	1	0	0	0	0	X	0	X	X	1
0	1	0	0	0	1	0	X	X	1	1	X
0	1	1	0	1	0	0	X	X	0	X	1
1	0	0	0	1	1	X	1	1	X	1	X
1	0	1	1	0	0	X	0	0	X	X	1
1	1	0	1	0	1	X	0	X	1	1	X
1	1	1	1	1	0	X	0	X	0	X	1

Pomoću Karnoovih mapa se dobija:

$Q_2 / Q_1 Q_0$	00	01	11	10
0	1	0	0	0
1	X	X	X	X

$$J_2 = \overline{Q_1} \cdot \overline{Q_0}$$

$Q_2 / Q_1 Q_0$	00	01	11	10
0	X	X	X	X
1	1	0	0	0

$$K_2 = \overline{Q_1} \cdot \overline{Q_0}$$

$Q_2 / Q_1 Q_0$	00	01	11	10
0	1	0	X	X
1	1	0	X	X

$$J_1 = \overline{Q_0}$$

$Q_2 / Q_1 Q_0$	00	01	11	10
0	X	X	0	1
1	X	X	0	1

$$K_1 = \overline{Q_0}$$

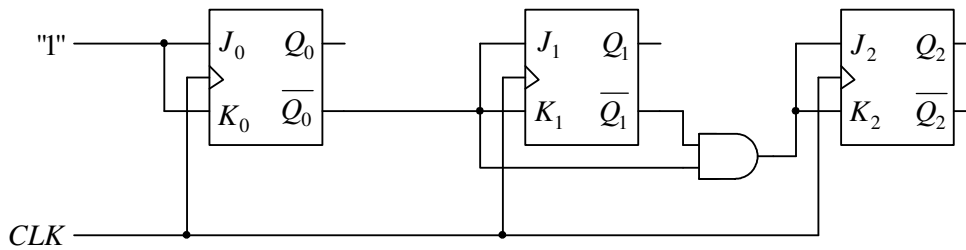
$Q_2 / Q_1 Q_0$	00	01	11	10
0	1	X	X	1
1	1	X	X	1

$$J_0 = 1$$

$Q_2 / Q_1 Q_0$	00	01	11	10
0	X	1	1	X
1	X	1	1	X

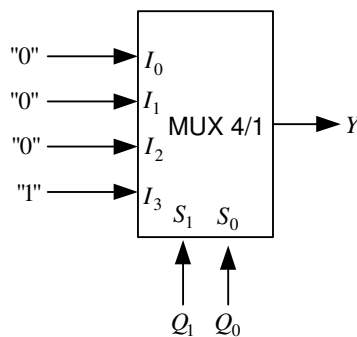
$$K_0 = 1$$

Na osnovu izvedenih jednačina sledi da se traženi brojač može realizovati na sledeći način:



b) Na selekcione ulaze multipleksera $S_1 S_0$ je potrebno dovesti izlaze brojača $Q_1 Q_0$. Ti izlazi će imati vrednost $Q_1 Q_0 = 11$ periodično, sa periodom koja je četiri puta veća od periode signala takta CLK. Na ulaz multipleksera koji dogovara vrednostima selekcionih ulaza $S_1 S_0 = 11$ je potrebno dovesti logičku jedinicu, a na ostale ulaze multipleksera treba dovesti logičku nulu. Time se postiže da na izlazu multipleksera bude generisan signal Y čija će perioda biti četiri puta veća od periode signala takta CLK, a odnos impuls/perioda 1:4.

Opisano rešenje je prikazano na sledećoj slici:

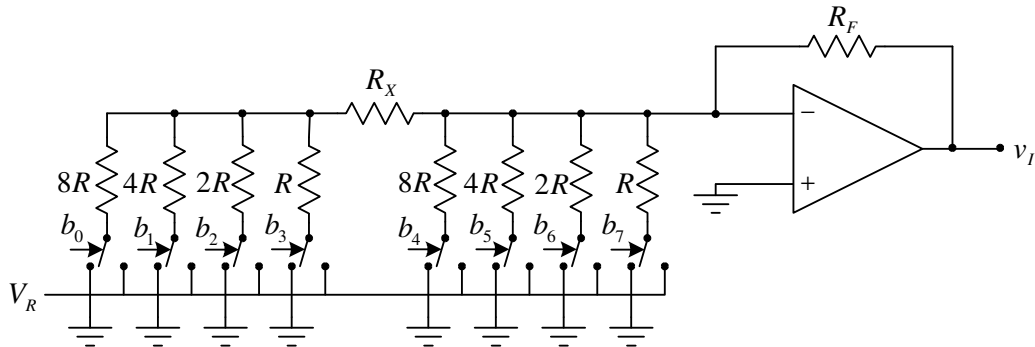


3. [20] Na slici je prikazana šema osmobitnog D/A konvertora. Visoki logički nivo bita b_i postavlja prekidač u položaj u kome je donji kraj odgovarajućeg otpornika povezan na referentni napon V_R , a niski logički nivo bita b_i postavlja prekidač u položaj u kome je donji kraj odgovarajućeg otpornika povezan na masu. Smatrati da su prekidači idealni.

a) [10] Odrediti vrednost otpornika R_x (u zavisnosti od otpornosti R) tako da konvertor konvertuje broj predstavljen u prirodnom BCD kodu u odgovarajući analogni napon.

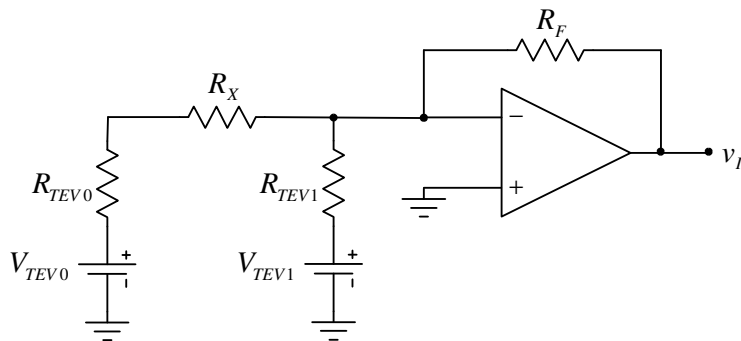
b) [5] Izvesti izraz za napon v_I .

c) [5] Kolika treba da bude otpornost otpornika R_x (u zavisnosti od otpornosti R) da bi konvertor konvertovao brojeve predstavljene u prirodnom binarnom kodu u odgovarajući analogni napon?



Rešenje:

a) Ako se deo kola levo od otpornika R_x i deo kola između otpornika R_x i invertujućeg ulaza operacionog pojačavača zamene ekvivalentnim Tevenenovim generatorima, D/A konvertor može da se predstavi na sledeći način:



pri čemu su:

$$R_{TEV0} = R_{TEV1} = 8R \parallel 4R \parallel 2R \parallel R = \frac{8}{15} R;$$

$$V_{TEV0} = \frac{4R \parallel 2R \parallel R}{8R + 4R \parallel 2R \parallel R} b_0 V_R + \frac{8R \parallel 2R \parallel R}{4R + 8R \parallel 2R \parallel R} b_1 V_R + \frac{8R \parallel 4R \parallel R}{2R + 8R \parallel 4R \parallel R} b_2 V_R + \frac{8R \parallel 4R \parallel 2R}{R + 8R \parallel 4R \parallel 2R} b_3 V_R$$

$$V_{TEV0} = \frac{V_R}{15} (b_0 2^0 + b_1 2^1 + b_2 2^2 + b_3 2^3)$$

$$V_{TEV1} = \frac{4R \parallel 2R \parallel R}{8R + 4R \parallel 2R \parallel R} b_4 V_R + \frac{8R \parallel 2R \parallel R}{4R + 8R \parallel 2R \parallel R} b_5 V_R + \frac{8R \parallel 4R \parallel R}{2R + 8R \parallel 4R \parallel R} b_6 V_R + \frac{8R \parallel 4R \parallel 2R}{R + 8R \parallel 4R \parallel 2R} b_7 V_R$$

$$V_{TEV0} = \frac{V_R}{15} (b_4 2^0 + b_5 2^1 + b_6 2^2 + b_7 2^3)$$

Izlazni napon se može predstaviti kao:

$$v_I = -\frac{R_F}{R_{TEV0} + R_X} V_{TEV0} - \frac{R_F}{R_{TEV1}} V_{TEV1}$$

Da bi konvertor konvertovao broj predstavljen u prirodnom BCD kodu u odgovarajući analogni napon na izlazu, komponenta izlaznog napona koja potiče od dekade koju formiraju biti $b_3 b_2 b_1 b_0$ (tj. komponente koju formira generator V_{TEV0}) mora biti 10 puta manja od komponente izlaznog napona koja potiče od dekade koju formiraju biti $b_7 b_6 b_5 b_4$ (tj. komponente koju formira generator V_{TEV1}), tj.:

$$\frac{R_F}{R_{TEV1}} = 10 \frac{R_F}{R_{TEV0} + R_X}.$$

Iz poslednje jednačine se dobija:

$$R_X = 9R_{TEV0} = 4,8R.$$

b) Na osnovu izraza iz prethodne tačke može se pisati:

$$v_I = -\frac{R_F}{R_{TEV0} + R_X} V_{TEV0} - \frac{R_F}{R_{TEV1}} V_{TEV1} = -\frac{R_F}{R_{TEV0}} \left(\frac{1}{10} V_{TEV0} + V_{TEV1} \right)$$

$$v_I = -\frac{V_R R_F}{80R} \left(\sum_{i=0}^3 b_i 2^i + 10 \sum_{i=0}^3 b_{i+4} 2^i \right).$$

c) Da bi konvertor konvertovao broj predstavljen u prirodnom binarnom kodu u odgovarajući analogni napon na izlazu, komponenta izlaznog napona koja potiče od dekade koju formiraju biti $b_3 b_2 b_1 b_0$ (tj. komponente koju formira generator V_{TEV0}) mora biti 16 puta manja od komponente izlaznog napona koja potiče od dekade koju formiraju biti $b_7 b_6 b_5 b_4$ (tj. komponente koju formira generator V_{TEV1}), tj.:

$$\frac{R_F}{R_{TEV1}} = 16 \frac{R_F}{R_{TEV0} + R_X}.$$

Iz poslednje jednačine se dobija:

$$R_X = 15R_{TEV0} = 8R.$$

4. a) [6] Dat je VHDL kod kojim je opisana jedna kombinaciona mreža.

```

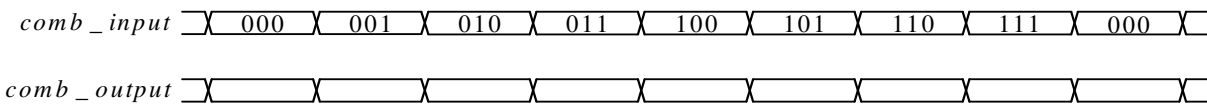
LIBRARY IEEE;
USE ieee.std_logic_1164.all;

ENTITY comb IS PORT
(
    comb_input : IN STD_LOGIC_VECTOR(2 DOWNTO 0);
    comb_output : OUT STD_LOGIC_VECTOR(7 DOWNTO 0)
);
END comb;

ARCHITECTURE behav OF comb IS
BEGIN
    WITH comb_input SELECT
        comb_output <= "10000000" WHEN "111",
                        "01000000" WHEN "110",
                        "00100000" WHEN "101",
                        "00010000" WHEN "100",
                        "00001000" WHEN "011",
                        "00000100" WHEN "010",
                        "00000010" WHEN "001",
                        "00000001" WHEN "000",
                        "00000000" WHEN OTHERS;
END behav;

```

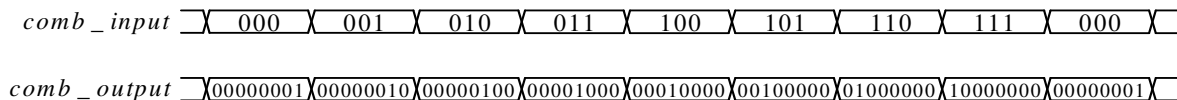
Na osnovu vremenskog dijagrama ulaznog vektora, odrediti vrednosti izlaznog vektora i u binarnom formatu ih upisati na dati vremenski dijagram.



b) [14] Korišćenjem dodatnih WITH-SELECT naredbi, i potrebnog broja dodatnih internih signala, modifikovati dati kod tako da se dobije VHDL kod dekodera 3/8, sa enable signalom. Kada je enable signal neaktivan, na izlazu dekodera treba da se pojave sve nule. Kada je enable signal aktivan, dekodera treba da regularno radi.

Rešenje:

a) Traženi vremenski dijagram je prikazan na sledećoj slici:



b) Traženi VHDL kod ima sledeći izgled:

```

LIBRARY IEEE;
USE ieee.std_logic_1164.all;

ENTITY decoder_3_8 IS PORT
(
    enable : IN STD_LOGIC;
    dec_input : IN STD_LOGIC_VECTOR(2 DOWNTO 0);
    dec_output : OUT STD_LOGIC_VECTOR(7 DOWNTO 0)
);
END decoder_3_8;

ARCHITECTURE behav OF decoder_3_8 IS
    SIGNAL temp : STD_LOGIC_VECTOR(7 DOWNTO 0);
BEGIN
    WITH dec_input SELECT
        temp <= "10000000" WHEN "111",
                "01000000" WHEN "110",

```



```
        "00100000" WHEN "101",
        "00010000" WHEN "100",
        "00001000" WHEN "011",
        "00000100" WHEN "010",
        "00000010" WHEN "001",
        "00000001" WHEN "000",
        "00000000" WHEN OTHERS;
WITH enable SELECT
    dec_output <= "00000000" WHEN '0',
                temp WHEN '1';
END behav;
```