

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 18.01.2012.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

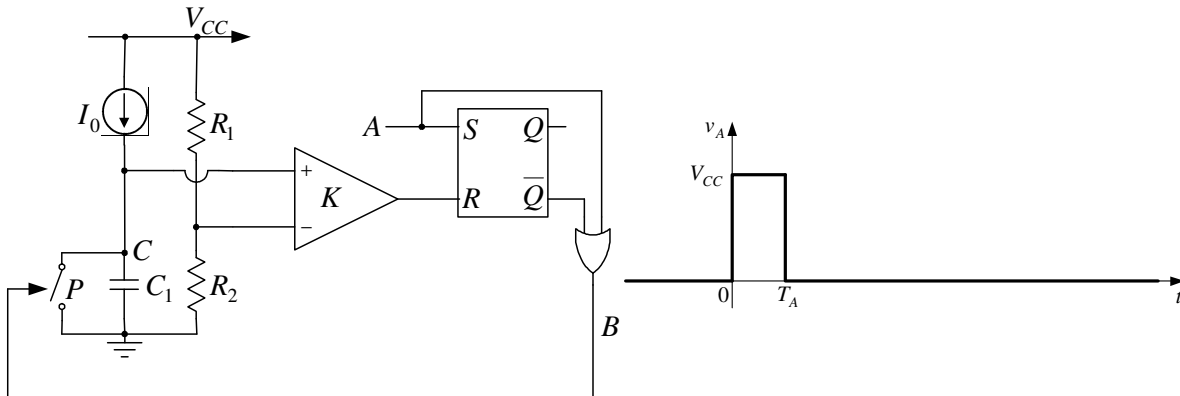
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	20	20	20	20	80
Dobijeno					

1. [20] U kolu sa slike, otpornosti oba otpornika, kapacitivnost kondenzatora C_1 , napon napajanja V_{CC} i struja strujnog izvora I_0 se mogu smatrati poznatim. Naponski kontrolisani prekidač P je zatvoren ako je $B=1$ i tada se može ekvivalentirati otpornošću $R_{ON} \rightarrow 0$, a otvoren je ako je $B=0$ i tada se može ekvivalentirati otpornošću $R_{OFF} \rightarrow \infty$. Logičko ILI kolo je idealano, CMOS tipa sa naponom napajanja V_{CC} , a SR leč sačinjavaju CMOS logička kola sa naponom napajanja V_{CC} . Komparator K je idealan sa naponom napajanja V_{CC} . Za $t < 0$ se celo kolo nalazilo dovoljno dugo vremena u stacionarnom stanju. Odrediti i nacrtati vremenske dijagrame napona u tačkama B, C i izlazu leča Q, ako se na ulaz A dovede kratkotrajni naponski impuls prikazan na slici. Odrediti trajanje impulsa u tački B i tački Q.



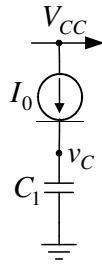
Rešenje:

Za $t < 0$ i $v_A = 0$, u stabilnom stanju je $S=0$, a R može biti ili na nivou logičke jedinice ili na nivou logičke nule. Ako se pretpostavi da je $R=1$, tada sledi da je $Q=0$, $\bar{Q}=1$ i $B=1$ što prema uslovu zadatka zatvara prekidač, a zatvoren prekidač daje napon na kondenzatoru C_1 ravan nuli, a to daje $R=0$, što je u suprotnosti sa polaznom pretpostavkom (što znači da je polazna pretpostavka $R=1$ bila pogrešna). Iz navedenog se može zaključiti da je u stabilnom stanju $R=0$.

Dakle, u stabilnom stanju su oba ulaza leča (R i S) na logičkoj nuli, i ostaje da se utvrdi na kom nivou su signali Q i \bar{Q} . Ukoliko se pretpostavi da je u stacionarnom stanju $Q=1$ i $\bar{Q}=0$, sledi zaključak da je $B=0$, što znači da je prekidač P otvoren i da je kondenzator napunjen. U tom slučaju bi bilo $R=1$, što bi značilo da je $Q=0$ i $\bar{Q}=1$, što je u suprotnosti sa uvedenom pretpostavkom (da je $Q=1$ i $\bar{Q}=0$).

Dakle, u stabilnom stanju su oba ulaza leča (R i S) na logičkoj nuli $Q=0$, $\bar{Q}=1$, $B=1$, P-zatvoren i $v_C=0$. Neposredno nakon pojave uzlazne ivice impulsa u tački A (tj. u trenutku $t=0^+$) je: $v_A=1$, ulaz leča S je na logičkoj jedinici, ulaz leča R je na logičkoj nuli, tako da je $Q=1$, $\bar{Q}=0$, $B=1$ i P-zatvoren.

Nakon pojave silazne ivice impulsa u tački A je: $v_A=0$, ulaz leča S je na logičkoj nuli, ulaz leča R je na logičkoj nuli, tako da je $Q=1$ i $\bar{Q}=0$, $B=0$, P-otvoren, a dato kolo se može ekvivalentirati na način prikazan na sledećoj slici:



Tada se kondenzator puni vremenski konstantnom strujom I_0 . Stoga će se napon na kondenzatoru linearno povećavati sa nagibom $\frac{I_0}{C_1}$ (s obzirom da je veza između struje i napona kondenzatora definisana relacijom $v_C(t) = \frac{1}{C_1} \int i_{C_1}(t) dt$). Ovaj proces će se dešavati sve dok napon na kondenzatoru (tj. na ulazu gornjeg komparatora) ne dostigne vrednost $\frac{R_2 V_{CC}}{R_1 + R_2}$ kada izlaz komparatora postaje logička jedinica što resetuje leč i nakon toga je: $Q = 0$ i $\overline{Q} = 1$, $B = 1$, P-zatvoren i $v_C = 0$. Pad napona u tački C sa vrednosti $\frac{R_2 V_{CC}}{R_1 + R_2}$ na 0 se dešava momentalno zbog otpornosti prekidača P kada je zatvoren $R_{ON} \rightarrow 0$.

Period za koji je prekidač P bio otvoren (tj. trajanje impulsa u tački B) se određuje iz uslova:

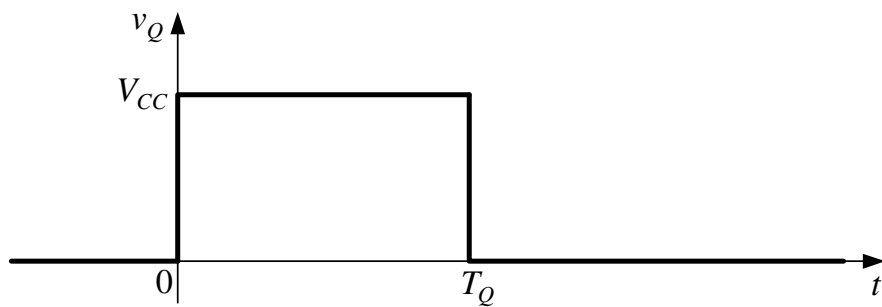
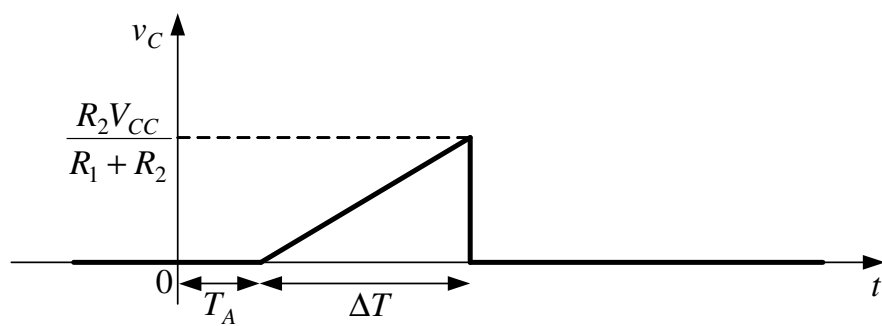
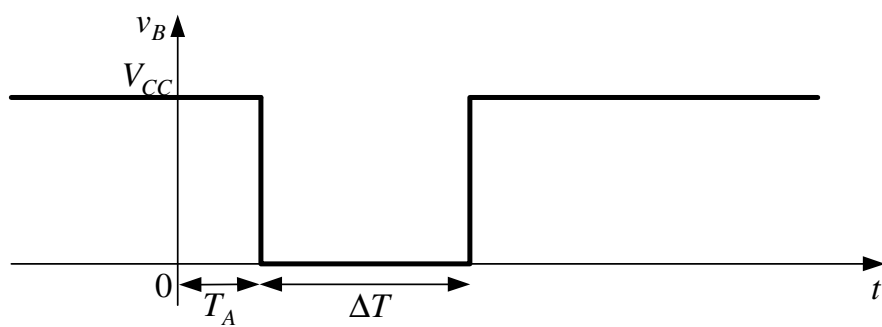
$$\frac{I_0}{C_1} = \frac{\frac{R_2 V_{CC}}{(R_1 + R_2)}}{\Delta T}$$

$$\text{odakle se dobija da je: } \Delta T = \frac{R_2 V_{CC} C_1}{(R_1 + R_2) I_0}.$$

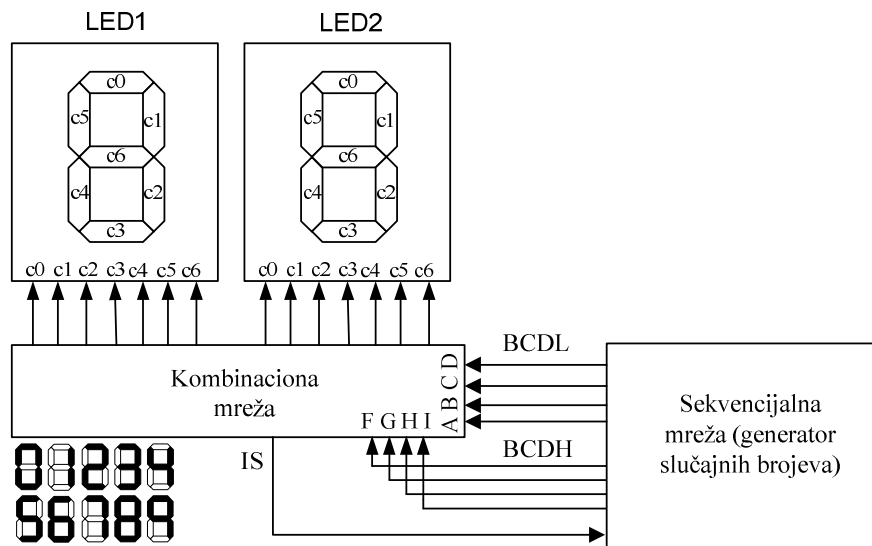
Trajanje impulsa u tački Q je:

$$T_Q = T_A + \Delta T = T_A + \frac{R_2 V_{CC} C_1}{(R_1 + R_2) I_0}$$

Vremenski dijagrami napona u tačkama A, B, C i Q su prikazani na sledećim slikama:



2. [20] Elektronski Loto se sastoji od sekvencijalne mreže koja generiše dvocifrene slučajne brojeve u BCD formatu, kombinacione mreže kojoj se na ulaz dovode generisani slučajni brojevi i dva sedmosegmentna LED displeja koja su povezana na kombinacionu mrežu i preko kojih se prikazuju slučajni brojevi. Kombinaciona mreža osim što generiše signale za prikaz cifara na displejima treba da detektuje kada slučajni dvocifreni broj ima iste cifre i da u toj situaciji postavi signal IS na visoki logički nivo. Signal IS se vraća nazad sekvencijalnoj mreži, gde se podatak o istim ciframa koristi u okviru algoritma sekvencijalne mreže za generisanje slučajnih brojeva. BCDH predstavlja višu težinsku cifru a BCDL predstavlja nižu težinsku cifru u okviru dvocifrenog broja koji se generiše u sekvencijalnoj mreži. Bit A je bit najveće težine u okviru BCDL cifre, a bit F je bit najveće težine u okviru BCDH. Koristeći osnovna logička kola izvršiti sintezu kombinacione mreže (sintezu vršiti minimizacijom). Na slici je takođe prikazano koji segmenti LED displeja treba da budu upaljeni za odgovarajuću cifru. Segmenti na LED displejima su upaljeni ukoliko je odgovarajući ulaz c_i na logičkoj jedinici. LED1 prikazuje cifru veću težine, LED2 prikazuje cifru manje težine.



Rešenje:

Na osnovu zahteva se može zaključiti da su displeji nezavisni jedan od drugog, odnosno LED1 treba da prikaže vrednost BCDH a LED2 treba da prikaže vrednost BCDL. Kako su BCDH i BCDL ravnopravni realizacija drajvera za oba displeja je identična, samo ne ulaz svakog dovodi različita cifra. Tabela istinitosti za LED displeje je prikazana sledećoj slici.

Tabela za LED1 I LED2

ABCD	C0	C1	C2	C3	C4	C5	C6	Cifra
0000	1	1	1	1	1	1	0	0
0001	0	1	1	0	0	0	0	1
0010	1	1	0	1	1	0	1	2
0011	1	1	1	1	0	0	1	3
0100	0	1	1	0	0	1	1	4
0101	1	0	1	1	0	1	1	5
0110	1	0	1	1	1	1	1	6
0111	1	1	1	0	0	0	0	7
1000	1	1	1	1	1	1	1	8
1001	1	1	1	0	0	1	1	9

1010	x	x	x	x	x	x	x	10
1011	x	x	x	x	x	x	x	11
1100	x	x	x	x	x	x	x	12
1101	x	x	x	x	x	x	x	13
1110	x	x	x	x	x	x	x	14
1111	x	x	x	x	x	x	x	15

Minimizacijom uz pomoć Karnoovih mapa se dobijaju izrazi za upravljačke promenjive LED displeja

Za LED1

$$\begin{aligned}
 C0 &= A+C+B*D+|B*|D \\
 C1 &= |B+C*D+|C*|D \\
 C2 &= B+D+|C \\
 C3 &= |B*|D+|B*C+B*|C*D+C*|D \\
 C4 &= |B*|D+C*|D \\
 C5 &= |C*|D+B*|C+B*|D+A \\
 C6 &= |B*C+B*|C+A+C*|D
 \end{aligned}$$

Za LED2

$$\begin{aligned}
 C0 &= F+H+G*I+|G*|I \\
 C1 &= |G+H*I+|H*|I \\
 C2 &= G+I+|H \\
 C3 &= |G*|I+|G*H+G*|H*I+H*|I \\
 C4 &= |G*|I+H*|I \\
 C5 &= |H*|I+G*|H+G*|I+F \\
 C6 &= |G*H+G*|H+F+H*|I
 \end{aligned}$$

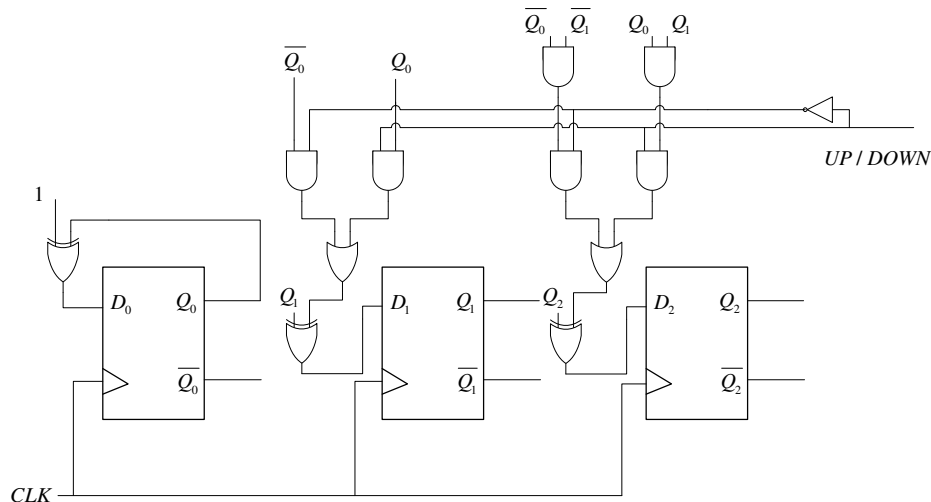
Signal IS u suštini predstavlja izlaz četvorobitnog komparatora, pa je
 $IS=(A*F+ |A*|F)* (B*G+ |B*|G)* (C*H+ |C*|H)* (D*I+ |D*|I)$

Napomena $|X_i = \overline{X_i}$

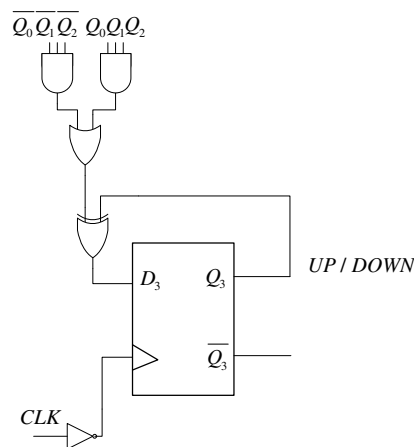
3. [20] Konstruisati trobitni brojač sa D flip flopovima i potrebnim logičkim kolima koji broji u sekvenci 0,1,2,3,4,5,6,7. Kada se brojač nađe u stanju 7 kreće da broji unazad u sekvenci 7,6,5,4,3,2,1,0 da bi po dolasku u stanje 0 ponovo počeo da broji unapred. Stanje 7 i 0 traju samo jedan taktni interval, što znači da brojač ima 14 različitih stanja. Koristiti minimalan broj logičkih kola. Nacrtati električnu šemu povezivanja logičkih kola i flip flopova.

Rešenje:

Na slici je prikazana realizacija obostranog trobitnog brojača (gore-dole) u zavisnosti od kontrolnog signala UP/DOWN.



Da bi brojač menjao režim rada, potrebno je uvesti dodatni memorijski element koji će na stanje 7 odnosno 0 promeniti sopstveno stanje. Izlaz tog dodatnog memorijskog elementa se može koristiti kao upravljačku signal UP/DOWN.



Da bi se krajnja stanja (0 i 7) zadržala samo jedan taktni interval potrebno je upravljački element taktovati na silaznu ivicu signala takta tako da se promena smera brojanja obavlja između pojave dve susedne uzlazne ivice signala takta (u suprotnom kolo neće ispravno funkcionisati).

4. [20] Digitalna mreža je opisana sledećim VHDL kodom:

```

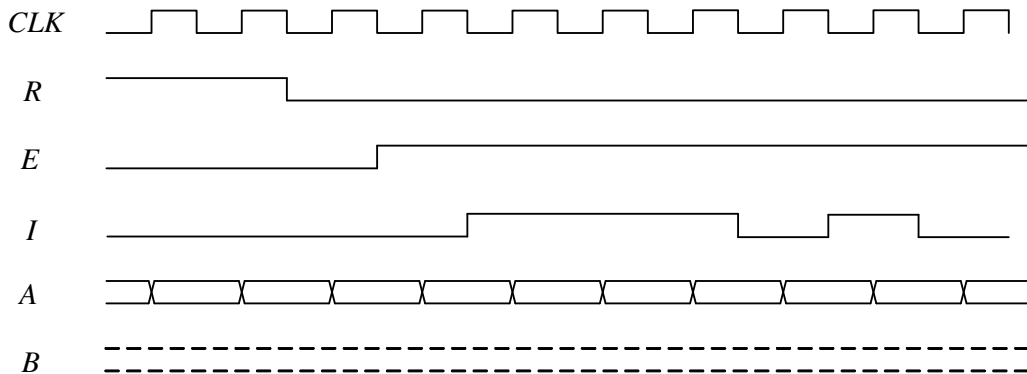
LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY block_A IS PORT
(
  clk,r,e,i : IN STD_LOGIC;
  b : OUT STD_LOGIC;
  a : OUT STD_LOGIC_VECTOR(7 DOWNTO 0)
);
END block_A;

ARCHITECTURE behav OF block_A IS
  SIGNAL tmp : STD_LOGIC_VECTOR(7 DOWNTO 0);
BEGIN
  PROCESS (clk,r) BEGIN
    IF r='1' THEN
      tmp <= (OTHERS => '0');
    ELSIF rising_edge(clk) THEN
      IF e='1' THEN
        tmp <= tmp(6 DOWNTO 0) & i;
        b <= tmp(7);
      END IF;
    END IF;
  END PROCESS;
  a <= tmp;
END behav;

```

Na osnovu vremenskih dijagrama ulaznih signala, odrediti vremenski oblik izlaznog signala i vrednost izlaznog vektora u decimalnom formatu i ucrtati ih na dati dijagram.

**Rešenje:**