

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 24.08.2010.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
 Vreme početka _____
 Vreme završetka _____
 Potpis _____

Ime _____
 Prezime _____
 Broj indeksa _____
 Potpis _____

USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	5	Total
Max	15	10	15	20	20	80
Dobijeno						

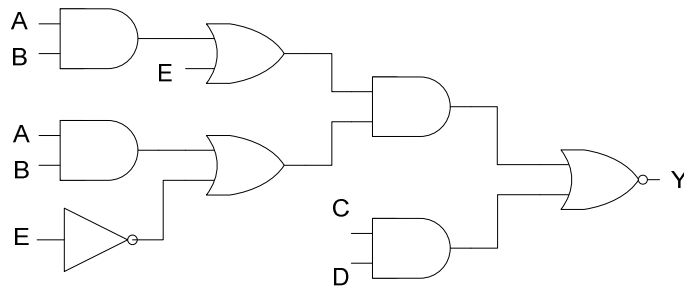
1.

- a) [5] Definisati A/D konverzije odmerak po odmerak, bit po bit i kvant po kvant i uporediti njihove osobine.
- b) [10] Definisati D/A konverzije sa težinskom otpornom mrežom, lestvičastom otpornom mrežom i impulsno-širinskom modulacijom i uporediti njihove osobine.

Rešenje:

- a) Pred.9, str.2.
- a) [8] pred.8

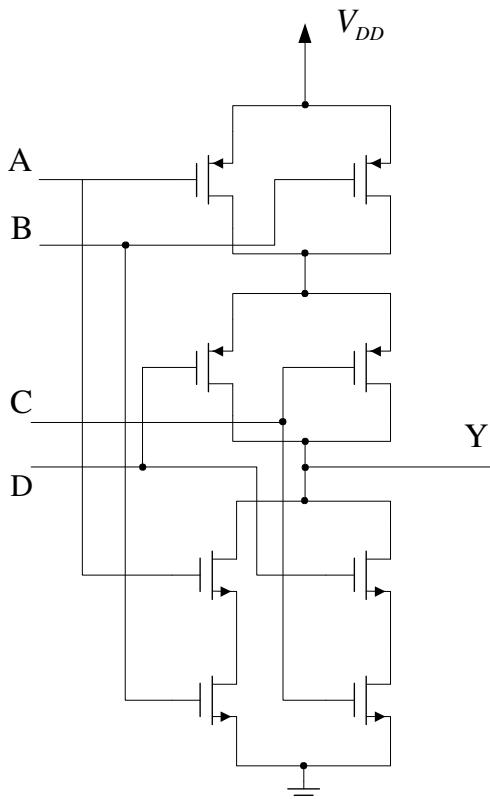
2. [10] Koristeći NMOS i PMOS tranzistore, isprojektovati najprostije statičko CMOS kolo koje realizuje bulovu funkciju kao kolo sa slike.



Rešenje:

Kod CMOS logičkih kola, NILI funkcija se ostvaruje paralelnom vezom NMOS tranzistora i rednom vezom PMOS tranzistora, dok se NI funkcija ostvaruje rednom vezom NMOS tranzistora i paralelnom vezom PMOS tranzistora.

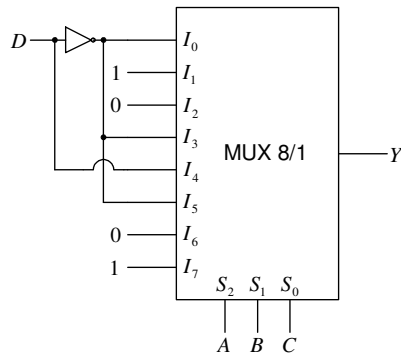
Funkcija koju treba realizovati je $Y = \overline{AB + CD}$, što se može dobiti primenom osnovnih operacija bulove algebre nad promenjivama koje učestvuju u formiranju izlaza Y. Statičko CMOS kolo koje realizuje ovu funkciju je prikazano na slici. Kako ulaz E ne utiče na vrednost izlazne promenjive Y on je izostavljen u realizaciji CMOS kola.



3. Na slici je prikazana kombinaciona mreža realizovana pomoću multipleksera 8/1.

a) [8] Odrediti logičku funkciju koju implementira data mreža.

b) [7] Sintetizovati kombinacionu mrežu koja implementira istu logičku funkciju kao u prethodnoj tački, ako su na raspolaganju isključivo jedno troulazno NI kolo i potreban broj dvoulaznih NI logičkih kola.



Rešenje:

a) Analizom rada date kombinacione mreže može se zaključiti da odgovarajuća kombinaciona tabela ima sledeći izgled:

A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

Logička funkcija koju implementira data mreža se može odrediti pomoću Karnoove mape:

AB \ CD	00	01	11	10
00	1	0	1	1
01	0	0	0	1
11	0	0	1	1
10	0	1	0	1

$$Y = C \cdot \bar{D} + A \cdot B \cdot C + \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot \bar{B} \cdot \bar{D} + A \cdot \bar{B} \cdot \bar{C} \cdot D.$$

b) Da bi se izvršila realizacija pomoću dvoulaznih NI logičkih kola i jednog troulaznog NI logičkog kola, potrebno je prethodno transformisati u pogodan oblik izraz dobijen u prethodnoj tački.

$$Y = \overline{C}\overline{D} + ABC + \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{D} + \overline{A}\overline{B}CD = \overline{C}\overline{D} + C(\overline{A}B + \overline{A}\overline{B}) + \overline{A}\overline{B}\overline{D} + \overline{A}\overline{B}CD$$

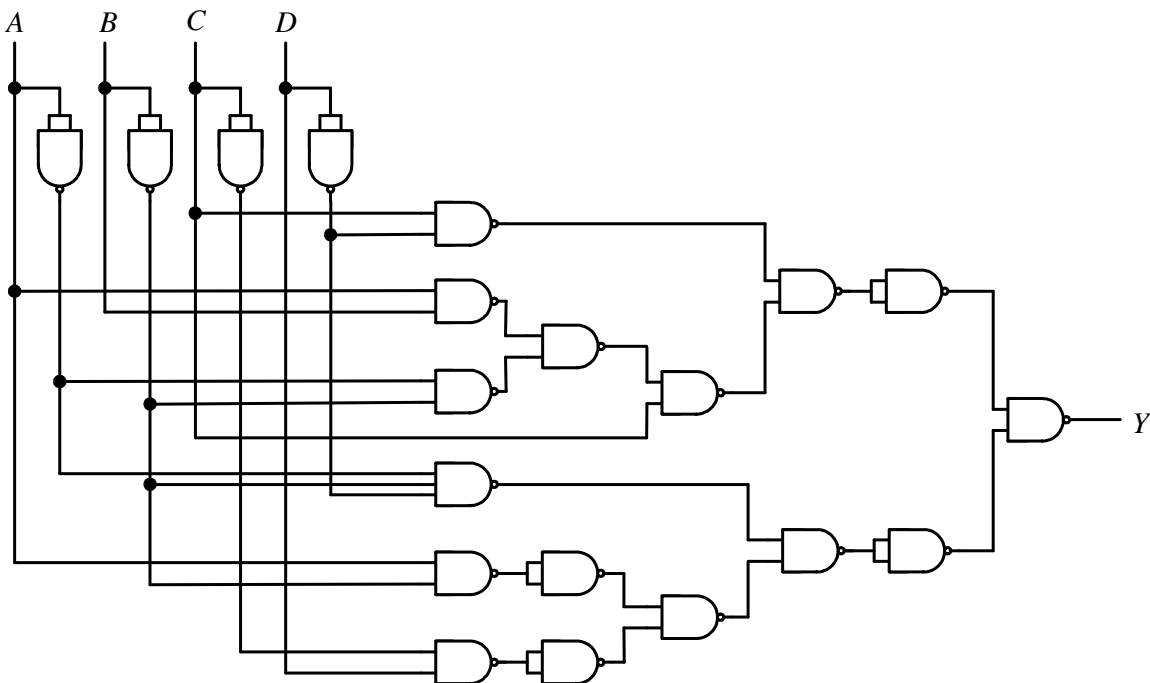
$$Y = \overline{C}\overline{D} + C(\overline{A}B + \overline{A}\overline{B}) + \overline{A}\overline{B}\overline{D} + \overline{A}\overline{B}CD = \overline{C}\overline{D} \cdot C(\overline{A}B + \overline{A}\overline{B}) \cdot \overline{A}\overline{B}\overline{D} \cdot \overline{A}\overline{B}CD$$

$$Y = \overline{C}\overline{D} \cdot C(\overline{A}B + \overline{A}\overline{B}) \cdot \overline{A}\overline{B}\overline{D} \cdot (\overline{A}B + \overline{A}\overline{B}) = \overline{C}\overline{D} \cdot C(\overline{A}B \cdot \overline{A}\overline{B}) \cdot \overline{A}\overline{B}\overline{D} \cdot (\overline{A}B + \overline{A}\overline{B})$$

$$Y = \overline{C}\overline{D} \cdot C(\overline{A}B \cdot \overline{A}\overline{B}) \cdot \overline{A}\overline{B}\overline{D} \cdot (\overline{A}B \cdot \overline{A}\overline{B}) = \overline{C}\overline{D} \cdot C(\overline{A}B \cdot \overline{A}\overline{B}) + \overline{A}\overline{B}\overline{D} \cdot (\overline{A}B \cdot \overline{A}\overline{B})$$

$$Y = \overline{C}\overline{D} \cdot C(\overline{A}B \cdot \overline{A}\overline{B}) \cdot \overline{A}\overline{B}\overline{D} \cdot (\overline{A}B \cdot \overline{A}\overline{B})$$

Tražena realizacija je prikazana na sledećoj slici:

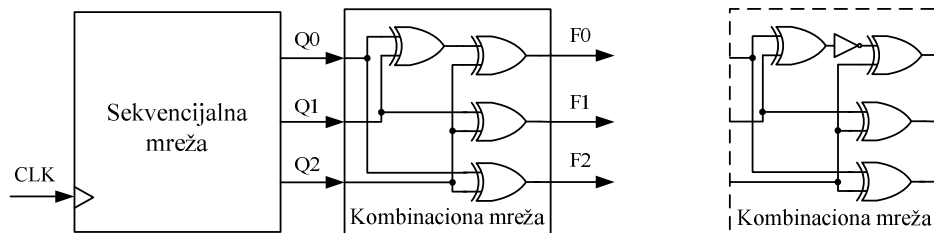


KANDIDAT: Ime _____ Prezime _____ Broj indeksa _____
Dežurni _____

4. Na slici je prikazana sekvencijalna mreža čiji su izlazi Q_2, Q_1, Q_0 dovedeni na ulaze kombinacione mreže. Izlazi kombinacione mreže su F_2, F_1, F_0 . Prilikom taktovanja sekvencijalne mreže, izlazi F_2, F_1, F_0 dobijaju vrednosti 000, 001, 010, 011, 100, 101, 110, 111, 000

a) [15] Koristeći minimalan broj D flip-flopova i minimalan broj potrebnih logičkih kola projektovati sekvencijalnu mrežu sa slike tako da izlazi F_2, F_1, F_0 dobijaju naznačene vrednosti prilikom taktovanja sekvencijalne mreže.

b) [5] Odrediti izlaznu sekvencu F_2, F_1, F_0 , ukoliko se između ex-ili kola koja učestvuju u formiranju F_0 ubaci inverter (inverter se nalazi između izlaza prvog ex-ili kola i ulaza drugog ex-ili kola kao na slici). Smatrati da sekvencijalna mreža broji kao u tački a).



Rešenje:

Analizom strukture kombinacione mreže mogu se dobiti izrazi za F_2, F_1, F_0

$$F_0 = Q_0 \oplus Q_1 \oplus Q_2$$

$$F_1 = Q_1 \oplus Q_2$$

$$F_2 = Q_0 \oplus Q_2$$

Na osnovu osobina operacije \oplus Bulove algebre ($X \oplus X = 0$, $X \oplus 0 = X$ i asocijativnosti) mogu se dobiti izrazi za Q_0, Q_1, Q_2

$$Q_0 = F_0 \oplus F_1$$

$$Q_1 = F_0 \oplus F_2$$

$$Q_2 = F_0 \oplus F_1 \oplus F_2$$

F_2	F_1	F_0	Q_2	Q_1	Q_0	$Q_2(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$	F_0'
0	0	0	0	0	0	1	1	1	1
0	0	1	1	1	1	1	0	1	0
0	1	0	1	0	1	0	1	0	1
0	1	1	0	1	0	1	1	0	0
1	0	0	1	1	0	0	0	1	1
1	0	1	0	0	1	0	1	1	0
1	1	0	0	1	1	1	0	0	1
1	1	1	1	0	0	0	0	0	0

Iz prikazane tabele se može zaključiti da sekvencijalna mreža treba da generiše sekvencu 000, 111, 101, 010, 110, 001, 011, 100 na izlazu.

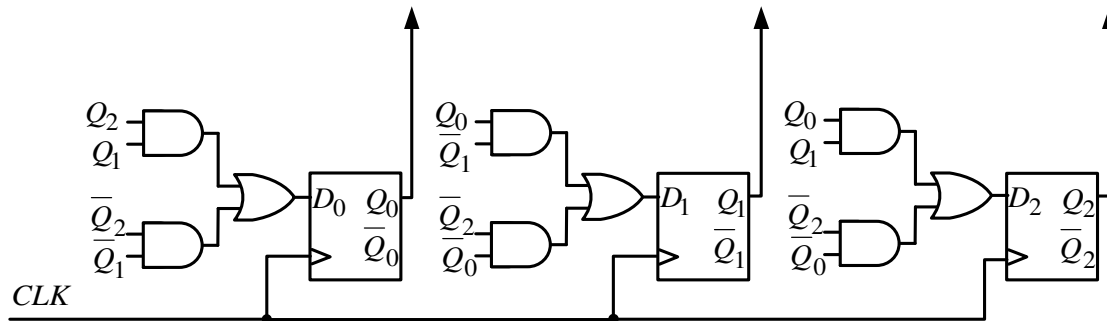
Minimizacijom se dobijaju izrazi za ulaze D flip-flova

$$D_2 = Q_1 Q_0 + \overline{Q_2} \overline{Q_0}$$

$$D_1 = \overline{Q_1} Q_0 + \overline{Q_2} \overline{Q_0}$$

$$D_0 = Q_2 Q_1 + \overline{Q_2} \overline{Q_1}$$

Realizacija tražene sekvencijalne mreže je prikazana na slici



b)

Ukoliko se između dva ex-ili kola koja formiraju F_0 ubaci invertor izraz za F_0 postaje

$$F_0' = \overline{Q_0 \oplus Q_1} \oplus Q_2$$

Analizom stanja Q_2, Q_1, Q_0 u tabeli može se zaključiti da će sekvenca na izlazu F_2, F_1, F_0 biti 001, 000, 011, 010, 101, 100, 111, 110, 001,

5. [20] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model delitelja učestanosti. Delitelj učestanosti radi sinhrono sa uzlaznom ivicom signala takta `clk` samo ako je kontrolni signal `en` na visokom logičkom nivou. Delitelj učestanosti ima četiri izlaza `clk1`, `clk2`, `clk3`, i `clk4`, na kojima se generišu povorke pravougaonih impulsa učestanosti 2, 4, 8 i 16 puta manje od učestanosti ulaznog takta `clk`, respektivno. Trajanja impulsa i pauze za svaki od izlaznih signala ponaosob, treba da budu jednaka. Ako je kontrolni signal `en` na niskom logičkom nivou, signali na izlazu treba da budu na niskom logičkom nivou.

Napomena: Ocenjuje se precizna upotreba sintakse.

Rešenje:

```

LIBRARY IEEE;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;

ENTITY clk_gen IS PORT
(
    clk,en           : IN STD_LOGIC;
    clk1,clk2,clk3,clk4 : OUT STD_LOGIC
);
END clk_gen;

ARCHITECTURE behav OF clk_gen IS
    SIGNAL tmp : UNSIGNED(3 DOWNT0 0);
BEGIN
    PROCESS (clk) BEGIN
        IF en='1' THEN
            IF rising_edge(clk) THEN
                tmp <= tmp+1;
            END IF;
        ELSE
            tmp <= "0000";
        END IF;
    END PROCESS;
    clk1 <= STD_LOGIC(tmp(0));
    clk2 <= STD_LOGIC(tmp(1));
    clk3 <= STD_LOGIC(tmp(2));
    clk4 <= STD_LOGIC(tmp(3));
END behav;

```