

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA \_\_\_\_\_

Ispit: 24.09.2010.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala \_\_\_\_\_

Ime \_\_\_\_\_

Vreme početka \_\_\_\_\_

Prezime \_\_\_\_\_

Vreme završetka \_\_\_\_\_

Broj indeksa \_\_\_\_\_

Potpis \_\_\_\_\_

Potpis \_\_\_\_\_

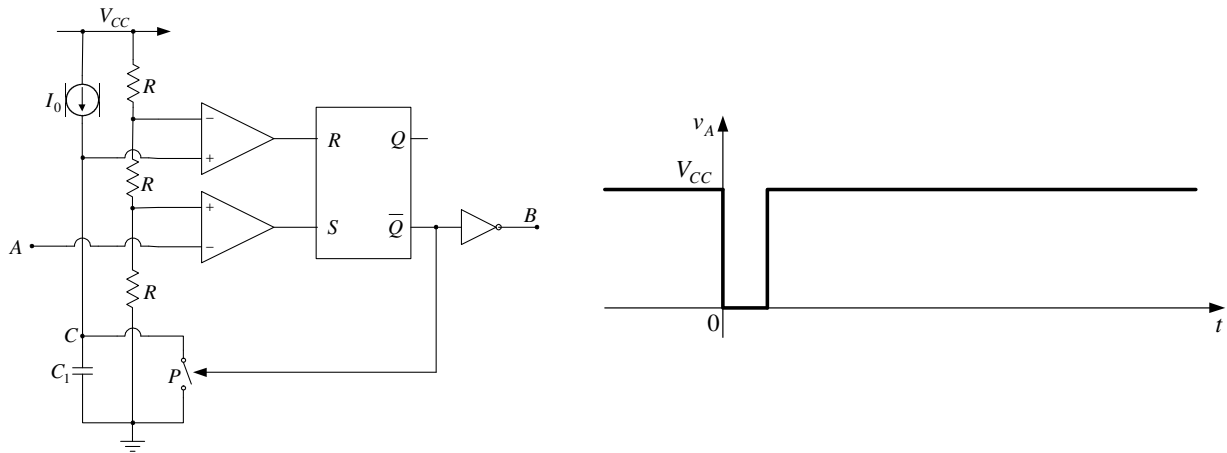
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	<b>20</b>	<b>20</b>	<b>20</b>	<b>20</b>	<b>80</b>
Dobijeno					

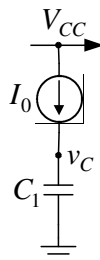
1. [20] U kolu sa slike, otpornosti svih otpornika, kapacitivnost kondenzatora  $C_1$ , napon napajanja  $V_{CC}$  i struja strujnog izvora  $I_0$  se mogu smatrati poznatim. Naponski kontrolisani prekidač P je zatvoren ako je  $\bar{Q} = 1$  i tada se može ekvivalentirati otpornošću  $R_{ON} \rightarrow 0$ , a otvoren je ako je  $\bar{Q} = 0$  i tada se može ekvivalentirati otpornošću  $R_{OFF} \rightarrow \infty$ . Invertor u kolu je idealan, CMOS tipa sa naponom napajanja  $V_{CC}$ , a SR leč sačinjavaju CMOS logička kola sa naponom napajanja  $V_{CC}$ . Za  $t < 0$  se kolo nalazilo dovoljno dugo vremena u stacionarnom stanju. Odrediti i nacrtati vremenske dijagrame napona u tačkama B i C, ako se na ulaz A dovede kratkotrajni naponski impuls prikazan na slici. Odrediti trajanje impulsa u tački B.



### Rešenje:

Za  $t < 0$  i  $v_A = V_{CC}$ , u stabilnom stanju je  $S=0$ , a R može biti ili na nivou logičke jedinice ili na nivou logičke nule. Ako se pretpostavi da je  $R=1$ , tada sledi da je  $\bar{Q}=1$  što prema uslovu zadatka zatvara prekidač, a zatvoren prekidač daje napon na kondenzatoru  $C_1$  ravan nuli, a to daje  $R=0$ , što je u suprotnosti sa polaznom pretpostavkom (što znači da je polazna pretpostavka  $R=1$  bila pogrešna). Iz navedenog se može zaključiti da je u stabilnom stanju  $R=0$ .

Dakle, u stabilnom stanju su oba ulaza leča (R i S) na logičkoj nuli,  $\bar{Q}=1$ , P-zatvoren,  $v_B = 0$  i  $v_C = 0$ . Neposredno nakon pojave silazne ivice impulsa u tački A (tj. u trenutku  $t = 0^+$ ) je:  $v_A = 0$ , ulaz leča S je na logičkoj jedinici, ulaz leča R je na logičkoj nuli, tako da je  $\bar{Q}=0$ , P-otvoren,  $v_B = 1$ , a dato kolo se može ekvivalentirati na način prikazan na sledećoj slici:



Tada se kondenzator puni vremenski konstantnom strujom  $I_0$ . Stoga će se napon na kondenzatoru linearno povećavati sa nagibom  $\frac{I_0}{C}$  (s obzirom da je veza između struje i napona kondenzatora

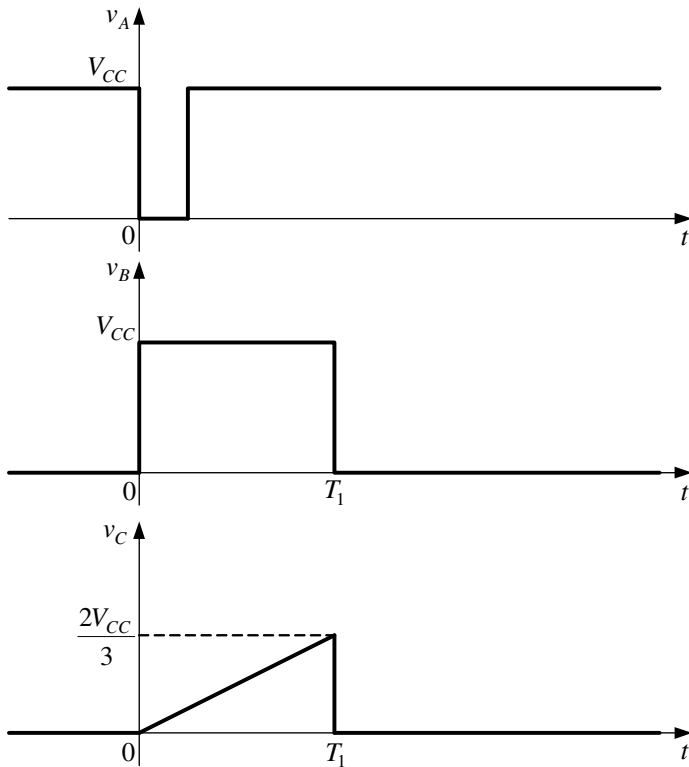
definisana relacijom  $v_C(t) = \frac{1}{C_1} \int i_{C1}(t) dt$ ). Ovaj proces će se dešavati sve dok napon na kondenzatoru (tj. na ulazu gornjeg komparatora) ne dostigne vrednost  $\frac{2V_{CC}}{3}$  (u trenutku  $t = T_1$ ) kada izlaz gornjeg komparatora postaje logička jedinica što resetuje leč i nakon toga je:  $\overline{Q} = 1$ , P-zatvoren,  $v_B = 0$  i  $v_C = 0$ . Pad napona u tački C sa vrednosti  $\frac{2V_{CC}}{3}$  na 0 se dešava momentalno zbog otpornosti prekidača P kada je zatvoren  $R_{ON} \rightarrow 0$ .

Trenutak  $t = T_1$  (tj. trajanje impulsa u tački B) se određuje iz uslova:

$$\frac{I_0}{C_1} = \frac{\frac{2V_{CC}}{3}}{T_1}$$

odakle se dobija da je:  $T_1 = \frac{2V_{CC}C_1}{3I_0}$ .

Vremenski dijagrami napona u tačkama A, B i C su prikazani na sledećim slikama:



2. a) [15] Korišćenjem minimalnog broja NI logičkih kola sa proizvoljnim brojem ulaza i invertora projektovati kombinacionu mrežu koja ispituje deljivost ulaznog četvorobitnog broja  $a_3a_2a_1a_0$  ( $a_3$  - bit najveće težine) sa tri. Ukoliko je broj koji se dovodi na ulaz kombinacione mreže deljiv sa tri, izlaz Y ima vrednost logičke jedinice, u suprotnom ima vrednost logičke nule.

b) [5] Kombinacionu mrežu iz prethodne tačke realizovati korišćenjem multipleksera 8/1 i jednog invertora.

**Rešenje:**

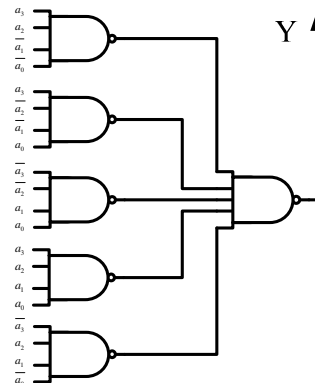
Tabela istinitosti koja opisuje traženu kombinacionu mrežu je prikazana u nastavku

$a_3$	$a_2$	$a_1$	$a_0$	$Y$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

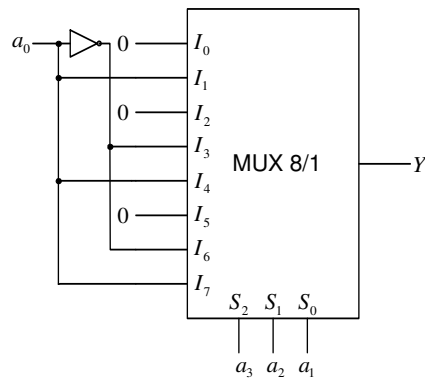
Minimizacijom odgovarajuće Karnoove karte dobija se tražena Bulova funkcija za izlaznu promenjivu Y

$$Y = a_3a_2a_1a_0 + a_3a_2a_1a_0 + a_3a_2a_1a_0 + a_3a_2a_1a_0 + a_3a_2a_1a_0$$

Tražena realizacija je prikazana na slici



b) Za kontrolne signale multipleksera 8/1 se mogu izabrati promenjive  $a_3a_2a_1$ . Tražena realizacija je prikazana na slici.



**3. [20]** Koristeći D flip floповe i minimalan broj logičkih kola konstruisati brojač čija su stanja redom 0, 2, 5, 7, 9, 10, 14, 15. Ukoliko brojač uđe u neko od nedozvoljenih stanja potrebno je promenjivu K postaviti na logičku nulu i zabraniti dalje brojanje (od tog momenta brojač ostaje u zatečenom stanju sve dok se ne resetuje kratkotrajnim spoljašnjim impulsom za asihroni reset, kada počinje opet da broji od stanja 0), inače je promenjiva K na logičkoj jedinici. D flip floповi imaju ulaz za asihroni reset, smatrati da su po uključenju napajanja svi flip floповi resetovani. Nacrtati šemu povezivanja logičkih kola i flip floпова.

**Rešenje:**

Tabela prelaza D flip floпова prikazana je na slici:

i	D(i)	C(i)	B(i)	A(i)	D(i+1)	C(i+1)	B(i+1)	A(i+1)
0	0	0	0	0	0	0	1	0
2	0	0	1	0	0	1	0	1
5	0	1	0	1	0	1	1	1
7	0	1	1	1	1	0	0	1
9	1	0	0	1	1	0	1	0
10	1	0	1	0	1	1	1	0
14	1	1	1	0	1	1	1	1
15	1	1	1	1	0	0	0	0

Posle izvršene minimizacije za jednačine prelaza se dobijaju sledeći izrazi:

$$D(i+1) = D\bar{C} + D\bar{A} + \bar{D}CB$$

$$C(i+1) = B\bar{A} + C\bar{B}$$

$$B(i+1) = \bar{B} + D\bar{C} + D\bar{A}$$

$$A(i+1) = \bar{D}B + \bar{D}A + C\bar{A}$$

Stanja promenjive K se mogu odrediti iz uslova  $K\{0,2,5,7,9,10,14,15\} = 1$ , odnosno  $K\{1,3,4,6,8,11,12,13\} = 0$ , što posle izvršene minimizacije daje

$$K = \bar{C}\bar{B}\bar{A} + DCB + \bar{D}CA + \bar{D}\bar{C}\bar{A} + D\bar{C}\bar{B}A$$

Kako bi se zabranilo brojanje brojača u nedozvoljenim stanjima, potrebno je signal K dovesti preko "i" kola zajedno sa signalom takta na ulaz CLK svakog D-MS flip flopa, tada pošto je  $K=0$  signal takta ne taktuje ni jedan flip flop pa se ne menjaju stanja. Prilikom resetovanja flip floпова, promenjiva K ima vrednost 1, tako da brojač nastavlja normalno da broji i menja stanja sa pojavom svake uzlazne ivice signala takta.

**KANDIDAT:** Ime \_\_\_\_\_ Prezime \_\_\_\_\_ Broj indeksa \_\_\_\_\_  
 Dežurni \_\_\_\_\_

**4. [20]** Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model četvorobitnog binarnog brojača u Grejovom kodu. Brojač broji unapred sinhrono sa uzlaznom ivicom signala takta `clk` samo ako je kontrolni signal `en` na visokom logičkom. Ako je kontrolni signal `en` na niskom logičkom nivou, stanje brojača se ne menja.

Napomena: Ocenjuje se precizna upotreba sintakse.

**Rešenje:**

```
LIBRARY IEEE;
USE ieee.std_logic_1164.all;

ENTITY counter_gray IS PORT
(
  clk,en      : IN STD_LOGIC;
  q           : OUT STD_LOGIC_VECTOR(3 DOWNTO 0)
);
END counter_gray;

ARCHITECTURE behav OF counter_gray IS
  SIGNAL tmp : STD_LOGIC_VECTOR(3 DOWNTO 0);
BEGIN
  PROCESS (clk,en) BEGIN
    IF en='1' THEN
      IF rising_edge(clk) THEN
        CASE tmp IS
          WHEN "0000" => tmp <= "0001";
          WHEN "0001" => tmp <= "0011";
          WHEN "0011" => tmp <= "0010";
          WHEN "0010" => tmp <= "0110";
          WHEN "0110" => tmp <= "0111";
          WHEN "0111" => tmp <= "0101";
          WHEN "0101" => tmp <= "0100";
          WHEN "0100" => tmp <= "1100";
          WHEN "1100" => tmp <= "1101";
          WHEN "1101" => tmp <= "1111";
          WHEN "1111" => tmp <= "1110";
          WHEN "1110" => tmp <= "1010";
          WHEN "1010" => tmp <= "1011";
          WHEN "1011" => tmp <= "1001";
          WHEN "1001" => tmp <= "1000";
          WHEN "1000" => tmp <= "0000";
        END CASE;
      END IF;
    END IF;
  END PROCESS;
  q <= tmp;
END behav;
```