

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 18.09.2009.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

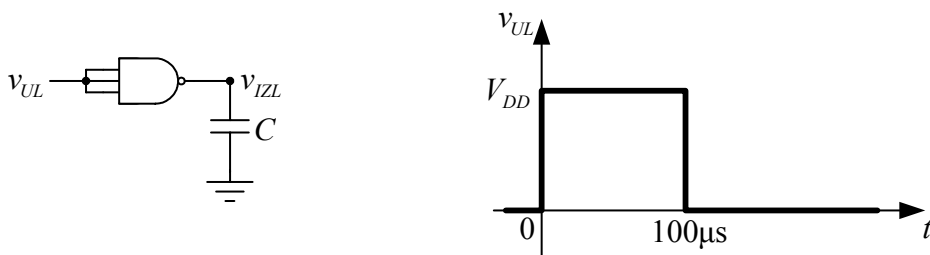
OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	20	20	20	20	80
Dobijeno					

1. Ulazi trouglažnog CMOS NI kola su kratko spojeni, a izlaz je opterećen kondenzatorom kapacitivnosti $C = 20\text{pF}$ (kao na slici). Na ulaz v_{UL} se dovodi impuls trajanja $100\mu\text{s}$ prikazan na slici. Svaki od MOS tranzistora koji čine logičko kolo, u neprovodnom režimu ima beskonačnu otpornost između drejna i sorsa. Svaki od NMOS tranzistora koji čine logičko kolo, u provodnom režimu ima otpornost od 20Ω između drejna i sorsa. Logičko kolo se napaja sa $V_{DD} = 5\text{V}$.

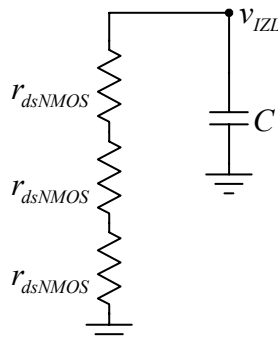
a) [10] Ako su otpornosti između drejna i sorsa PMOS tranzistora u provodnom režimu međusobno jednake, odrediti njihovu vrednost tako da vremena trajanja usponske i silazne ivice u odzivu na pobudni impuls budu međusobno jednaka. Pod vremenom trajanja usponske (silazne) ivice signala na izlazu se podrazumeva vreme koje protekne od trenutka kada naponski nivo dostigne vrednost 10% (90%) od ukupne promene nivoa, do trenutka kada naponski nivo dostigne 90% (10%) od ukupne promene nivoa.

b) [10] Pod uslovom iz tačke a) izračunati i nacrtati vremenski oblik napona v_{IZL} .

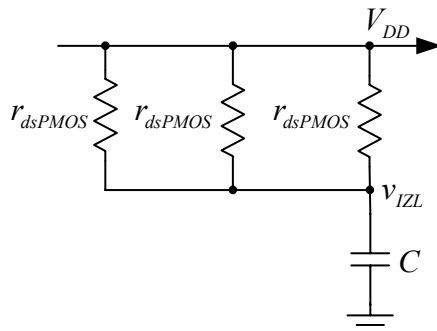


Rešenje:

a) Kada se nivo ulaznog signala promeni sa 0V na 5V, ekvivalentna šema kola je:



Kada se nivo ulaznog signala promeni sa 5V na 0V, ekvivalentna šema kola je:



Vremenska konstanta pražnjenja kondenzatora C (kada se naponski nivo na izlazu menja sa logičke jedinice na logičku nulu) je:

$$\tau_{SIL} = C \cdot 3r_{dsNMOS} = 1,2\text{ns} \text{ (što je mnogo kraće od vremena trajanja pobudnog impulsa).}$$

Vremenska konstanta punjenja kondenzatora C (kada se naponski nivo na izlazu menja sa logičke nule na logičku jedinicu) je:

$$\tau_{UZZ} = C \cdot \frac{r_{dsPMOS}}{3}.$$

Da bi vremena trajanja usponske i silazne ivice u odzivu na pobudni impuls bila međusobno jednaka neophodno je da vremenske konstante τ_{SIL} i τ_{UZZ} budu međusobno jednake. To će biti zadovoljeno ako je:

$$3 \cdot r_{dsNMOS} = \frac{r_{dsPMOS}}{3} \Rightarrow r_{dsPMOS} = 9 \cdot r_{dsNMOS} \Rightarrow r_{dsPMOS} = 180\Omega.$$

b) U ustaljenom stanju pre pojave pobudnog impulsa napon na izlazu logičkog kola je bio na nivou logičke jedinice (5V). Kada se nivo ulaznog signala promeni sa 0V na 5V, napon na izlazu logičkog kola se menja u skladu sa jednačinom:

$$v_{IZL}(t) = v_{IZL}(\infty) - [v_{IZL}(\infty) - v_{IZL}(0^+)] \cdot e^{-\frac{t}{\tau_{SIL}}}$$

$$v_{IZL}(\infty) = 0; \quad v_{IZL}(0^+) = v_{IZL}(0^-) = V_{DD}$$

$$v_{IZL}(t) = V_{DD} \cdot e^{-\frac{t}{1,2ns}} = V_{DD} \cdot e^{-8,333 \cdot 10^8 \cdot t}; \quad 0 \leq t \leq 100\mu s;$$

Zbog toga što je $\tau_{SIL} \ll 100\mu s$, signal na izlazu logičkog kola će praktično dostići novu stacionarnu vrednost (0V) pre pojave silazne ivice pobudnog impulsa.

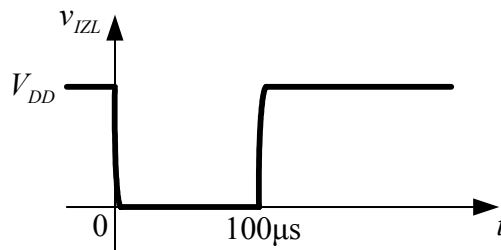
Kada se nivo ulaznog signala promeni sa 5V na 0V, napon na izlazu logičkog kola se menja u skladu sa jednačinom:

$$v_{IZL}(t) = v_{IZL}(\infty) - [v_{IZL}(\infty) - v_{IZL}(t_0)] \cdot e^{-\frac{t-t_0}{\tau_{UZZ}}}; \quad t_0 = 100\mu s;$$

$$v_{IZL}(\infty) = V_{DD}; \quad v_{IZL}(t_0^-) = v_{IZL}(t_0^+) = 0;$$

$$v_{IZL}(t) = V_{DD} - [V_{DD} - 0] \cdot e^{-\frac{t-t_0}{1,2ns}} = V_{DD}(1 - e^{-\frac{t-t_0}{1,2ns}}) = V_{DD}(1 - e^{-8,333 \cdot 10^8 \cdot (t-t_0)}); \quad t \geq 100\mu s.$$

Vremenski oblik izlaznog napona je prikazan na sledećoj slici:

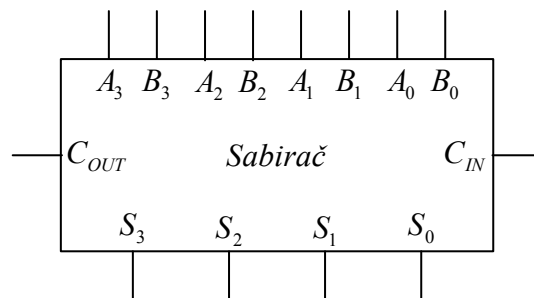


(NAPOMENA: silazna i uzlazna ivica signala v_{IZL} su eksponencijalnog karaktera, opisane gornjim jednačinama, iako se to na dijagramu manje jasno vidi).

2. Na slici je prikazan simbol sabirača koji sabira dva četvorobitna binarna broja $A_3A_2A_1A_0$ i $B_3B_2B_1B_0$. Na ulaz C_{IN} se dovodi bit ulaznog prenosa, a na izlazu C_{OUT} se generiše bit izlaznog prenosa. Na izlazima $S_3S_2S_1S_0$ se generiše rezultat sabiranja.

a) [10] Pomoću opisanog sabirača i potrebnog broja dodatnih logičkih kola realizovati oduzimač četvorobitnih algebarskih binarnih brojeva kod kojih je negativna vrednost predstavljena sa drugim komplementom (opseg brojeva od -8_{10} do $+7_{10}$).

b) [10] Koristeći realizaciju iz tačke a) realizovati komparator dva četvorobitna pozitivna binarna broja, koji poseduje tri izlaza: GT (koji je jednak logičkoj jedinici ako i samo ako je broj $A_3A_2A_1A_0$ veći od broja $B_3B_2B_1B_0$), LT (koji je jednak logičkoj jedinici ako i samo ako je broj $A_3A_2A_1A_0$ manji od broja $B_3B_2B_1B_0$) i EQ (koji je jednak logičkoj jedinici ako i samo ako je broj $A_3A_2A_1A_0$ jednak broju $B_3B_2B_1B_0$).

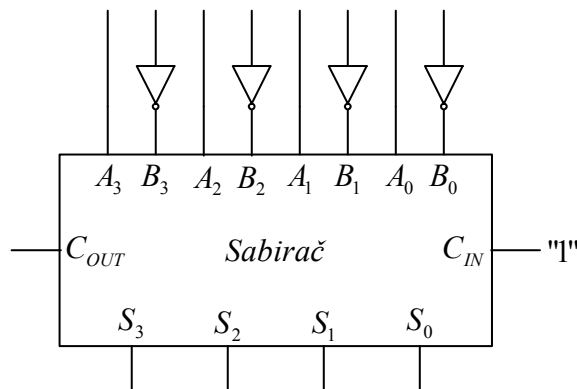


Rešenje:

a) Operacija oduzimanja dva algebarska četvorobitna binarna broja A i B kod kojih je negativna vrednost predstavljena sa drugim komplementom (opseg brojeva od -8_{10} do $+7_{10}$), se može predstaviti na sledeći način:

$$A - B = A + (-B) = A + \overline{B} + 1,$$

gde je sa \overline{B} označen prvi komplement (bit po bit komplementirana vrednost) binarnog broja B . Prenos se odbacuje. Drugim rečima, operacija oduzimanja se može realizovati preko operacije sabiranja umanjenika i drugog komplementa umanjioaca pod uslovom da nema prekoračenja. Ovu operaciju je moguće realizovati korišćenjem raspoloživog četvorobitnog sabirača i četiri invertora uz dovođenje logičke jedinice na ulaz C_{IN} , tj. na način prikazan na sledećoj slici:



b) Jednakost dva četvorobitna pozitivna binarna broja A i B se može detektovati korišćenjem realizovanog oduzimača. Naime, u tom slučaju će razlika ta dva broja biti 0, tj. svi biti S_i izlaza oduzimača će biti na nivou logičke nule. Tu situaciju je moguće detektovati pomoću jednog četvoroulaznog NILI kola, čiji će izlaz predstavljati rezultat EQ :

$$EQ = \overline{S_3 + S_2 + S_1 + S_0}.$$

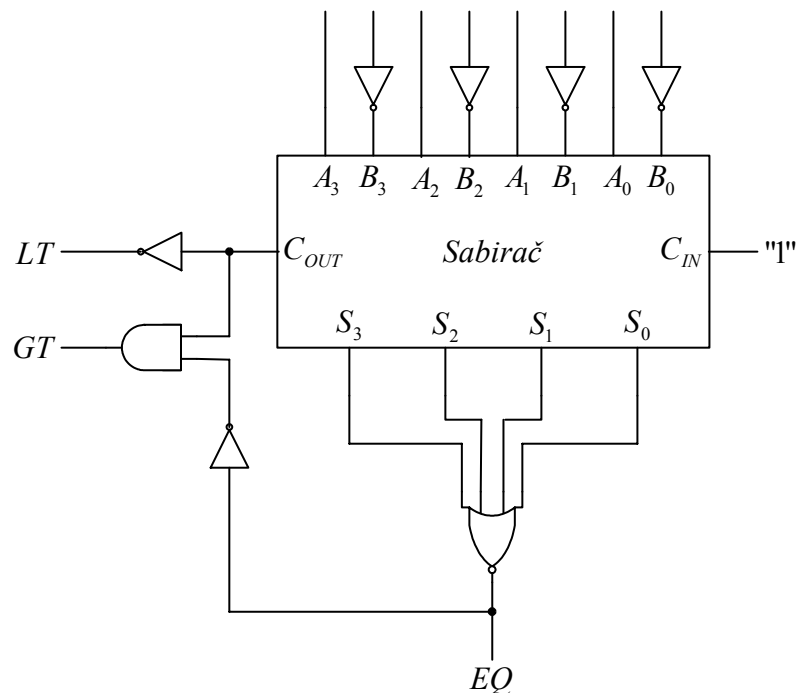
Na osnovu izraza $A + \overline{B} + 1$ se može zaključiti da će za $A < B$ rezultat te operacije uvek imati izlazni prenos $C_{OUT} = 0$. Ova činjenica se može iskoristiti za detektovanje situacije $A < B$, na osnovu jednačine:

$$LT = \overline{C_{OUT}}.$$

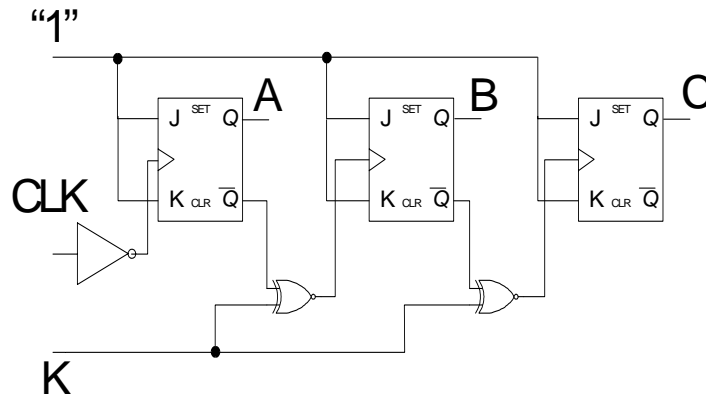
Takođe, na osnovu izraza $A + \overline{B} + 1$ se može zaključiti da će za $A \geq B$ rezultat te operacije uvek imati izlazni prenos $C_{OUT} = 1$. Ova činjenica se može iskoristiti za detektovanje situacije $A > B$, na osnovu jednačine:

$$GT = C_{OUT} \cdot \overline{EQ}.$$

Kompletna realizacija traženog komparatora je prikazana na sledećoj slici:



3. [20] Ispitati kako radi brojačka mreža na slici pri $K=1$, a kako pri $K=0$. Odrediti kada se sme menjati vrednost promenljive K , a da se time ne promeni stanje mreže. Ivični JK flip-flopovi se okidaju na uzlaznu ivicu odgovarajućeg taktnog signala.



Rešenje:

Analizom vremnskih dijagrama za vrednosti $K=1$ i $K=0$, stanja flip-floпова, može se zaključiti da mreža radi kao binarni brojač pri čemu se brojanje unapred ostvaruje za $K=1$ a brojanje unazad za $K=0$. Pri tome je A bit najmanje težine a C bit najveće težine.

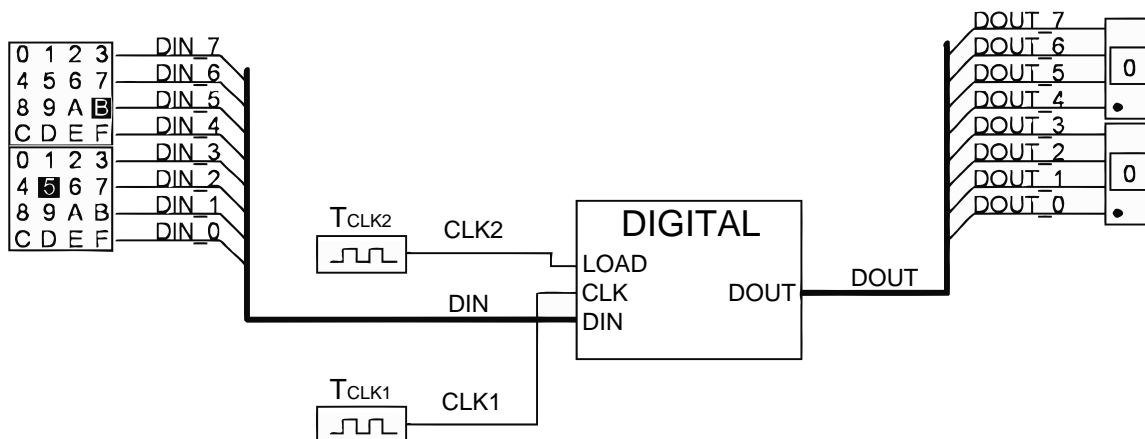
Pri stanju x00 se može vršiti promena K sa 1 na 0 (tada se ne trigeruje B JK flip flop jer je komplementarni izlaz iz A JK flip-flopa visok pa takt za B JK flip-flop ima silaznu ivicu što ne izaziva promenu njegovog stanja, isti slučaj je i sa C JK flip-flopom).

Pri stanju x11 može se vršiti promena K sa 0 na 1 (isti zaključci kao i u predhodnom slučaju).

Ako se svi ulazi J i K dovedu na nulu (svi flip flopovi imaju naredno stanje isto kao i prethodno) bez obzira na signal takta njihovo stanje ostaje isto (dakle K se može proizvoljno menjati).

KANDIDAT: Ime _____ Prezime _____ Broj indeksa _____
 Dežurni _____

4. [20] U šemi na slici DIN magistrala je povezana na dva dip-switch četvorobitna prekidača preko kojih se mogu postavljati različite heksadecimalne vrednosti na linijama DIN_7-DIN_4 i DIN_3-DIN_0. Prekidači su postavljeni tako da su selektovane vrednosti kao na slici. DOUT magistrala je povezana na dva indikatora. Svaki indikator prikazuje vrednost četvorobitnog binarnog broja, pri čemu je jedan indikator povezan na linije DOUT_7-DOUT_4 dok je drugi povezan na linije DOUT_3-DOUT_0. Generatori signala takta imaju periodu $T_{CLK1}=20\text{ms}$, $T_{CLK2}=240\text{ms}$, pri čemu je odnos impuls pauza kod oba generatora isti i jednak jedinici.



Blok DIGITAL je opisan sledećim VHDL kodom:

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity DIGITAL is
port(
    DIN      : in      std_logic_vector(7 downto 0);
    CLK      : in      std_logic;
    LOAD     : in      std_logic;
    DOUT     : out     std_logic_vector(7 downto 0)
);
end DIGITAL;

architecture arch1 of DIGITAL is
begin
    clk_proc : process(CLK)
        variable COUNT : unsigned(7 downto 0) := "00000000";
    begin
        if CLK'EVENT AND CLK = '1' then
            if LOAD = '1' then
                COUNT := DIN;
            else COUNT := COUNT + 1;
            end if;
            end if;
            DOUT <= COUNT;
        end process clk_proc;
    end arch1;
```

Nacrtati vremenski dijagram svih signala na slici (DIN, DOUT, CLK1, CLK2) za vremenski interval $0 < t < 14T_{CLK1}$, ako su u trenutku $t_0=0$ generatori signala CLK1 i CLK2 kao i blok DIGITAL u stanju reseta. Stanja magistrala DIN i DOUT predstaviti heksadecimalnom vrednošću sa dve heksadecimalne cifre.

Rešenje:

Analizom digitalnog kola na slici kao i VHDL koda koji opisuje DIGITAL blok može se nacrtati sledeći vremenski dijagram za tražene signale.

