

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA \_\_\_\_\_

Ispit: 11.10.2008.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala \_\_\_\_\_  
Vreme početka \_\_\_\_\_  
Vreme završetka \_\_\_\_\_  
Potpis \_\_\_\_\_

Ime \_\_\_\_\_  
Prezime \_\_\_\_\_  
Broj indeksa \_\_\_\_\_  
Potpis \_\_\_\_\_

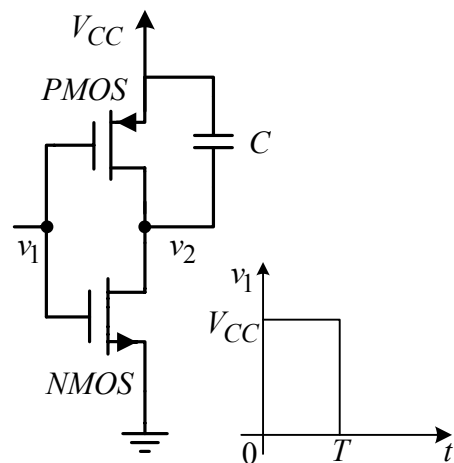
### USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Ocenjuju se rad kandidata i sposobnost rezonovanja.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

### OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	<b>20</b>	<b>20</b>	<b>20</b>	<b>20</b>	<b>80</b>
Dobijeno					

**1. [20]** Na slici je prikazano kolo CMOS invertora sa NMOS i PMOS tranzistorima i kondenzatorom  $C$  u paralelnoj vezi sa PMOS tranzistorom. Vremenski oblik napona  $v_1$  je takođe prikazan na slici. Izračunati vrednost napona  $v_2$  u trenutku  $t = 2T$ . Smatrati da je u provodnom stanju otpornost NMOS tranzistora  $r_{nmos}$  konstantna i iznosi  $r_{nmos} = R$ , dok u neprovodnom stanju NMOS tranzistor ima beskonačnu otpornost, otpornost PMOS tranzistora u provodnom stanju  $r_{pmos}$  je konstantna i iznosi  $r_{pmos} = 2R$ , dok u neprovodnom stanju PMOS transistor ima beskonačnu otpornost. ( $V_{CC} > |V_T|$ ,  $|V_T|$  – napon uključenja NMOS, PMOS tranzistora)

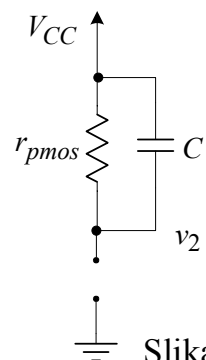


Logičko kolo CMOS invertora

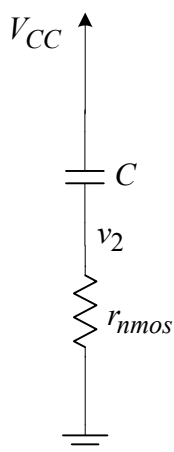
### Rešenje:

Do momenta promene napona  $v_1$ , u kolu CMOS invertora je uspostavljeno stacionarno stanje. NMOS tranzistor je zakočen, PMOS tranzistor vodi i ekvivalentna šema kola izgleda kao na slici 2.

Napon  $v_2$  je jednak naponu  $V_{CC}$  jer kroz ekvivalentnu otpornost PMOS tranzistora ne teče struja. Kada napon  $v_1$  promeni vrednost i postane  $v_1 = V_{CC}$ , PMOS tranzistor se zakoči a NMOS tranzistor provede i ekvivalentno kolo CMOS inverora izgleda kao na slici 3.



Slika 2.



Slika 3.

Promena  $v_2$  napona od momenta  $t_1 = 0^+$  pa na dalje se može opisati kao

$$v_2(t) = v_2(\infty) - (v_2(\infty) - v_2(0)) e^{-\frac{t}{C r_{nmos}}},$$

$v_2(t) = V_{CC} e^{-\frac{t}{C r_{nmos}}}$ . Kada se napon  $v_1$  ponovo promeni u  $t_2 = T$  ekvivalentno kolo CMOS invertora izgleda opet kao na slici 2, i promena napona  $v_2$  napona od momenta  $t_2 = T$  pa na dalje se može opisati kao

$$v_2(t) = V_{CC} - (V_{CC} - v_2(T)) e^{-\frac{t-T}{C r_{pmos}}}. \text{ U trenutku } t_3 = 2T, \text{ napon } v_2 \text{ ima}$$

$$\text{vrednost } v_2(2T) = V_{CC} - (V_{CC} - V_{CC} e^{-\frac{T}{C r_{nmos}}}) e^{-\frac{T}{C r_{pmos}}}.$$

2. [20] Projektovati kombinacionu mrežu, u minimalnoj formi, koja na izlazu generiše kvadrat ulaznog trobitnog broja (binarno kodovani pozitivni celi brojevi). Nacrtati traženu mrežu sa minimalnim brojem logičkih kola ako su na raspolaganju: dvoulazna I kola, dvoulazna ILI kola i invertori.

### Rešenje:

Kombinaciona tabela 1. opisuje traženu mrežu:

$X$ dec.	$X_4$	$X_3$	$X_2$	$X_1$	$X^2$ dec.	$Y_5$	$Y_4$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	0	0	1
2	0	0	1	0	4	0	0	0	1	0	0
3	0	0	1	1	9	0	0	1	0	0	1
4	0	1	0	0	16	0	1	0	0	0	0
5	0	1	0	1	25	0	1	1	0	0	1
6	0	1	1	0	36	1	0	0	1	0	0
7	0	1	1	1	49	1	1	0	0	0	1

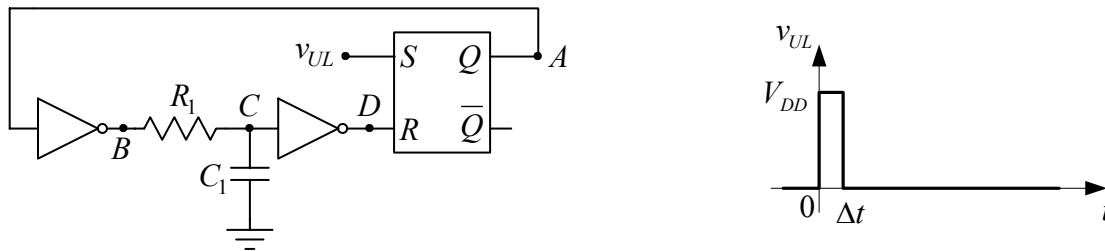
Tabela 1.

Minimizacijom pomoću Karnoovih mapa, dobija se:

$$Y_0 = X_0, Y_1 = 0, Y_2 = X_1 \bar{X}_0, Y_3 = X_0(X_2 \oplus X_1),$$

$$Y_4 = X_2(\bar{X}_1 + X_0), Y_5 = X_2 X_1.$$

3. [20] U monostabilnom multivibratoru sa slike invertori kao i logička kola koja sačinjavaju SR leč pripadaju CMOS familiji, napajaju se sa  $V_{DD} = 5\text{ V}$ , imaju idealnu prenosnu karakteristiku sa naponom praga  $V_T = 2,5\text{ V}$ , beskonačnu ulaznu i nultu izlaznu otpornost. Ukoliko se na ulaz kola dovede kratkotrajni naponski impuls trajanja  $\Delta t \ll R_1 C_1$  sa uzlaznom ivicom u trenutku  $t = 0$  prikazan na slici, odrediti i nacrtati vremenske oblike napona u tačkama A, B, C i D za  $t > 0$ , ako je poznato da je  $R_1 = 10\text{ k}\Omega$  i  $C_1 = 1\text{ }\mu\text{F}$ . Pre pojave pobudnog impulsa kolo je bilo dovoljno dugo vremena u stacionarnom stanju. Odrediti trajanje kvazistabilnog stanja. Smatrati da upotrebljeni invertori imaju idealnu prenosnu karakteristiku i nultu kašnjenje, a upotrebljeni SR leč ima kašnjenje  $\tau_d$ , ( $\tau_d < \Delta t$ ).



### Rešenje:

Za  $t < 0$  u kolu je uspostavljeno stacionarno stanje. To znači da je struja kroz kondenzator jednaka nuli, a s obzirom da je ulazna otpornost invertora beskonačna, može se zaključiti da tada ne postoji ni struja kroz otpornik  $R_1$ , što znači da je  $v_B = v_C$ . Imajući u vidu logičku funkciju invertora, može se zaključiti da su logički nivoi napona  $v_A$  i  $v_D$  suprotni od logičkog nivoa  $v_B$ . Stoga se može zaključiti da je  $v_A = 0$ , jer bi pretpostavka da je  $v_A = V_{DD}$  imala za posledicu da je i  $v_D = V_{DD}$  (R ulaz SR leča) što je kontradikcija sa činjenicom da se na Q izlazu SR leča nalazi visok logički nivo (po pretpostavci). Na osnovu ovoga sledi da je za  $t < 0$   $v_{UL} = 0$ ,  $v_A = 0$ ,  $v_B = V_{DD}$ ,  $v_C = V_{DD}$  i  $v_D = 0$ .

Kolo se nalazi u opisanom stanju sve dok se na ulazu ne pojavi pobudni impuls u trenutku  $t = 0$ . Tada se vrednost napona na Q izlazu SR leča promeni na  $v_A = V_{DD}$ , što uzrokuje i promenu napona na izlazu levog invertora na  $v_B = 0$ . S obzirom da se vrednost napona na kondenzatoru ne može trenutno promeniti, napon na njemu ostaje na nivou  $v_C = V_{DD}$ , tako da se ni napon na izlazu desnog invertora ne menja. Dakle u trenutku  $t = 0^+$  važi:

$$v_{UL}(0^+) = V_{DD}$$

$$v_A(0^+) = V_{DD}$$

$$v_B(0^+) = 0$$

$$v_C(0^+) = V_{DD}$$

$$v_D(0^+) = 0$$

Potom se napon na kondenzatoru eksponencijalno smanjuje sa vremenskom konstantom  $\tau = R_1 C_1$ . Vrednost kojoj teži napon  $v_C$  je određena novim stacionarnim stanjem koje bi nastupilo kada bi struja kroz kondenzator opala na nulu, a to je  $v_C(\infty) = 0$ . Jednačina koja opisuje napon  $v_C$  u toj situaciji je:

$$v_C(t) = v_C(\infty) - [v_C(\infty) - v_C(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$v_C(t) = 0 - [0 - V_{DD}] \cdot e^{-\frac{t}{R_1 C_1}} = 5V \cdot e^{-100t}$$

Ova zavisnost će važiti sve dok napon  $v_C$  ne dostigne prag desnog invertora  $V_T = \frac{V_{DD}}{2}$ , kada će se izlaz tog invertora promeniti na logičku jedinicu. S obzirom da je ulazni napon  $v_{UL} = 0$  (jer je u međuvremenu kratkotrajni ulazni impuls prošao), ova promena logičkog nivoa invertora ima za posledicu obaranje izlaznog napona Q izlaza SR leča na nivo logičke nule tj. na  $v_A = 0$ , što dalje uzrokuje promenu napona na izlazu levog invertora na  $v_B = V_{DD}$ . Naponski nivo na kondenzatoru u trenutku opisane promene se neće promeniti. Ukoliko se trenutak promene nivoa signala na Q izlazu SR leča označi sa  $t = T_1$ , na osnovu opisane analize sledi:

$$v_A(T_1^+) = 0$$

$$v_B(T_1^+) = V_{DD}$$

$$v_C(T_1^+) = \frac{V_{DD}}{2}$$

Dalje će napon  $v_C$  da eksponencijalno raste ka novoj stacionarnoj vrednosti  $v_C(\infty) = V_{DD}$  sa vremenskom konstantom  $\tau = R_1 C_1$ , što će imati za posledicu ponovni pad napona na izlazu desnog invertora na nivo logičke nule (čim napon  $v_C$  ponovo poraste iznad  $V_T = \frac{V_{DD}}{2}$ ). Jednačina koja opisuje  $v_C$  u ovoj situaciji je:

$$v_C(t) = v_C(\infty) - [v_C(\infty) - v_C(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau}}$$

$$v_C(t) = V_{DD} - [V_{DD} - \frac{V_{DD}}{2}] \cdot e^{-\frac{t-T_1}{R_1 C_1}} = V_{DD} - \frac{V_{DD}}{2} \cdot e^{-\frac{t-T_1}{R_1 C_1}} = 5V - 2,5V \cdot e^{-100(t-T_1)}$$

Vremenski trenutak  $t = T_1$  se može odrediti iz uslova:

$$v_C(T_1^-) = 5V \cdot e^{-100T_1} = 2,5V$$

odakle se dobija:

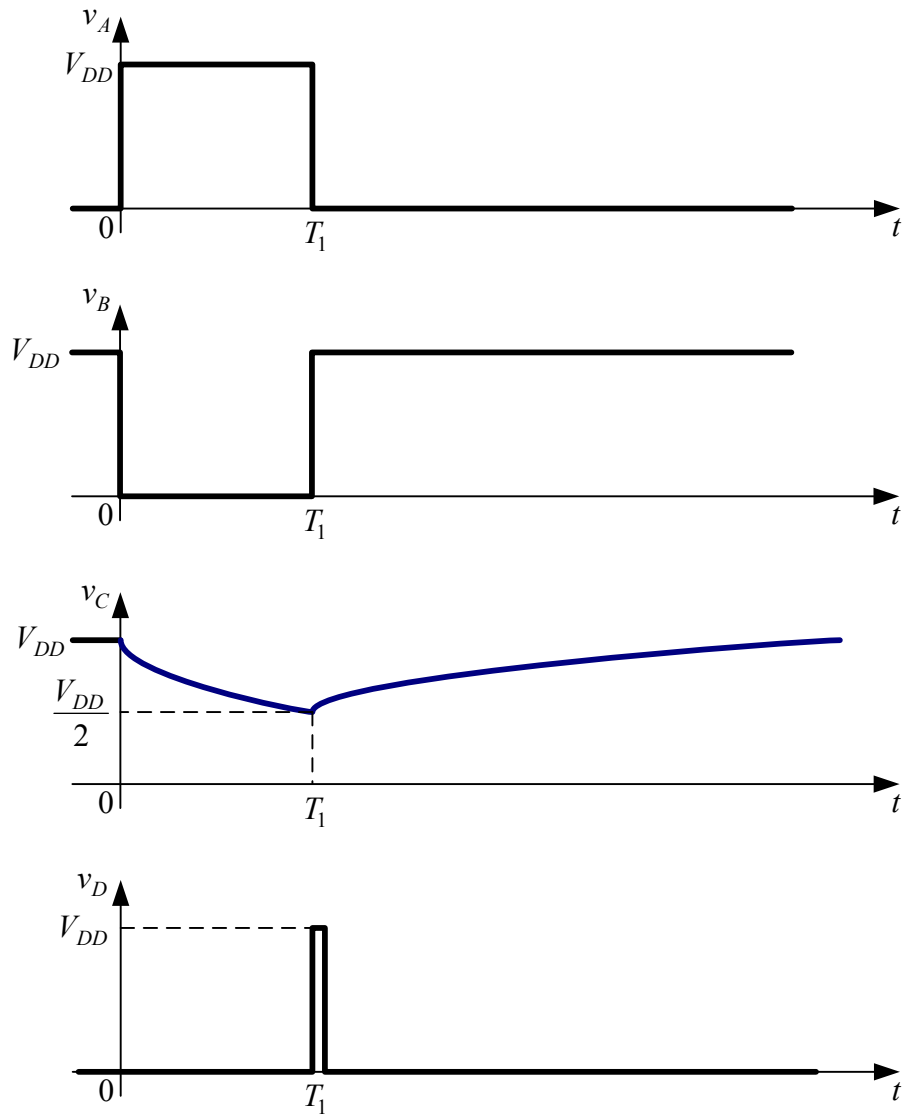
$$T_1 = 0,01 \ln 2 = 6,93ms \text{ i ovaj interval predstavlja trajanje kvazistabilnog stanja.}$$

Dakle, konačno je:

$$v_C(t) = 5V \cdot e^{-100t}, \text{ za } 0 < t < T_1$$

$$v_C(t) = 5V - 2,5V \cdot e^{-100(t-T_1)}, \text{ za } t > T_1.$$

Odgovarajući vremenski dijagrami su prikazani na sledećoj slici:



4. [20] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model osmobitnog brojača, koji zadovoljava sledeće specifikacije.

Ukoliko je dvobitni kontrolni ulaz `ctrl="00"` brojač treba da se resetuje sinhrono sa silaznom ivicom signala takta `clk`. Ukoliko je kontrolni ulaz `ctrl="01"` brojač treba da se inkrementira sinhrono sa silaznom ivicom signala takta `clk`. Ukoliko je kontrolni ulaz `ctrl="10"` brojač treba da se dekrementira sinhrono sa silaznom ivicom signala takta `clk`. I konačno, ukoliko je kontrolni ulaz `ctrl="11"` stanje brojača treba da se promeni sinhrono sa silaznom ivicom signala takta `clk` na vrednost koja je zadata osmobitnim ulaznim podatkom `d`. Trenutno stanje brojača treba da je stalno prisutno na izlazima brojača `q`.

Svi vektori treba da imaju bite poredane u smeru MSB>LSB.

Napomena: Ocenjuje se precizna upotreba sintakse.

### **Rešenje:**

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;

ENTITY counter_8bits IS PORT
(
    clk      : IN  STD_LOGIC;
    ctrl     : IN  STD_LOGIC_VECTOR(1 DOWNTO 0);
    d        : IN  STD_LOGIC_VECTOR(7 DOWNTO 0);
    q        : OUT STD_LOGIC_VECTOR(7 DOWNTO 0)
);
END counter_8bits;

ARCHITECTURE behav OF counter_8bits IS
    SIGNAL tmp : UNSIGNED(7 DOWNTO 0);
BEGIN
    PROCESS (clk) BEGIN
        IF falling_edge(clk) THEN
            IF (ctrl="00") THEN
                tmp <= "00000000";
            ELSIF (ctrl="01") THEN
                tmp <= tmp + 1;
            ELSIF (ctrl="10") THEN
                tmp <= tmp - 1;
            ELSIF (ctrl="11") THEN
                tmp <= UNSIGNED(d);
            END IF;
        END IF;
    END PROCESS;
    q <= STD_LOGIC_VECTOR(tmp);
END behav;

```