

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 27.06.2008.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
 Vreme početka _____
 Vreme završetka _____
 Potpis _____

Ime _____
 Prezime _____
 Broj indeksa _____
 Potpis _____

USLOVI ISPITA

1. Trajanje ispita 240 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Ocenjuju se rad kandidata i sposobnost rezonovanja.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	5	6	7	8	Total
Max	10	15	15	10	15	10	15	10	100
Dobijeno									

1. **a.** [5] Definirati drugi komplement broja od N cifara. Uspostaviti njegovu relaciju sa prvim komplementom. Koliki je drugi komplement od 000_{10} ?
- b.** [5] Nacrtati transmisiono logičko kolo (analogni prekidač) sa jednim logičkim ulazom i napisati njegovu funkcionalnu tabelu.

Rešenje:

- a.** Pred.1, str.6. Odgovor 1000_{10} !
- b.** Pred.2, str.12.

2. a. [10] Nacrtati komparator sa histerezisom koji koristi CMOS bafer i dva otornika. Smatrati da je bafer idealan. Nacrtati i izračunati prenosnu karakteristiku komparatora.
- b. [5] Nacrtati kolo za generisanje bita za kontrolu parnosti dve N-bitne reči u dejzičejn strukturi i u razdeljenoj strukturi.

Rešenje:

- a. Pred.3, str.5.
- b. Pred.5, str.12 i 13.

3. a. [5] Definirati bistabilni element sa osvrtom na tri karakteristične presečne tačke.
- b. [10] Nacrtati osnovnu memorijsku ćeliju statičke RAM memorije i organizaciju RAM memorije kapaciteta četiri reči od dva bita. Naznačiti priključke po numeraciji.

Rešenje:

- a. Pred.6, str.1.
- b. Pred.7, str.5. i 6.

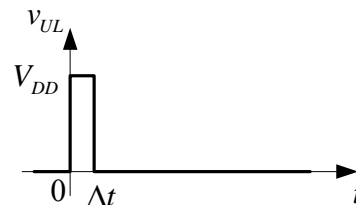
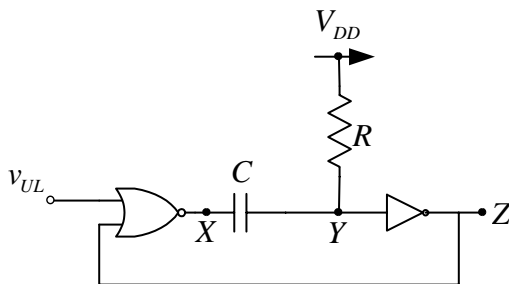
4. a. [5] Nacrtati šemu A/D konvertora sa dvojnim nagibom i izračunati relaciju između analogne i digitalne vrednosti napona.
- b. [5] Definirati razliku između standardnih digitalnih kola i semikastom digitalnih kola. Definirati šta se menja kod izrade semikastom kola da bi se kolo prilagodilo potrebama korisnika? Kako se prilagodjenje (kustomizacija) vrši kod vendara integrisanog kola, a kako kod korisnika?

Rešenje:

- a. Pred.9, str.6.
- b. Pred.10. i 4. i 5.

KANDIDAT: Ime _____ Prezime _____ Broj indeksa _____
Dežurni _____

5. [15] U kolu sa slike logička kola pripadaju CMOS familiji, napajaju se sa $V_{DD} = 5V$, imaju idealnu prenosnu karakteristiku sa naponom praga $V_T = 2,5V$, beskonačnu ulaznu i nultu izlaznu otpornost. Poznate su i vrednosti elemenata $R = 100k\Omega$ i $C = 10nF$. Ukoliko se na ulaz kola dovede kratkotrajni naponski impuls trajanja $\Delta t \ll RC$ sa uzlaznom ivicom u trenutku $t = 0$ prikazan na slici, odrediti i nacrtati vremenske oblike napona u tačkama X, Y i Z za $t > 0$. Pre pojave pobudnog impulsa kolo je bilo dovoljno dugo vremena u stacionarnom stanju. Koju funkciju obavlja dato kolo?



Rešenje:

Za $t < 0$ u kolu je uspostavljeno stacionarno stanje. To znači da je struja kroz kondenzator jednaka nuli, a s obzirom da je ulazna otpornost invertora beskonačna, može se zaključiti da tada ne postoji ni struja kroz otpornik R, što znači da je $v_Y = V_{DD}$. Na osnovu ovoga sledi da je $v_Z = 0$ i kako je za $t < 0$ $v_{UL} = 0$, sledi da je $v_X = V_{DD}$.

Kolo se nalazi u opisanom stanju sve dok se na ulazu ne pojavi pobudni impuls u trenutku $t = 0$. Tada se vrednost napona na izlazu NILI kola promeni na $v_X = 0$, i s obzirom da se vrednost napona na kondenzatoru ne može trenutno promeniti, i vrednost napona desnog priključka kondenzatora se promeni na $v_Y = 0$. To ima za posledicu skok napna na izlazu invertora na $v_Z = V_{DD}$. Dakle u trenutku $t = 0^+$ važi:

$$v_{UL}(0^+) = V_{DD}$$

$$v_X(0^+) = 0$$

$$v_Y(0^+) = 0$$

$$v_Z(0^+) = V_{DD}$$

Potom se napon na kondenzatoru eksponencijalno povećava sa vremenskom konstantom $\tau = RC$. To se dešava na način pri kome je $v_X = 0$ (jer je izlaz invertora na nivou logičke jedinice), dok se napon v_Y eksponencijalno povećava sa pomenutom vremenskom konstantom. Vrednost kojoj teži napon v_Y je određena novim stacionarnim stanjem koje bi nastupilo kada bi struja kroz kondenzator opala na nulu, a to je $v_Y(\infty) = V_{DD}$. Jednačina koja opisuje napon v_Y u toj situaciji je:

$$v_Y(t) = v_Y(\infty) - [v_Y(\infty) - v_Y(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$v_Y(t) = V_{DD} - [V_{DD} - 0] \cdot e^{-\frac{t}{RC}} = 5V \cdot (1 - e^{-1000t})$$

Ova zavisnost će važiti sve dok napon v_Y ne dostigne prag invertora $V_T = \frac{V_{DD}}{2}$, kada će se izlaz invertora promeniti na logičku nulu. S obzirom da je ulazni napon $v_{UL} = 0$ (jer je u međuvremenu kratkotrajni ulazni impuls prošao), ova promena logičkog nivoa invertora ima za posledicu skok izlaznog napona NILI kola na nivo logičke jedinice tj. na $v_X = V_{DD}$. Zbog ovoga će i napon v_Y da se momentalno poveća na vrednost $\frac{3V_{DD}}{2}$ (jer vrednost napona na kondenzatoru ne može trenutno da se promeni). Ukoliko se trenutak promene nivoa signala na izlazu invertora označi sa $t = T_1$, na osnovu opisane analize sledi:

$$v_X(T_1^+) = V_{DD}$$

$$v_Y(T_1^+) = \frac{3V_{DD}}{2}$$

$$v_Z(T_1^+) = 0$$

Dalje će napon v_Y da eksponencijalno opada ka novoj stacionarnoj vrednosti $v_Y(\infty) = V_{DD}$ sa vremenskom konstantom $\tau = RC$, dok će nivoi naponskih signala v_X i v_Z da ostanu nepromenjeni. Jednačina koja opisuje v_Y u ovoj situaciji je:

$$v_Y(t) = v_Y(\infty) - [v_Y(\infty) - v_Y(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau}}$$

$$v_Y(t) = V_{DD} - [V_{DD} - \frac{3V_{DD}}{2}] \cdot e^{-\frac{t-T_1}{RC}} = V_{DD} + \frac{V_{DD}}{2} \cdot e^{-\frac{t-T_1}{RC}} = 5V + 2,5V \cdot e^{-1000(t-T_1)}$$

Vremenski trenutak $t = T_1$ se može odrediti iz uslova:

$$v_Y(T_1^-) = 5V \cdot (1 - e^{-1000T_1}) = 2,5V$$

odakle se dobija:

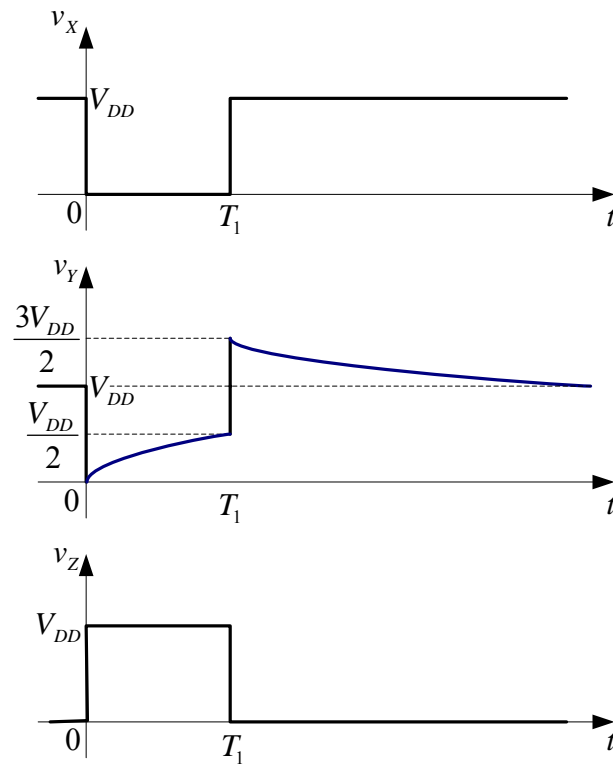
$$T_1 = 0,001 \ln 2 = 0,693ms$$

Dakle, konačno je:

$$v_Y(t) = 5V \cdot (1 - e^{-1000t}), \text{ za } 0 < t < T_1$$

$$v_Y(t) = 5V + 2,5V \cdot e^{-1000(t-T_1)}, \text{ za } t > T_1.$$

Odgovarajući vremenski dijagrami su prikazani na sledećoj slici:



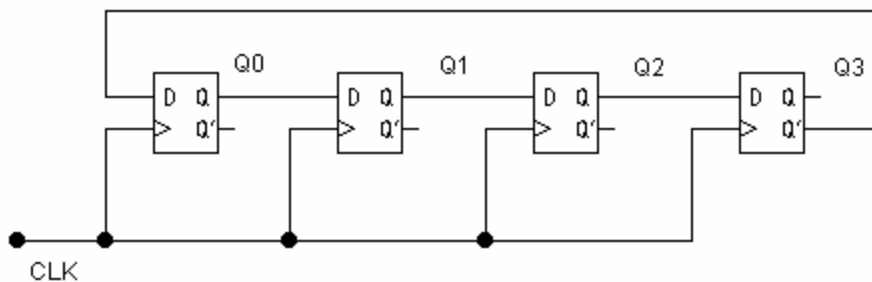
Kolo obavlja funkciju monostabilnog multivibratora.

6. [10] Koristeći se D flip-flopovima sintetisati digitalno sekvencijalno kolo čija stanja su opisana sledećom sekvencom $0000 \rightarrow 1000 \rightarrow 1100 \rightarrow 1110 \rightarrow 1111 \rightarrow 0111 \rightarrow 0011 \rightarrow 0001 \rightarrow 0000$. Osim flip-flopa na raspolaganju je samo još inverter. Šta će se desiti ako se flip-flopi u nekom trenutku nađu u stanju koje nije opisano sekvencom rada brojača? Pretpostavlja se da u početnom trenutku (uključenje napajanja) svi flip-flopi nalaze u stanju reseta.

Rešenje:

Zadatak se može uraditi na dva načina. Prvi način predstavlja klasičnu sintezu sekvencijalne mreže analizom svih mogućih sadašnjih stanja i stanja u koje mreža treba da pređe nailaskom prvog sledećeg taktnog impulsa. U ovom procesu sinteze mreže je neophodno koristiti karnoove karte u procesu minimizacije. Drugi način sinteze sekvencijalne mreže se može izvršiti prostom analizom dozvoljenih stanja u kojima se mreža nalazi. Naime analizom zadate brojačke sekvence se može zaključiti da je mrežu brojača moguće realizovati serijskim vezivanjem četiri D flip-flopa tako da se izlaz svakog D flip-flopa u nizu dovodi na ulaz narednog. Izlaz poslednjeg D flip-flopa se preko invertora dovodi na ulaz prvog D flip-flopa u nizu.

Ukoliko se flip-flopi nađu u nedozvoljenom stanju, brojač će do narednog reseta nastaviti da broji u pogrešnoj sekvenci.



7. [15] Diodno-otpornom mrežom obezbeđeno je da NMOS tranzistori u kolu D/A konvertora sa slike 1 rade kao prekidači kada su ulazni digitalni signali Q_0, Q_1, Q_2, Q_3 , standardni CMOS signali ($0 \div 5V$).

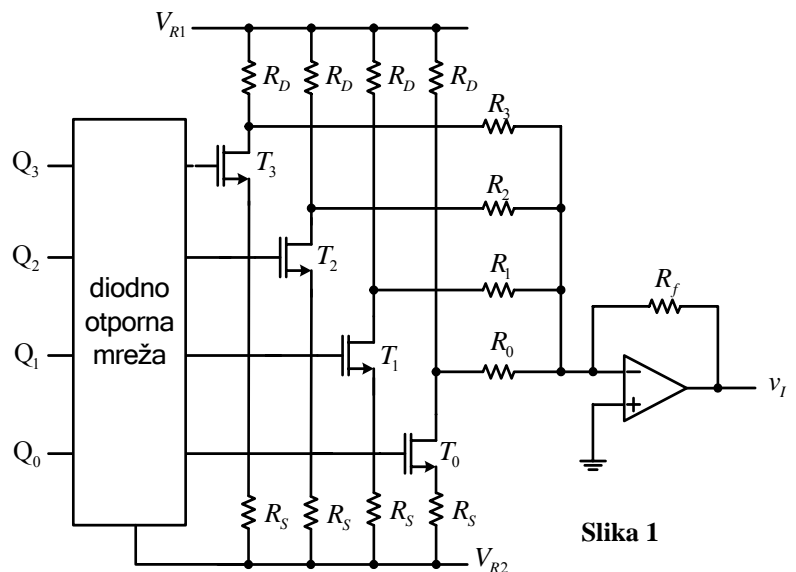
a) Odrediti vrednosti otpornika R_D, R_0, R_1, R_2 i R_3 ako se zahteva da vrednost izlaznog napona bude $0V$ kada su ulazni digitalni signali 1111 (tranzistori ON), kao i da vrednost izlaznog napona bude $-7V$ kada su ulazni signali 0000 (tranzistori OFF).

Kada su tranzistori isključeni, otpornici $R_D+R_0, R_D+R_1, R_D+R_2, R_D+R_3$, čine težinsku otpornu mrežu.

Poznato je: $V_{R1} = 10V$, $V_{R2} = -1V$, $R_S = 900\Omega$, otpornost NMOS tranzistora kada provodi je $r_{ON} = 100\Omega$, $R_f = 4k\Omega$.

Karakteristike ostalih komponenata su idealne.

b) Nacrtati vremenski dijagram izlaznog napona v_I ako je na ulaz D/A konvertora priključen binarni brojač koji broji unapred od stanja $Q_3Q_2Q_1Q_0 = 0000$ do $Q_3Q_2Q_1Q_0 = 1111$, a zatim promeni smer i broji do stanja $Q_3Q_2Q_1Q_0 = 0000$. Sva kašnjenja kroz kolo sa slike su zanemarljiva.



Slika 1

Rešenje:

a) Na slici 2. je prikazana ekvivalentna šema posmatranog D/A konvertora.

Vrednost otpornosti R_D određujemo iz uslova da kada tranzistor vodi nema struje kroz odgovarajući otpornik koji povezuje prekidač i izlaz kola. Kako su ovi otpornici jednim krajem vezani za masu (negativni ulaz operacionog pojačavača), potrebno je obezbediti $0V$ na drejnu tranzistora kada tranzistor vodi.

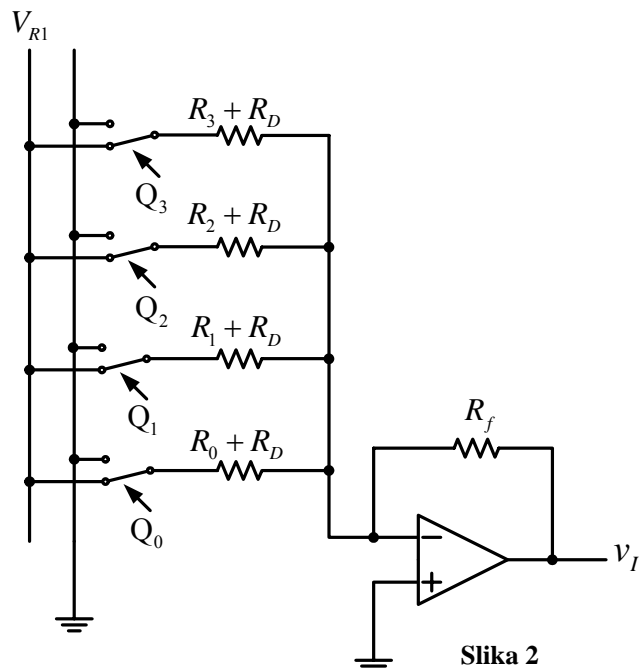
Prema slici 3., važi sledeća jednačina (I Kirhofov zakon za struje za drejn tranzistora):

$$\frac{V_{R1}}{R_D} = \frac{|V_{R2}|}{R_S + r_{ON}}$$

$$R_D = \frac{V_{R1}}{|V_{R2}|} (R_S + r_{ON}) = 10k\Omega$$

Ako je na ulazu kombinacija 0000 svi prekidači su isključeni, prema izlazu teče maksimalna struja, tako da je izlazni napon najmanji mogući negativan

$$v_I = -15R_f \frac{V_{R1}}{R_0 + R_d} = -|V_{max}| = -7V$$



Slika 2

$$R_0 + R_D = 15R_f \frac{V_{R1}}{7V} = 86k\Omega$$

$$R_0 = 76k\Omega$$

Na osnovu osobina otporne mreže određujemo ostale otpornosti

$$R_1 + R_d = \frac{R_0 + R_d}{2} = 43k\Omega$$

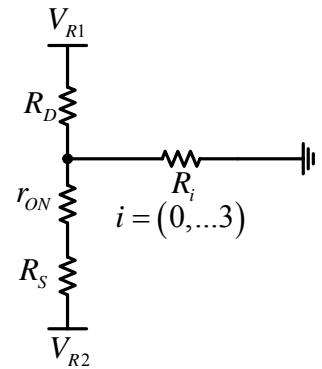
$$R_1 = 33k\Omega$$

$$R_2 + R_d = \frac{R_1 + R_d}{2} = 21.5k\Omega$$

$$R_2 = 10.5k\Omega$$

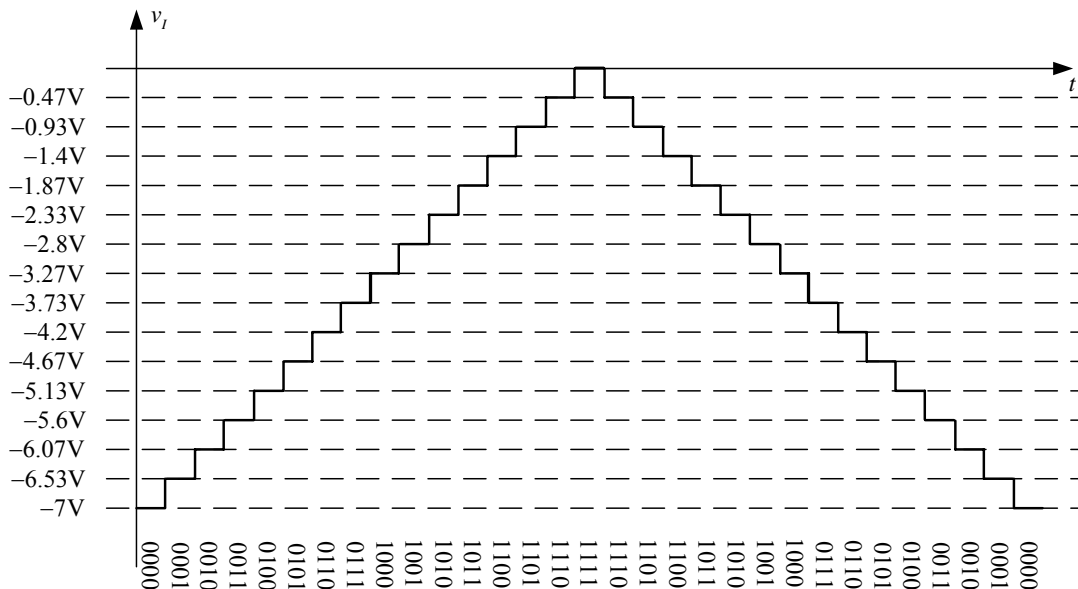
$$R_3 + R_d = \frac{R_2 + R_d}{2} = 10.75k\Omega$$

$$R_3 = 750\Omega$$



Slika 3

b) Traženi vremenski dijagram napona prikazan je na slici 4.



Slika 4

8. [10] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model digitalnog sistema koji broji ukupan broj jednakih bita na pozicijama iste težine dva ulazna vektora. Dva ulazna vektora A i B se sastoje od po 16 bita. Izlazni vektor Z predstavlja binarni broj koji pokazuje koliko bita na pozicijama iste težine su međusobno jednaki u dva ulazna vektora. Odrediti minimalan potreban broj bita izlaznog vektora Z, tako da sistem ispravno radi za sve kombinacije bita ulaznih vektora. Svi vektori treba da imaju bite poredane u smeru MSB>LSB.

Napomena: Ocenjuje se precizna upotreba sintakse.

Rešenje:

S obzirom da je maksimalni broj jednakih bita na pozicijama iste težine koji se mogu pojaviti u dva ulazna vektora jednak 16, može se zaključiti da je potreban broj bita u izlaznom vektoru 5.

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_unsigned.all;

ENTITY count_same_bits IS PORT
(
    A          :    IN    STD_LOGIC_VECTOR(15 DOWNTO 0);
    B          :    IN    STD_LOGIC_VECTOR(15 DOWNTO 0);
    Z          :    OUT   STD_LOGIC_VECTOR(4  DOWNTO 0)
);
END count_same_bits;

ARCHITECTURE behav OF count_same_bits IS
BEGIN
    PROCESS(A,B)
        VARIABLE P: STD_LOGIC_VECTOR(4 DOWNTO 0);
    BEGIN
        P := "00000";
        FOR j IN 0 TO 15 LOOP
            IF A(j)=B(j) THEN
                P := P + "00001";
            END IF;
        END LOOP;
        Z    <=    P;
    END PROCESS;
END behav;

```