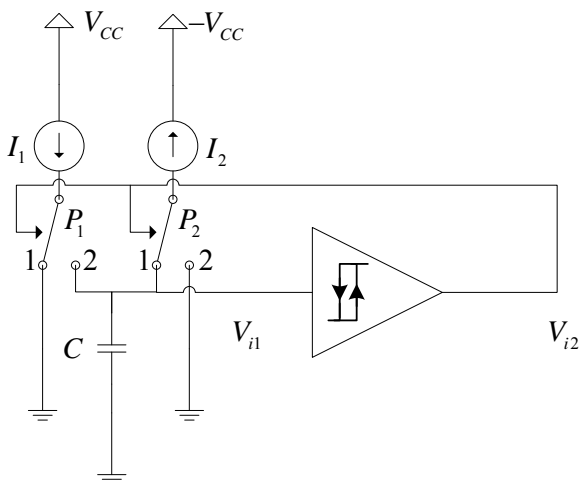


**KANDIDAT:** Ime \_\_\_\_\_ Prezime \_\_\_\_\_ Broj indeksa \_\_\_\_\_ Dežurni \_\_\_\_\_

1. Na slici je prikazano kolo za generisanje pravougaonih impulsa. Kolo se sastoji od jednosmernih strujnih izvora inteziteta  $I_1$ ,  $I_2$ , kondenzatora  $C$ , prekidača  $P_1$ ,  $P_2$  i neinvertujućeg šmitovog komparatora. Pragovi okidanja šmitovog komparatora su  $V_{R1}$  i  $V_{R2}$  ( $0 < V_{R1}, V_{R2} < V_{CC}, V_{R2} > V_{R1}$ ), izlaz komparatora može biti  $V_{i2} = V_{CC}$  ili  $V_{i2} = 0V$ . Prekidači  $P_1$ ,  $P_2$  se nalaze u položaju 1 (kao na slici) kada je napon  $V_{i2} = V_{CC}$ . U suprotnom, kada je napon  $V_{i2} = 0V$ , prekidači se nalaze u položaju 2. Ulazna otpornost šmitovog komparatora je beskonačna.



- [10] Odrediti periodu oscilovanja u kolu na slici 1, kao i odnos impuls/pauza za napon  $V_{i2}$
- [5] Nacrtati talasne oblike napona  $V_{i1}$  i  $V_{i2}$ , i izvesti uslov koji treba da važi da bi odnos impuls/pauza napona  $V_{i1}$ , bio jedan.
- [5] Ako se prekidač  $P_2$ , iz nekog razloga pokvari i ostane u položaju 1 bez obzira na napon  $V_{i2}$ , a prekidač  $P_1$  nastavi normalno da funkcioniše, koji uslov treba da važi da bi kolo moglo i dalje da osciluje.

### Rešenje:

U ustaljenom stanju, napon  $V_{i1}$  se kreće u ganicama  $V_{R1} < V_{i1} < V_{R2}$ . Kada je napon na izlazu  $V_{i2} = 0V$ , prekidač  $P_1$  je u položaju 2, i kondenzator se puni konstantnom strujom  $I_1$ . Tada napon  $V_{i1} = v_C$  raste od  $V_{R1}$  do  $V_{R2}$ . Kada napon  $V_{i1} = v_C$  postane jednak  $V_{R2}$ , napon na izlazu postaje  $V_{i2} = 0V$ , prekidači  $P_1$ ,  $P_2$  se prebacuju u položaj 1 i kondenzator se prazni konstantnom strujom  $I_1$ . Tada napon  $V_{i1} = v_C$  opada od  $V_{R2}$  do  $V_{R1}$ .

Jednačina koja opisuje promenu napona na kondenzatoru se može izvesti iz:

$$C \frac{dv_C}{dt} = I_C \Rightarrow v_C(t) = v_C(0) + \frac{I_C}{C} t.$$

### **Slučaj 1 (prekidači u položaju 2, kondenzator se puni)**

$v_C(t) = V_{R1} + \frac{I_1}{C} t$ , vreme punjenja kondenzatora, određeno je kao  $T_1 = \frac{C}{I_1} (V_{R2} - V_{R1})$ , što je ujedno i vreme trajanja pauze povorke pravougaonih impulsa  $V_{i2}$ .

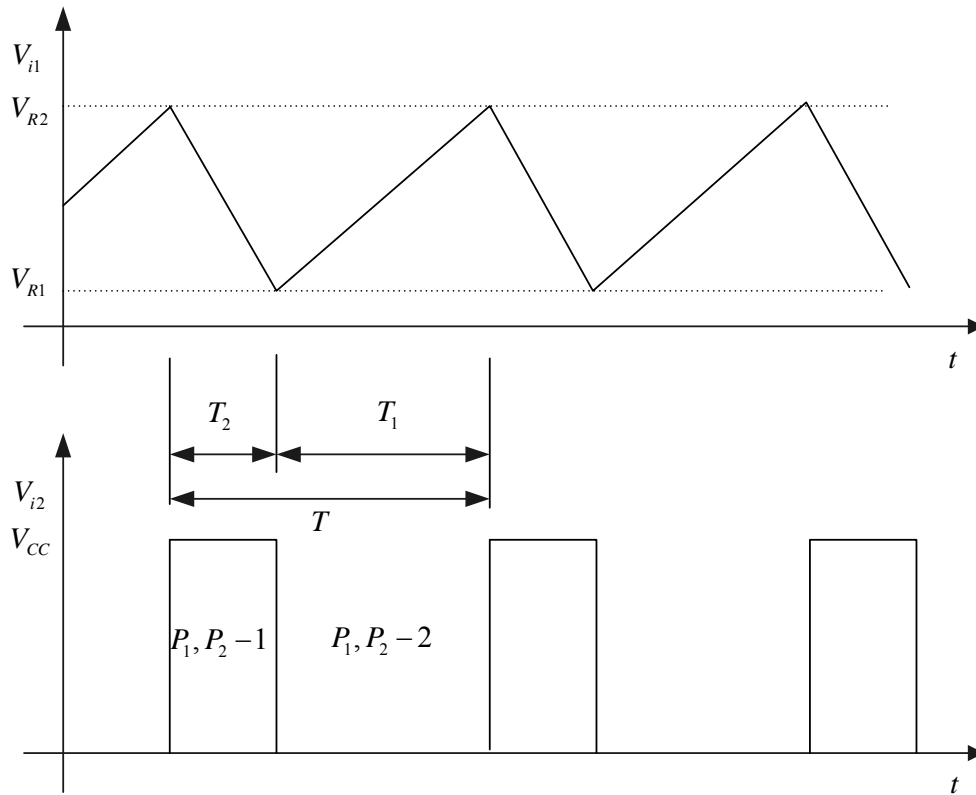
**Slučaj 2 (prekidači u položaju 1, kondenzator se prazni)**

$v_C(t) = V_{R2} - \frac{I_2}{C}t$ , vreme pražnjenja kondenzatora, određeno je kao  $T_2 = \frac{C}{I_2}(V_{R2} - V_{R1})$ , što je ujedno i vreme trajanja impulsa povorke pravougaonih impulsa  $V_{i2}$ .

Perioda oscilovanja u kolu je data kao

$$T = T_1 + T_2 = \frac{C}{I_1}(V_{R2} - V_{R1}) + \frac{C}{I_2}(V_{R2} - V_{R1}) = C(V_{R2} - V_{R1})\left(\frac{1}{I_1} + \frac{1}{I_2}\right).$$

Dijagrami napona  $V_{i1}$  i  $V_{i2}$  su prikazani na slici.



*Talasni oblici napona  $V_{i1}$  i  $V_{i2}$*

Da bi odnos impuls/pauza povorke pravougaonih impulsa na izlazu bio jedan, treba da važi  $T_1 = T_2$ ,

odnosno:  $\frac{C}{I_1}(V_{R2} - V_{R1}) = \frac{C}{I_2}(V_{R2} - V_{R1}) \Rightarrow I_1 = I_2$

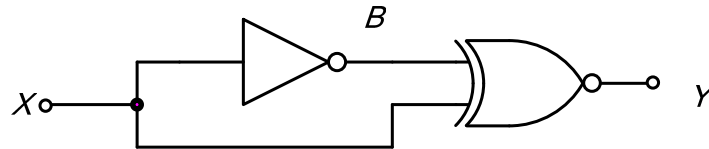
Ako se prekidač  $P_2$  pokvari i ostane u položaju 1 bez obzira na napon  $V_{i2}$ , uslov koji treba da važi da bi kolo moglo i dalje da osciluje je  $I_1 > I_2$ , jer u suprotnom kondenzator nikad ne bi počeo da se puni.

2. Propagaciono kašnjenje svakog od logičkih kola sa slike iznosi  $t_{pd} = 20 \text{ ns}$ .

a) [10] Nacrtati vremenske dijagrame napona u tačkama X, B i Y, kada se na ulaz X dovode simetrični pravougaoni impulsi učestanosti  $f$  ( $1/f \gg t_{pd}$ ). Vremenske oblike traženih napona nacrtati za jedan impuls ulaznog napona. Koju funkciju obavlja kolo sa slike?

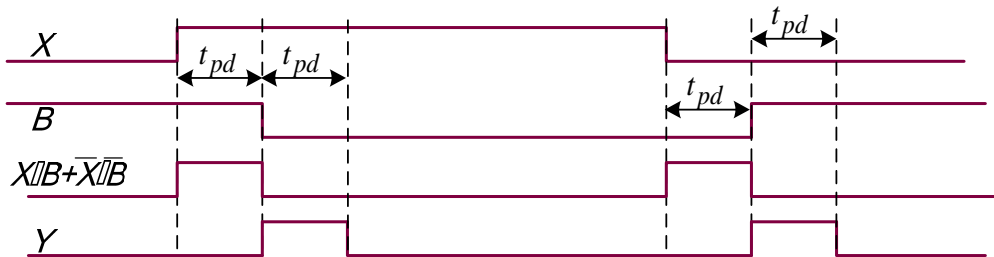
b) [5] Šta se menja u vremenskim dijagramima ako je umesto jednog invertora na red povezan neparan broj  $N$  invertora?

c) [5] Šta se menja u vremenskim dijagramima ako je umesto jednog invertora na red povezan paran broj  $N$  invertora?



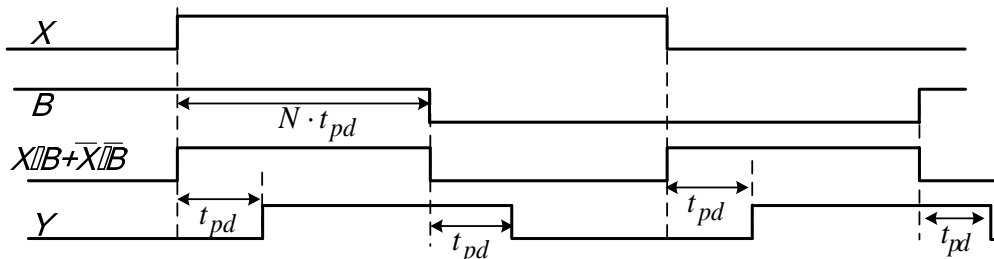
**Rešenje:**

a) Na slici su prikazani vremenski dijagrami logičkih nivoa u tačkama X, B i Y.

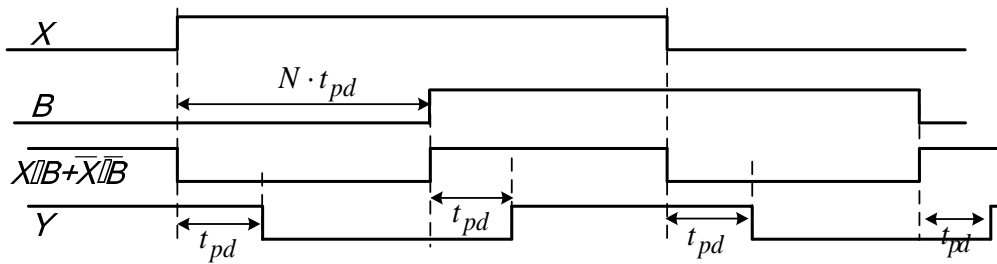


Kolo posle svake uzlazne i silazne ivice pobudnog signala generiše impuls trajanja  $t_{pd} = 20 \text{ ns}$ , zakašnjen za  $t_{pd} = 20 \text{ ns}$  od trenutka kada se pojavila ivica. Kašnjenje je posledica kašnjenja kroz EXNILI kolo, a širina impulsa je posledica kašnjenja kroz invertor. Funkcija kola je digitalni diferencijator.

b) Ukoliko je  $N$  neparno, situacija je ekvivalentna kao da se koristi jedan invertor sa kašnjenjem od  $N \cdot t_{pd}$ . Zbog toga će se generisati impulsi širine  $N \cdot t_{pd}$ , zakašnjeni za  $t_{pd} = 20 \text{ ns}$ .



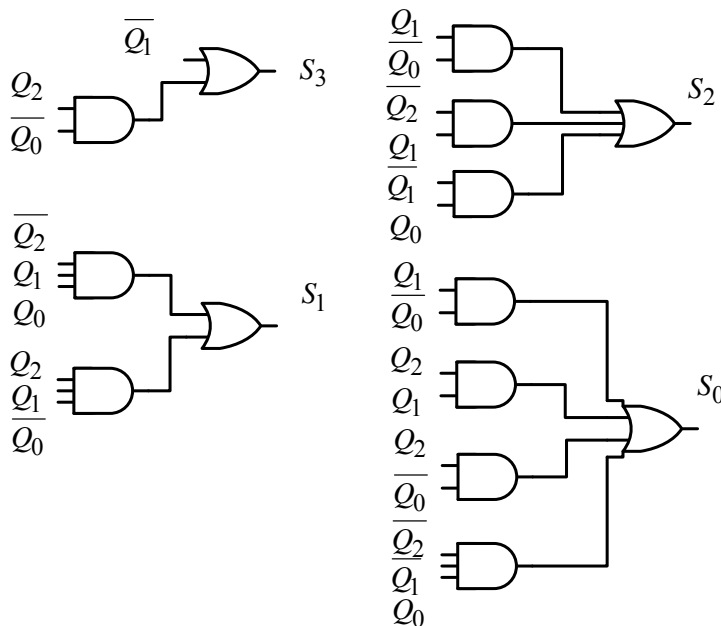
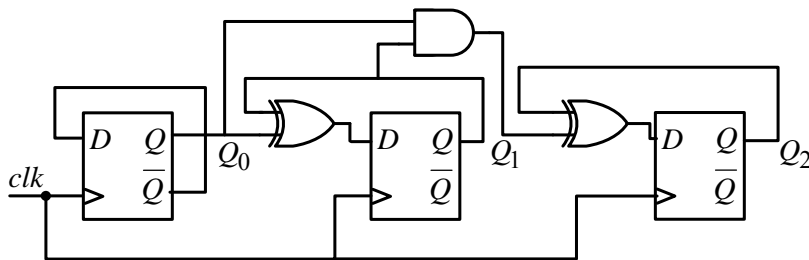
Ukoliko je  $N$  parno, signal u tački B je invertovan tako da će signal na izlazu biti komplementaran signalu za neparno  $N$



3. [20] Korišćenjem tri D flip-flopa, i potrebnog broja proizvoljnih logičkih kola projektovati sekvencijalnu mrežu koja na svojim izlazima ponavlja sekvencu  $S_3:S_2:S_1:S_0 \rightarrow 1000-1101-0101-0110-1001-1100-1111-0001-1000...$

### Rešenje:

Kako sekvencijalna mreža ima osam stanja dovoljno je upotrebiti tri D flip-flopa (kako je u tekstu zadatka i naglašeno) koji se mogu povezati da rade kao trobitni binarni brojač sa osam stanja, a zatim izlaz tog brojača kodirati u traženu četvorobitnu sekvencu ( $000 \rightarrow 1000; 001 \rightarrow 1101; 010 \rightarrow 0101; \dots$ ). Prema tome tražena mreža se sastoji od sekvencijalnog dela koji obrazuje najobičniji trobitni brojač i kombinacionog dela koji koduje stanja trobitnog brojača u traženu četvorobitnu sekvencu.



8. [20] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model specijalizovanog multipleksera prema sledećim specifikacijama.

Multiplekser poseduje osam osmobitnih ulaza za podatke (A0, A1, A2, ..., A7), jedan trobitni selekcion ulaz (SEL) i jedan osmobitni izlaz (X). Biti svih pomenutih vektora su poređani od MSB ka LSB u smeru sa leva na desno. Za vrednosti selekcionog vektora SEL 000 ili 001, na izlaz X treba da se proslede vrednosti dobijene aritmetičkim pomeranjem udesno za dve bitske pozicije podataka sa ulaza A0 ili A1, respektivno. Za vrednosti selekcionog vektora SEL 010 ili 011, na izlaz X treba da se proslede vrednosti dobijene logičkim pomeranjem ulevo za dve bitske pozicije podataka sa ulaza A2 ili A3, respektivno. Za vrednosti selekcionog vektora SEL 100 ili 101, na izlaz X treba da se proslede vrednosti dobijene rotacijom ulevo za četiri bitske pozicije podataka sa ulaza A4 ili A5, respektivno. I konačno, za vrednosti selekcionog vektora SEL 110 ili 111, na izlaz X treba da se proslede vrednosti podataka sa ulaza A6 ili A7, respektivno.

Napomena: Postupkom aritmetičkog pomeranja udesno bitske pozicije koje ostaju upražnjene nakon pomeranja se popunjavaju logičkim nivoom koji je pre pomeranja imao bit najveće težine. Postupkom logičkog pomeranja ulevo bitske pozicije koje ostaju upražnjene nakon pomeranja se popunjavaju logičkim nulama. Ocenjuje se precizna upotreba sintakse.

### Rešenje:

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY spec_mux IS PORT
(
    A0,A1,A2,A3,A4,A5,A6,A7: IN STD_LOGIC_VECTOR (7 DOWNTO 0);
    SEL: IN STD_LOGIC_VECTOR (2 DOWNTO 0);
    X: OUT STD_LOGIC_VECTOR (7 DOWNTO 0)
);
END spec_mux;

ARCHITECTURE behav OF spec_mux IS
BEGIN
    PROCESS (A0,A1,A2,A3,A4,A5,A6,A7,SEL) BEGIN
        CASE SEL IS
            WHEN "000" => X<=A0(7) & A0(7) & A0(7 DOWNTO 2);
            WHEN "001" => X<=A1(7) & A1(7) & A1(7 DOWNTO 2);
            WHEN "010" => X<=A2(5 DOWNTO 0) & "00";
            WHEN "011" => X<=A3(5 DOWNTO 0) & "00";
            WHEN "100" => X<=A4(3 DOWNTO 0) & A4(7 DOWNTO 4);
            WHEN "101" => X<=A5(3 DOWNTO 0) & A5(7 DOWNTO 4);
            WHEN "110" => X<=A6;
            WHEN "111" => X<=A7;
        END CASE;
    END PROCESS;
END behav;

```