

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA \_\_\_\_\_

Ispit: 11.02.2009.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala \_\_\_\_\_  
 Vreme početka \_\_\_\_\_  
 Vreme završetka \_\_\_\_\_  
 Potpis \_\_\_\_\_

Ime \_\_\_\_\_  
 Prezime \_\_\_\_\_  
 Broj indeksa \_\_\_\_\_  
 Potpis \_\_\_\_\_

USLOVI ISPITA

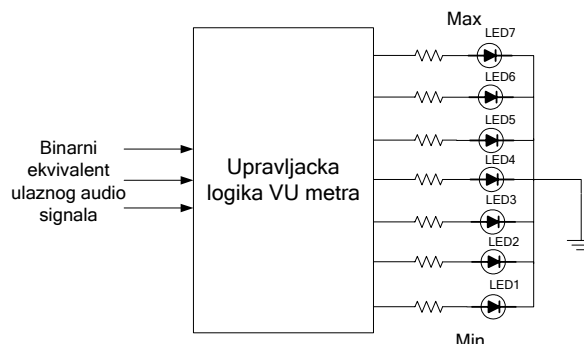
1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Ocenjuju se rad kandidata i kreativnost.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	5	Total
Max	<b>20</b>	<b>10</b>	<b>20</b>	<b>20</b>	<b>10</b>	<b>80</b>
Dobijeno						

1. [20] Nacrtati blok-šemu A/D konvertora sa sukcesivnom aproksimacijom koji je realizovan korišćenjem kapacitivne mreže. Objasniti način rada na primeru konvertora sa dva bita. Pokazati da rezultat konverzije zavisi samo od odnosa kapacitivnosti, a ne i od njihove vrednosti. Zašto je ta činjenica značajna?

2. [10] Na slici je prikazana blok-šema digitalnog merača nivoa audio signala-VU metar (Volume Units). Na ulaz VU metra dolazi digitalni ekvivalent analognog signala predstavljen sa tri cifre u prirodnom binarnom kodu. Kada audio signal ima minimalan nivo, na ulazu VU metra je prisutna digitalna vrednost 000. Kada je nivo signala maksimalan, na ulazu VU metra je prisutna digitalna vrednost 111. Kao vizuelni indikator jačine audio signala koristi se sedam svetlećih dioda (LED) koje su povezane sa ostatkom kola kao na slici. U zavisnosti od nivoa signala pali se proporcionalan broj svetlećih dioda. Kada audio signal ima maksimalan nivo, upaljene su sve diode, kada ima minimalan nivo sve diode su ugašene. Koristeći minimalan broj potrebnih logičkih kola konstruisati upravljačku logiku VU metra koja kontroliše svetleće diode.



### Rešenje:

Zavisnost upravljačkih signala za pobudu LED dioda od ulaznog binarnog signala  $u_1 u_2 u_3$  se može predstaviti sledećom tabelom.

i	u1	u2	u3	led1	led2	led3	led4	led5	led6	led7
0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0
2	0	1	0	1	1	0	0	0	0	0
3	0	1	1	1	1	1	0	0	0	0
4	1	0	0	1	1	1	1	0	0	0
5	1	0	1	1	1	1	1	1	0	0
6	1	1	0	1	1	1	1	1	1	0
7	1	1	1	1	1	1	1	1	1	1

Na osnovu ove tabele mogu se postupkom minimizacije odrediti prekidačke funkcije  $led_i = led_i(u_1 u_2 u_3)$ ,  $i \in \{1..7\}$  i izvršiti sinteza kombinacione mreže upravljačke logike VU metra.

$$led_1 = u_1 + u_2 + u_3$$

$$led_2 = u_1 + u_2$$

$$led_3 = u_1 + u_2 u_3$$

$$led_4 = u_1$$

$$led_5 = u_1 u_2 + u_1 u_3$$

$$led_6 = u_1 u_2$$

$$led_7 = u_1 u_2 u_3$$

3. [20] Nacrtati jedan ispod drugog izgled signala u tačkama A, B i C kola sa slike. Signal u tački A je dugo vremena bio logička nula, potom je bio logička jedinica tokom  $T_U = 20\text{ns}$ , da bi se zatim ponovo vratio na logičku nulu. Koliko je trajanje impulsa u tački B? Logičko kolo ima prag odlučivanja jednak polovini napona napajanja, i kašnjenje  $t_{pd} = 15\text{ns}$ . Smatrati da je korišćena dioda idealna. Napajanje logičkih kola je  $V_{DD} = 5\text{V}$ .

$$R = 100\Omega, C_p = 1\text{nF}$$

### Rešenje:

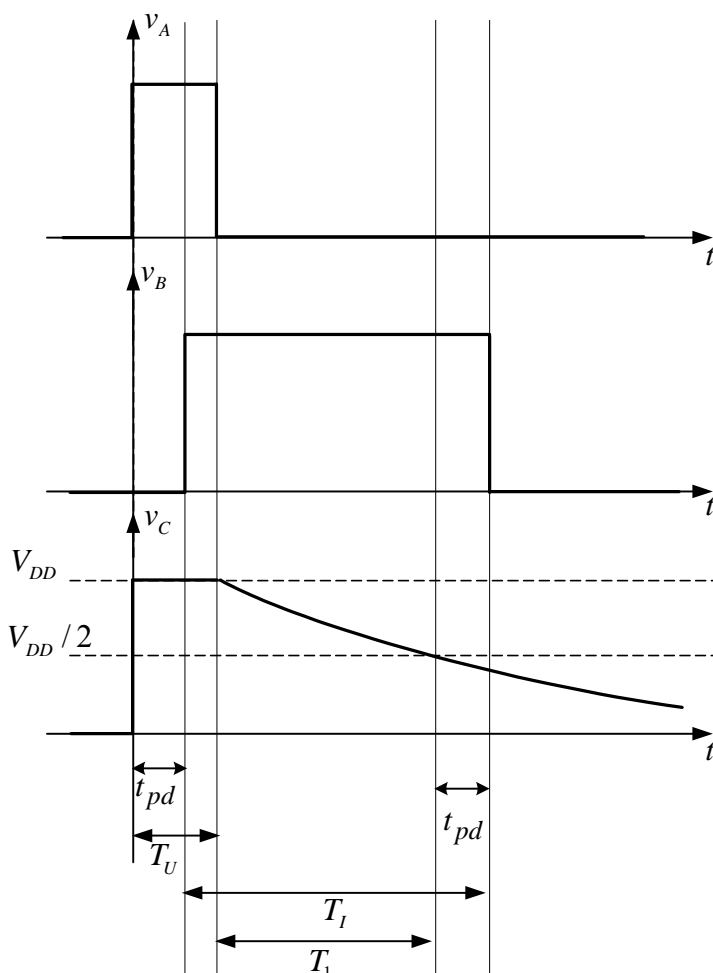
Kako je signal u tački A dugo vremena bio stabilan, u kolu je uspostavljeno stabilno stanje, sa sledećim vrednostima napona:  $V_A = 0\text{V}$ ,  $V_B = 0\text{V}$ ,  $V_C = 0\text{V}$ .

Kada se signal u tački A promeni sa logičke nule na logičku jedinicu, uključuje se idealna dioda i trenutno puni kondenzator C,  $V_C(0^+) = V_{DD}$ .

Na oba ulaza ILI kola nalazi se logička jedinica, ali će tačka B promeniti vrednost tek nakon isteka vremena  $t_{pd}$ , zbog kašnjenja logičkog kola.

Stanje u kolu je stabilno – nema nikakve promene dok se ulazni signal ne vrati na nivo logičke nule, što se dešava nakon isteka vremena  $T_U$ . Kako je sada dioda inverzno polarisana, napon tačke C ne može da trenutno promeni vrednost, tako da na jednom od ulaza

ILI kola i dalje postoji logička jedinica i nema promene signala u tački B.



Ekvivalentna šema prikazana je na slici.

Parametri koji opisuju napon u tački C su  $V_C(0^+) = V_{DD}$ ,  $V_C(\infty) = 0\text{V}$  i  $\tau = RC_p$ .

Napon tačke C opada, i nakon isteka vremena  $T_1$  pada na vrednost praga odlučivanja logičkog kola

$$V_C(T_1) = V_{DD} / 2 \Rightarrow T_1 = RC \ln 2 = 69\text{ns}.$$

Sada su na oba ulaza ILI kola logičke nule, i potrebno je da protekne još vreme  $t_{pd}$  da tačka B postane logička nula. Nakon toga, kako se signal na ulazu više ne menja, analiza je završena.

Traženi vremenski oblici napona prikazani su na slici, dok je trajanje impulsa u tački B jednako  $T_I = T_U - t_{pd} + T_1 + t_{pd} = 89\text{ns}$

4. [20] Konstruisati brojač sa D flip flopovima i potrebnim logičkim kolima koji broji u sekvenci 0,1,2,3,4,11,12,13,14,15. Koristiti minimalan broj logičkih kola. Nacrtati električnu šemu brojaca (povezati logička kola i flip flobove). Komentarisati ponašanje brojača prilikom ulaska u zabranjena stanja.

**Rešenje:**

Tabela prelaza flip flopova prikazana je na slici:

i	D(i)	C(i)	B(i)	A(i)	D(i+1)	C(i+1)	B(i+1)	A(i+1)
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	1	0	1	1
5	1	0	1	1	1	1	0	0
6	1	1	0	0	1	1	0	1
7	1	1	0	1	1	1	1	0
8	1	1	1	0	1	1	1	1
9	1	1	1	1	0	0	0	0

Posle izvršene minimizacije za jednačine prelaza se dobijaju sledeći izrazi:

$$D(i+1) = D\bar{B} + D\bar{C} + C\bar{A}$$

$$C(i+1) = D\bar{C} + D\bar{A} + D\bar{B} + \bar{D}BA$$

$$B(i+1) = B\bar{A} + \bar{B}A + \bar{D}C = B \oplus A + \bar{D}C$$

$$A(i+1) = \bar{A}$$

Analizom zabranjenih stanja, može se zaključiti da će brojač nakon dva taktna ciklusa (u najgorem slučaju) izaći iz njih i početi da radi normalno.

5. [10] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model osmobitnog pomeračkog registra udesno.

Pomerački registar treba da ima sledeće ulazne signale: `clk` (signal takta), `shift_en` (signal dozvole za pomeranje udesno), `shift_in` (signal koje će nakon pomeranja udesno postati nova vrednost bita najveće težine u registru), `rst` (signal asinhronog reseta), kao i izlazni signal `shift_out` (signal koji nakon pomeranja udesno poprima vrednost koju je pre pomeranja imao bit najmanje težine u registru) i izlazni osmobitni vektor `q` (koji predstavlja trenutni sadržaj registra) čiji su biti poređani od MSB ka LSB u smeru sa leva na desno.

Ukoliko je kontrolni signal `shift_en='1'` registar treba da obavlja funkciju pomeranja udesno sinhrono sa uzlaznom ivicom signala takta `clk`, a u protivnom treba da zadržava postojeći sadržaj bez pomeranja. Ako je signal `rst='1'` sadržaj registra treba da se resetuje asinhrono u odnosu na signal takta.

Napomena: Ocenjuje se precizna upotreba sintakse.

### **Rešenje:**

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY shifter IS PORT
(
    clk,rst,shift_en,shift_in : IN STD_LOGIC;
    shift_out : OUT STD_LOGIC;
    q : OUT STD_LOGIC_VECTOR(7 DOWNTO 0)
);
END shifter;

ARCHITECTURE behav OF shifter IS
    SIGNAL tmp : STD_LOGIC_VECTOR(7 DOWNTO 0);
BEGIN
    PROCESS (clk,rst) BEGIN
        IF rst='1' THEN
            tmp <= (OTHERS => '0');
        ELSIF rising_edge(clk) THEN
            IF shift_en='1' THEN
                tmp <= shift_in & tmp(7 DOWNTO 1);
                shift_out <= tmp(0);
            END IF;
        END IF;
    END PROCESS;
    q <= tmp;
END behav;

```