

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

BROJ POENA _____

Ispit: 24.08.2007.

Odgovorni nastavnik i asistent: Dragan Vasiljević i Goran Savić

DEŽURNI:

KANDIDAT:

Sala _____
 Vreme početka _____
 Vreme završetka _____
 Potpis _____

Ime _____
 Prezime _____
 Broj indeksa _____
 Potpis _____

USLOVI ISPITA

1. Trajanje ispita 240 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Ocenjuju se rad kandidata i sposobnost rezonovanja.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	5	6	7	8	Total
Max	10	15	10	15	10	15	10	15	100
Dobijeno									

1. [5] a. Definisati PRVI komplement brojne vrednosti X zapisane sa p cifara. Pokazati primer za trocifren decimalni broj po izboru.

[5] **b.** Definisati DRUGI komplement brojne vrednosti X zapisane sa p cifara. Pokazati primer za petocifren binarni broj po izboru.

Rešenje:

P.1. str.5.,6.

2. [5] **a.** Nacrtati realizaciju bistabilnog elementa sa dva invertora i na osnovu prenosne karakteristike invertora definisati stabilna i metastabilno stanje bistabilnog elementa.
- [5] **b.** Definirati ivični D flipflop, nacrtati njegov simbol, funkcionalnu tabelu i blok-šemu realizacije pomoću dva D-leća.
- [5] **c.** Nacrtati blok-šemu unidirekcionog pomeračkog registra sa obeleženim i definisanim po funkciji međuvezama i spoljnim priključcima.

Rešenje:

Pred.6, str.1.,4.,8.

3. [10] Nacrtati realizaciju trobitnog D/A konvertora sa lestvičastom otpornom mrežom opterećenom potrošačem R_p . Izračunati izraz za napon na potrošaču ako je:
- a. $R_p = \textit{beskonačno}$
 - b. $R_p = 2R$

Rešenje:

Pred.8, str.3.

4. [5] a. Nacrtati principijelnu šemu A/D konvertora i objasniti diskretizaciju po vremenu i po amplitudi.

[10] b. Definirati postupak A/D konverzije:

- kvant po kvant,
- bit po bit (binit po binit),
- odmerak po odmerak.

Uporediti definisane postupke po brzini rada i po složenosti hardvera.

Rešenje:

Pred.8., str.1-3.

KANDIDAT: Ime _____ Prezime _____ Broj indeksa _____
Dežurni _____

5. Zapisati decimalni broj 40_{10} u:

- a. [3] prirodnom BCD kodu,
- b. [3] binarnom kodu,
- c. [4] Grejovom kodu.

Rešenje:

a. $40_{10} = 01000000_{\text{BCD}}$

b. $40_{10} = 101000_2$

$40/2=20$ ostatak 0 (*LSB*)

$20/2=10$ ostatak 0

$10/2=5$ ostatak 0

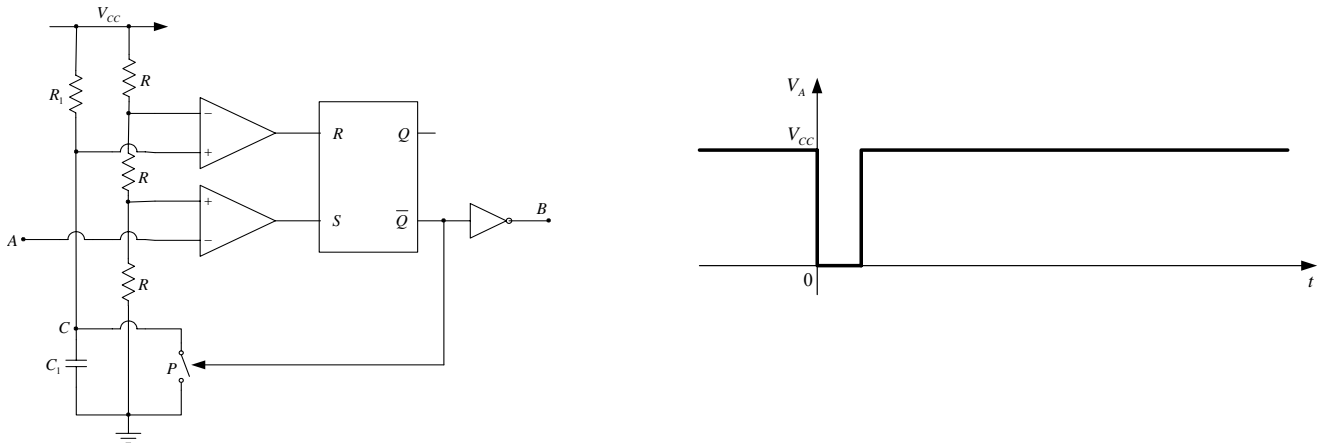
$5/2=2$ ostatak 1

$2/2=1$ ostatak 0

$1/2=0$ ostatak 1 (*MSB*)

c. $40_{10} = 111100_{\text{GRAY}}$

6. [15] Za kolo sa slike odrediti i nacrtati vremenske dijagrame napona u tačkama B i C, ako se na ulaz A dovede kratkotrajni naponski impuls kao što je to prikazano na slici. Odrediti trajanje impulsa u tački B. Otpornosti svih otpornika u kolu, kapacitivnost kondenzatora C_1 i napon napajanja V_{CC} smatrati poznatim. Naponski kontrolisani prekidač P je zatvoren ako je $\bar{Q} = 1$ i tada se može ekvivalentirati otpornošću $R_{ON} \rightarrow 0$, a otvoren je ako je $\bar{Q} = 0$ i tada se može ekvivalentirati otpornošću $R_{ON} \rightarrow \infty$. Invertor u kolu je idealan, CMOS tipa sa naponom napajanja V_{CC} . Za $t < 0$ se kolo nalazilo dugo vremena u stacionarnom stanju.



Rešenje:

Za $t < 0$ i $V_A = V_{CC}$, u stabilnom stanju je $S=0$, a R može biti 1 ili 0. Ako čitalac ne može da zaključi kolika je vrednost R u stabilnom stanju, čitaocu ostaje da pretraži sve moguće slučajeve kojih ukupno ima dva. Na primer, ako čitalac pretpostavi da je $R=1$, pravilnim zaključivanjem sledi da je $\bar{Q} = 1$ što prema uslovu zadatka zatvara prekidač, a zatvoren prekidač daje napon na kondenzatoru C_1 ravan nuli, a to daje $R=0$, što je konfliktno sa polaznom pretpostavkom. Pošto je zaključivanje tačno, a rezultat konfliktan, sledi da je polazna pretpostavka $R=1$ pogrešna. Pošto ima samo dve mogućnosti, sledi da je $R=0$ u stabilnom stanju. Ovo je primer zaključivanja svođenjem na apsurd.

U stabilnom stanju su oba ulaza leća (R i S) na logičkoj nuli, $\bar{Q} = 1$, P-zatvoren, $V_B = 0$ i $V_C = 0$. Neposredno nakon pojave silazne ivice impulsa u tački A (tj. u trenutku $t = 0^+$) je: $V_A = 0$, ulaz leća S je na logičkoj jedinici, ulaz leća R je na logičkoj nuli, $\bar{Q} = 0$, P-otvoren, $V_B = 1$, a napon u tački C počinje eksponencijalno da raste:

$$V_C(t) = V_C(\infty) - [V_C(\infty) - V_C(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$V_C(\infty) = V_{CC};$$

$$V_C(0^+) = V_C(0^-) = 0;$$

$$\tau = C_1 R_1$$

tako da je: $V_C(t) = V_{CC}(1 - e^{-\frac{t}{R_1 C_1}})$ za $t > 0$.

Ova zavisnost važi sve dok napon u tački C ne dostigne vrednost $\frac{2V_{CC}}{3}$ (u trenutku

$t = t_1$) kada izlaz gornjeg komparatora postaje logička jedinica što resetuje leč i nakon toga je: $\overline{Q} = 1$, P-zatvoren, $V_B = 0$ i $V_C = 0$. Pad napona u tački C sa vrednosti $\frac{2V_{CC}}{3}$ na 0 se dešava momentalno zbog otpornosti prekidača P kada je zatvoren $R_{ON} \rightarrow 0$.

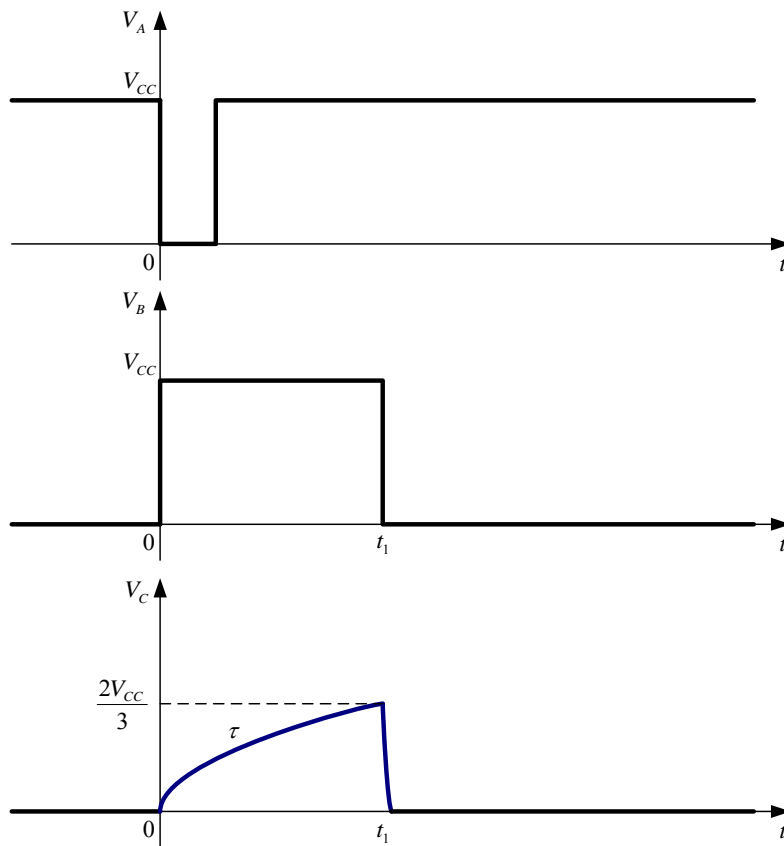
Trenutak $t = t_1$ (tj. trajanje impulsa u tački B) se određuje iz uslova:

$$V_C(t_1) = \frac{2V_{CC}}{3} = V_{CC}(1 - e^{-\frac{t_1}{R_1 C_1}}),$$

što daje:

$$t_1 = R_1 C_1 \ln 3.$$

Vremenski dijagrami napona u tačkama B i C su prikazani na sledećim slikama:



7. [10] Koristeći zadata logička kola projektovati i nacrtati kombinacionu mrežu koja vrši detekciju prisustva prostih četvorobitnih brojeva na svom ulazu. Ukoliko je ulazni četvorobitni broj $A_3A_2A_1A_0$ prost, izlazni signal Y treba da bude na nivou logičke jedinice, a u suprotnom na nivou logičke nule. Na raspolaganju su:

a) I, ILI logička kola i invertori.

b) NI logička kola.

Nula nije prost broj.

Rešenje:

a) Kombinaciona tabela za traženu kombinacionu mrežu je prikazana na sledećoj slici:

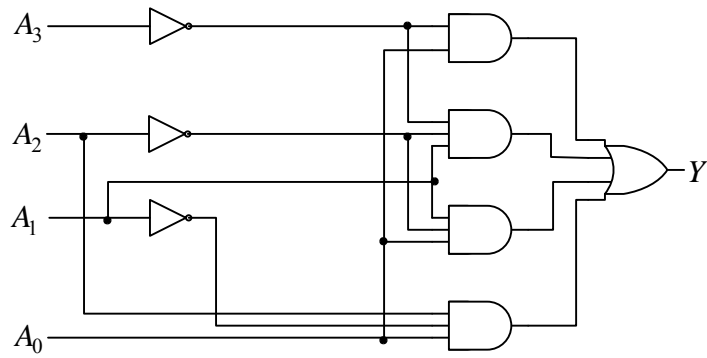
A_3	A_2	A_1	A_0	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

Pomoću Karnoove mape dobija se:

$A_3A_2 \setminus A_1A_0$	00	01	11	10
00	0	1	1	1
01	0	1	1	0
11	0	1	0	0
10	0	0	1	0

$$Y = \overline{A_3}A_0 + A_2\overline{A_1}A_0 + \overline{A_3}\overline{A_2}A_1 + \overline{A_2}A_1A_0$$

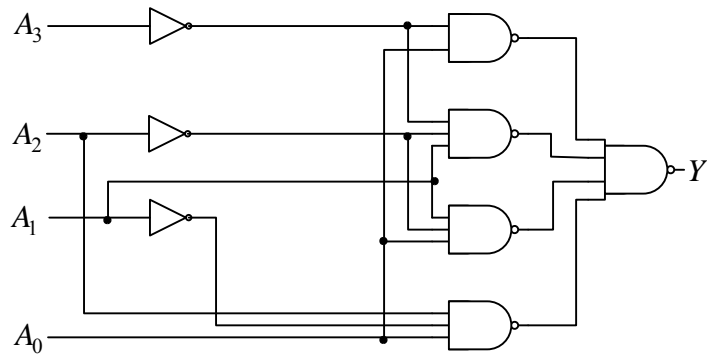
Tražena realizacija je prikazana na sledećoj slici:



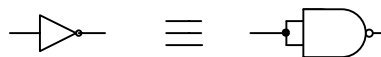
b) Transformacijom izraza izvedenog u tački a) dobija se:

$$Y = \overline{\overline{A_3 A_0} + \overline{A_2 A_1 A_0} + \overline{A_3 A_2 A_1} + \overline{A_2 A_1 A_0}} = \overline{\overline{A_3 A_0} \cdot \overline{A_2 A_1 A_0} \cdot \overline{A_3 A_2 A_1} \cdot \overline{A_2 A_1 A_0}}$$

Realizacija kombinacione mreže korišćenjem NI logičkih kola i invertora ima izgled:



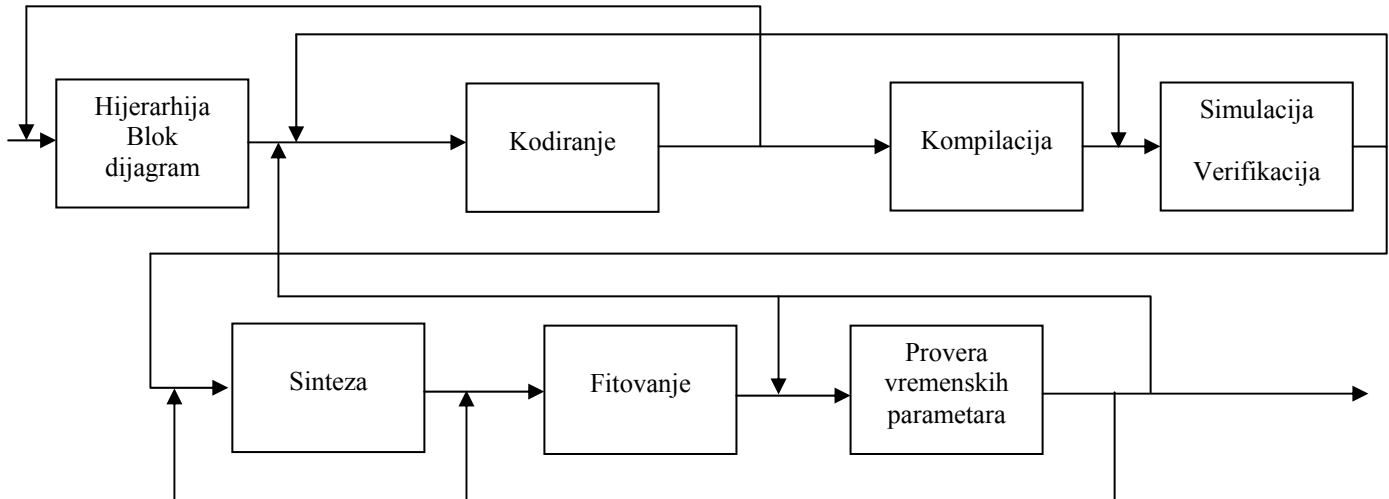
dok se invertor može realizovati pomoću dvoulaznog NI kola na sledeći način:



8. [15] Nacrtati blok-dijagram koji ilustruje postupak projektovanja digitalnih sistema korišćenjem VHDL-a. Ukratko opisati svaki od koraka u tom postupku navođenjem osnovnih aktivnosti koje se u okviru posmatranog koraka sprovode i alata koji se za to koriste.

Rešenje:

Postoji nekoliko koraka u VHDL dizajnu; ovi koraci su primenjivi na bilo kom VHDL dizajnu.



Slika 1. Koraci u VHDL dizajnu

Hijerarhija (blok dijagram) podrazumeva izradu blokova na nivou blok dijagram strukture. Definišu se moduli i njihova povezanost.

Kodiranje. Pisanje VHDL koda za module u predhodnom koraku, njihovih interfejsa i internih detalja. Pošto je VHDL tekstualni jezik može se koristiti bilo koji tekstualni editor. Većina okruženja za rad sa VHDL-om nudi specijalizovani VHDL tekst editor. Uključuje automatsko izdvajanje ključnih reči i još neke pogodnosti.

Kompilacija. Kada se napiše kod potrebno ga je kompajlirati. VHDL kompajler analizira kod i traži sintaksne greške, proverava kompatibilnost sa ostalim modulima. Takođe kreira interne informacije koje su potrebne za simulaciju kasnije.

Simulacija. VHDL simulator dozvoljava korisniku da definiše i primeni ulaze na strukturu koju je definisao u VHDL-u, i da posmatra izlaze iz te strukture, bez potrebe za fizičkom realizacijom. Za velike projekte VHDL daje mogućnost kreiranja „test bench” –eva koji automatski stimulišu ulaze i porede ih sa očekivanim izlazima.

Verifikacija. Simlacija je samo jedan deo većeg procesa koji se zove verifikacija. Svrha simulacije je da se verifikuje da li kolo radi onako kako je predviđeno. U velikim projektima najveća pažnja se posvećuje za vreme kodiranja i posle, za definisanje test vektora koji testiraju kolo za veliki opseg logičkih uslova. Postoje dva nivoa verifikacije:

- Funkcionalni, posmatra se samo da li kolo zadovoljava funkcionalno, sva kašnjenja su nula
- Vremenska verifikacija, posmatra se funkcionisanje kola sa uključenim kašnjenjima (procenjenim)

Vremenska verifikacija na ovom nivou je ograničena jer vremenske karakteristike kola zavise od sinteze, detaljna vremenska verifikacija se vrši posle sinteze.

Sinteza. Priroda i alati u ovom procesu su raznoliki i zavise od primenjene tehnologije. Mogu se izvojiti tri osnovna koraka:

- **Sinteza.** Konvertovanje VHDL opisa u skup primitiva ili komponenata koje mogu biti ostvarene u primenjenoj tehnologiji. Na primer sa PLD ili CPLD komponentama alat za sintezu može generisati sume proizvoda.
- **Fitovanje.** Alatk za fitovanje mapira sintetizovane primitive ili komponente u raspoložive resurse komponente. Za PLD i CPLD je to dodeljivanje jednačina (sume proizvoda) raspoloživim AND-OR elementima. Dizajner često zadaje uslov fiteru u smislu raspodele modula u čipu, odnosno dodelu ulaznih i izlaznih pinova odgovarajućim signalima.
- **Vremenska verifikacija.** Jedino u ovom momentu je moguće precizno utvrditi vremenske parametre kola (kašnjenja u zavisnosti od dužina žica, električnog opterećenja itd.....). Obično se primenjuju isti test vektori kao u vreme funkcionalne verifikacije, ali u ovom slučaju oni se primenjuju na komponentu koja će se fizički realizovati.

Na dijagramu VHDL dizajna (slika 1), je pokazano da ako nisu zadovoljeni neki zahtevi u dizajnu moraju se ponovo preduzeti neki koraci. Može se desiti da ako se ne zadovolje vremenski kriterijumi ceo dizajn pretrpi izmene (najgori mogući slučaj).