

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 20.09.2007.

Odgovorni nastavnik i asistent: Dragan Vasiljević i Goran Savić

DEŽURNI:

KANDIDAT:

Sala _____
 Vreme početka _____
 Vreme završetka _____
 Potpis _____

Ime _____
 Prezime _____
 Broj indeksa _____
 Potpis _____

USLOVI ISPITA

1. Trajanje ispita 240 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Ocenjuju se rad kandidata i sposobnost rezonovanja.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	5	6	7	8	Total
Max	10	10	10	10	15	15	15	15	100
Dobijeno									

1. a.[3] Definisati hazard u kombinacionom kolu.
 b.[3] Definisati statički i dinamički hazard u kombinacionom kolu .
 c.[4] Navesti i objasniti jednu tehniku za gličfri dizajn.

Rešenje:

Pred.4.str.9-11.

2. a.[3] Nacrtati D-leč realizovan na bazi RS flipflopa.
b.[3] Nacrtati ivični D-flipflop baziran na D-leču.
c.[4] Nacrtati paralelno-paralelni četvorobitni registar baziran na ivičnom D-flipflop.

Rešenje:

Pred.6 str.5-17

3. [10] Nacrtati organizaciju ROM memorije sa dvodimenzionim adresiranjem kapaciteta 2^n reči od B bita. Označiti priključke i definisati njihove funkcije.

Rešenje:

Pred.7 str.1.

4. a.[4] Nacrtati blok-šemu brojačkog A/D konvertora sa dvojn timer nagibom.
b.[3] Nacrtati vremenske dijagrame u karakterističnim tačkama kola.
c.[3] Izračunati izraz za brojnu vrednost rezultata konverzije.

Rešenje:

Pred.9 str.6-9.

KANDIDAT: Ime _____ Prezime _____ Broj indeksa _____
Dežurni _____

5. a.[5] Nacrtati realizaciju CMOS NI kola sa dva ulaza i napisati njegovu funkcionalnu tabelu.

b.[5] Nacrtati realizaciju CMOS NILI kola sa dva ulaza i napisati njegovu funkcionalnu tabelu.

c.[5] Izvršiti sintezu složenog CMOS logičkog kola koje realizuje logičku funkciju:

$$Z = A \cdot (B + C) + D \cdot E$$

koristeći kombinaciju NILI i NI logičkih kola tako, da broj upotrebljenih tranzistora bude što manji. Prvo treba realizovati funkcije:

DE komplement,

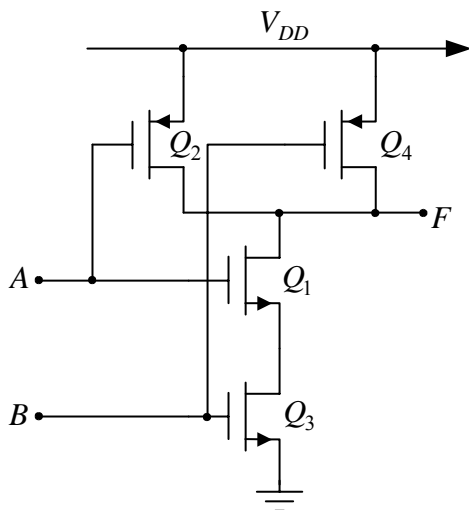
B+C komplement,

a onda povezati prethodne funkcije u složeno kolo štedeći tranzistore tako, da se napravi zadata funkcija $Z = A \cdot (B + C) + D \cdot E$.

Logičko kolo ima jedan napon napajanja V_{DD} .

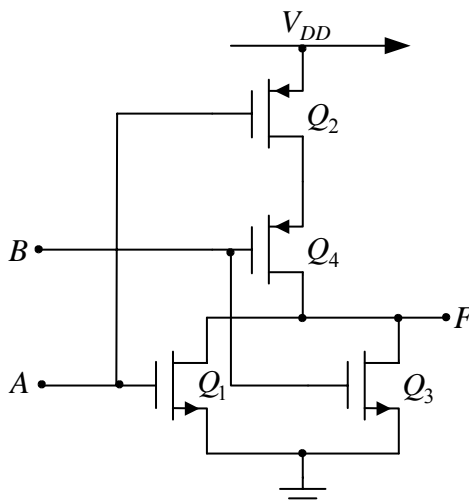
Rešenje:

a)



A	B	Q ₁	Q ₂	Q ₃	Q ₄	F
0	0	OFF	ON	OFF	ON	1
0	1	OFF	ON	ON	OFF	1
1	0	ON	OFF	OFF	ON	1
1	1	ON	OFF	ON	OFF	0

b)



A	B	Q ₁	Q ₂	Q ₃	Q ₄	F
0	0	OFF	ON	OFF	ON	1
0	1	OFF	ON	ON	OFF	0
1	0	ON	OFF	OFF	ON	0
1	1	ON	OFF	ON	OFF	0

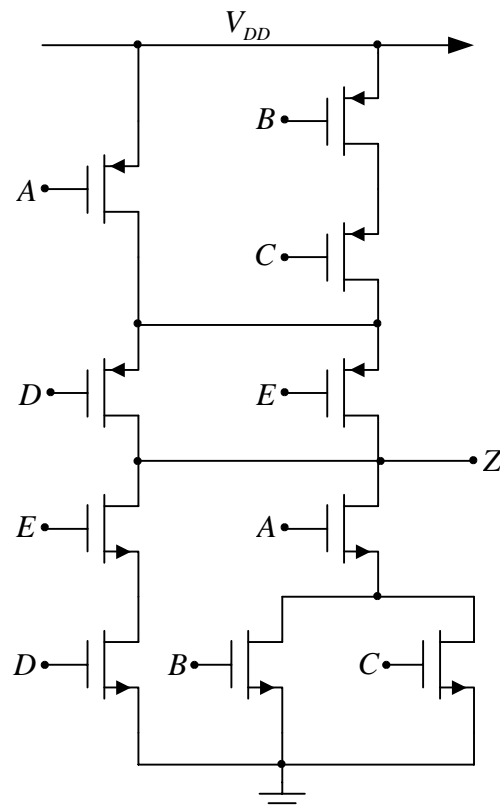
c) U osnovi strukture koja treba da čini traženo CMOS logičko kolo se nalazi CMOS NILI logičko kolo $Z = \overline{X + Y}$, pri čemu je: $X = A \cdot (B + C)$ i $Y = D \cdot E$. Dakle, u osnovi će traženo logičko kolo činiti „N-deo“ (deo sa NMOS tranzistorima) i „P-deo“ (deo sa PMOS tranzistorima) pri čemu će u „N-delu“ postojati dve paralelno vezane podstrukture X i Y.

Unutar podstrukture X u „N-delu“ će tranzistor na čiji gejt se dovodi signal A biti redno vezan sa paralelnom vezom dva tranzistora na čije gejtove se dovode signali B, odnosno C kako bi se realizovala podfunkcija $X = A \cdot (B + C)$.

Unutar podstrukture Y u „N-delu“ će tranzistori na čije gejtove se dovode signali D, odnosno E biti međusobno redno vezani kako bi se realizovala podfunkcija $Y = D \cdot E$.

Realizacija „P-dela“ traženog logičkog kola je dualna realizaciji „N-dela“.

Traženo logičko kolo je prikazano na sledećoj slici:



6. a) [10] Koristeći dvoulazna I, ILI, EXILI logička kola i invertore izvršiti sintezu jedne ćelije potpunog oduzimača. Na ulaz i -te ćelije oduzimača dovode se biti a_i i b_i i -tog razreda, koje treba oduzeti ($a_i - b_i$), kao i bit pozajmice p_{uli} koja je korišćena u nižem razredu. Izlaz ćelije oduzimača daje rezultat oduzimanja u i -tom razredu r_i , kao i pozajmicu p_{izli} iz višeg razreda.

b) [5] Koristeći ćelije potpunog oduzimača iz predhodne tačke i potrebna logička kola, potrebno je izvršiti sintezu kombinacione mreže za oduzimanje četvorobitnih binarnih brojeva kod kojih je negativna brojna vrednost predstavljena sa drugim komplementom. Potrebno je generisati i signal ovf , koji ukazuje da li je došlo do prekoračenja pri oduzimanju četvorobitnih brojeva (overflow).

Rešenje:

a) Kombinaciona tabela za jednu ćeliju potpunog oduzimača je prikazana na sledećoj slici:

a_i	b_i	p_{uli}	r_i	p_{izli}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Pomoću Karnoovih mapa se dobijaju izrazi za rezultat oduzimanja u i -tom razredu r_i , kao i za pozajmicu p_{izli} :

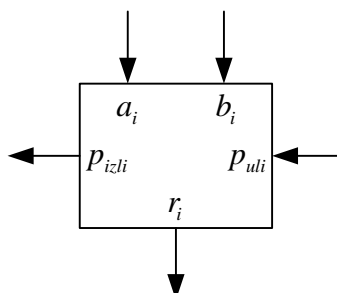
$p_{uli} \setminus a_i b_i$	00	01	11	10
0	0	1	0	1
1	1	0	1	0

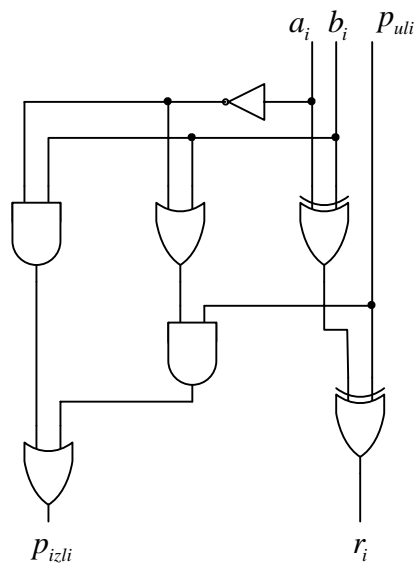
$$\begin{aligned}
 r_i &= \overline{a_i} \cdot \overline{b_i} \cdot p_{uli} + \overline{a_i} \cdot b_i \cdot \overline{p_{uli}} + a_i \cdot b_i \cdot p_{uli} + a_i \cdot \overline{b_i} \cdot \overline{p_{uli}} = \\
 &= \overline{p_{uli}} \cdot (\overline{a_i} \cdot b_i + a_i \cdot \overline{b_i}) + p_{uli} \cdot (a_i \cdot b_i + \overline{a_i} \cdot \overline{b_i}) = \\
 &= \overline{p_{uli}} \cdot (a_i \oplus b_i) + p_{uli} \cdot (\overline{a_i \oplus b_i}) = a_i \oplus b_i \oplus p_{uli}
 \end{aligned}$$

$p_{uli} \setminus a_i b_i$	00	01	11	10
0	0	1	0	0
1	1	1	1	0

$$p_{izli} = \overline{a_i} \cdot b_i + \overline{a_i} \cdot p_{uli} + b_i \cdot p_{uli} = \overline{a_i} \cdot b_i + (\overline{a_i} + b_i) \cdot p_{uli}$$

Blok-šema i realizacija jedne ćelije potpunog oduzimača su prikazane na sledećim slikama:

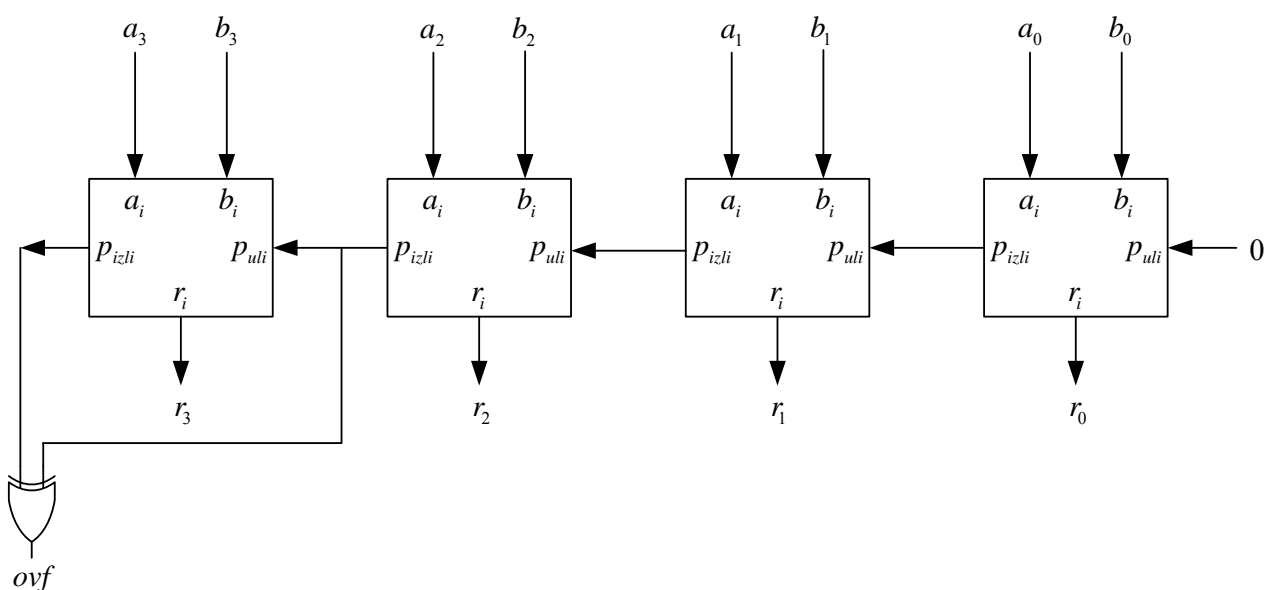




b) Kombinatorna mreža za oduzimanje četvorobitnih binarnih brojeva kod kojih je negativna brojna vrednost predstavljena sa drugim komplementom se može projektovati kao kaskadna veza četiri ćelije potpunog oduzimača, gde se na svaki ulaz i -te ćelije a_i i b_i dovode i -ti biti umanjnika i umanjioaca, a na ulaz p_{uli} se dovodi pozajmica $p_{izl(i-1)}$ iz nižeg razreda, pri čemu je $p_{ul0} = 0$.

Signal ovf ukazuje da li je došlo do prekoračenja, može da se odredi na sledeći način. Poznato je da do prekoračenja prilikom oduzimanja označenih binarnih brojeva u komplementu dvojke dolazi u slučaju kada pozitivan broj oduzimamo od negativnog a kao rezultat dobijemo pozitivan broj, ili u slučaju kada negativan broj oduzimamo od pozitivnog a kao rezultat dobijemo negativan broj. Drugim rečima, prekoračenje se javlja kada su biti na poziciji koja ima najveću težinu $a_3 = 1$ i $b_3 = 0$, a njihova razlika $r_3 = 0$, ili kada su biti na poziciji koja ima najveću težinu $a_3 = 0$ i $b_3 = 1$, a njihova razlika $r_3 = 1$. Iz kombinacione tabele za jednu ćeliju potpunog oduzimača se vidi da se to dešava onda i samo onda kada su biti p_{ul3} i p_{izl3} međusobno različiti. Iz toga se zaključuje da je $ovf = p_{ul3} \oplus p_{izl3}$.

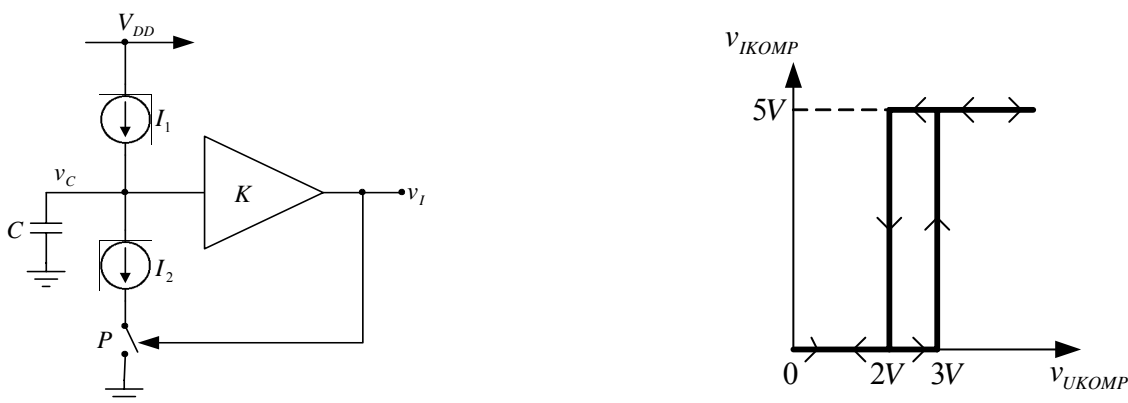
Realizacija opisane kombinacione mreže je prikazana na sledećoj slici:



7. [15] Za kolo na slici je poznato: $V_{DD} = 5\text{ V}$, $C = 1\mu\text{F}$. Strujni izvori generišu vremenski konstantne struje $I_1 = 100\text{ mA}$ i $I_2 = 150\text{ mA}$. Šmitov komparator K je neinvertujući, sa ulaznom otpornošću $R_{UL_KOMP} \rightarrow \infty$ i sa karakteristikom prikazanom na slici. Prekidač P je kontrolisan od strane komparatora K, na taj način što je za napon od 5V na izlazu komparatora prekidač P zatvoren (i tada mu je otpornost $R_{P_ON} \rightarrow 0$), dok je za napon od 0V na izlazu komparatora prekidač P otvoren (i tada mu je otpornost $R_{P_OFF} \rightarrow \infty$).

Šmitov komparator se napaja sa jednom baterijom za napajanje V_{DD} .

Odrediti i nacrtati (jedan ispod drugog) vremenske oblike napona v_C i v_I dovoljno dugo vremena posle uključenja izvora za napajanje kada kolo uđe u ustaljeni režim rada (ustaljeno stanje). Kolika je perioda signala na izlazu komparatora?



Rešenje:

Kada je na izlazu komparatora K napon od 0V, prekidač je otvoren i tada se kondenzator puni vremenski konstantnom strujom $I_1 = 100\text{ mA}$. Stoga će se napon na kondenzatoru linearno povećavati sa nagibom $\frac{I_1}{C}$ (s obzirom da je veza između struje i napona kondenzatora definisana

relacijom $v_C(t) = \frac{1}{C} \int i_C(t) dt$). Ovaj proces će se dešavati sve dok napon na kondenzatoru (tj. na ulazu komparatora) ne dostigne vrednost 3V (što predstavlja gornji prag komparatora), kada će se napon na izlazu komparatora promeniti sa 0V na 5V.

Tada se prekidač P zatvara i kondenzator počinje da se prazni sa vremenski konstantnom strujom $I_2 - I_1 = 50\text{ mA}$. Od tog trenutka napon na kondenzatoru linearno opada sa nagibom $\frac{I_1 - I_2}{C}$, sve dok ne opadne do vrednosti 2V (što predstavlja donji prag komparatora), kada se napon na izlazu komparatora menja sa 5V na 0V, nakon čega se prekidač P ponovo otvara. Opisani proces se periodično ponavlja.

Vreme punjenja kondenzatora (T_1) se može odrediti iz relacije:

$$\frac{I_1}{C} = \frac{3\text{ V} - 2\text{ V}}{T_1}$$

odakle se dobija: $T_1 = 10\mu\text{s}$.

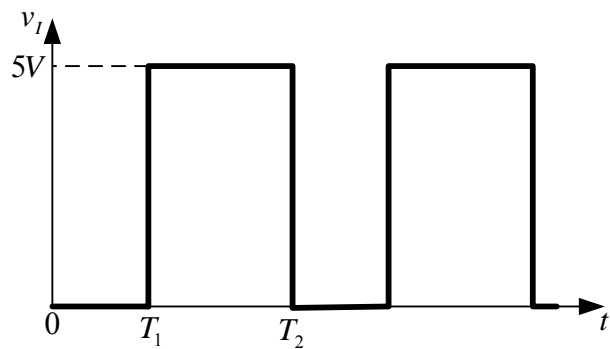
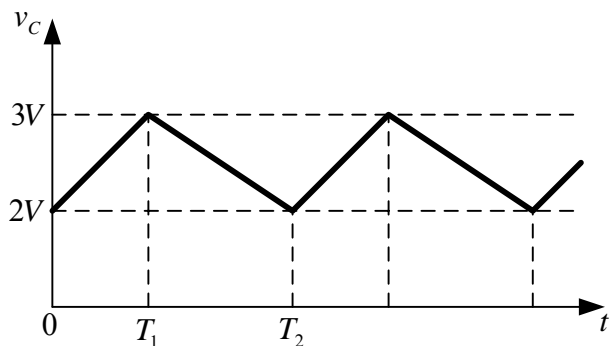
Vreme pražnjenja kondenzatora ($T_2 - T_1$) se može odrediti iz relacije:

$$\frac{I_2 - I_1}{C} = \frac{3\text{ V} - 2\text{ V}}{T_2 - T_1}$$

odakle se dobija: $T_2 - T_1 = 20\mu s$.

Perioda signala na izlazu komparatora je $T_2 = 30\mu s$.

Vremenski oblici traženih napona su prikazani na sledećim slikama:



8. [15] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model kružnog pomerača udesno.

Kružni pomerač udesno je kombinaciono kolo koje kao ulaze ima osmobarbitni ulazni vektor DIN i trobitni upravljački vektor SEL, dok je izlaz osmobarbitni vektor DOUT. Svi vektori imaju bite poredane od MSB ka LSB u smeru sa leva u desno.

Upravljački vektor SEL određuje broj pomeraja udesno pri čemu bit najmanje težine koji biva potisnut pomeranjem, dolazi na poziciju bita najveće težine.

Nacrtati i blok-dijagram sistema.

Rešenje:

```
library IEEE;
use IEEE.std_logic_1164.all;

entity pomerač_udesno is
    port (DIN: in STD_LOGIC_VECTOR (7 downto 0);
          SEL: in STD_LOGIC_VECTOR (2 downto 0);
          DOUT: out STD_LOGIC_VECTOR (7 downto 0));
end pomerač_udesno;

architecture pomerač_arch of pomerač_udesno is
begin
    process (DIN,SEL)
        variable X,Y: STD_LOGIC_VECTOR (7 downto 0);
    begin
        if SEL(0)='1' then
            X:=DIN(0) & DIN(7 downto 1);
        else X:=DIN;
        end if;
        if SEL(1)='1' then
            Y:=X(1 downto 0) & X(7 downto 2);
        else Y:=X;
        end if;
        if SEL(2)='1' then
            DOUT<=Y(3 downto 0) & Y(7 downto 4);
        else DOUT<=Y;
        end if;
    end process;
end pomerač_arch;
```

