

Integrirani računarski sistemi

A/D konverzija

Odsek za elektroniku

Univerzitet u Beogradu - Elektrotehnički fakultet

poslednja izmena 3. mart 2022



1 ADC

- Principi
 - Primer – Konverzija startovana tasterom
 - Primer – Konverzija startovana tajmerom
- Prekidi
 - Primer – Očitavanje u prekidnoj rutini

2 Low Power Modes

- Primer – LPM



1 ADC

- Principi
 - Primer – Konverzija startovana tasterom
 - Primer – Konverzija startovana tajmerom
- Prekidi
 - Primer – Očitavanje u prekidnoj rutini

2 Low Power Modes

- Primer – LPM



1 ADC

- Principi

- Primer – Konverzija startovana tasterom
- Primer – Konverzija startovana tajmerom

- Prekidi

- Primer – Očitavanje u prekidnoj rutini

2 Low Power Modes

- Primer – LPM



12-bitni AD konvertor sa sukcesivnim aproksimacijama

Do 12 nezavisnih eksternih kanala

Posebni kanali za interni temperaturni senzor i eksternu naponsku referencu

Maksimalna brzina konverzija nešto veća od 200ksps



Softverski ili tajmerski kontrolisano SH kolo

Tri interne ili eksterna naponska referenca

16 nezavisnih baferskih registara

Prekid sa brzim dekodovanjem 18 izvora prekida



ADC12 3/3



ADC12 funkcionisanje

Konvertuje ulazni napon u opsegu V_{ref-} do V_{ref+} po sledećoj formuli:

$$N_{ADC} = 4095 \times \frac{V_{in} - V_{ref-}}{V_{ref+} - V_{ref-}}$$

Digitalni izlaz N_{ADC} ima vrednost $0FFFh$ kada je $V_{in} > V_{ref+}$ i vrednost $0000h$ kada je $V_{in} < V_{ref-}$

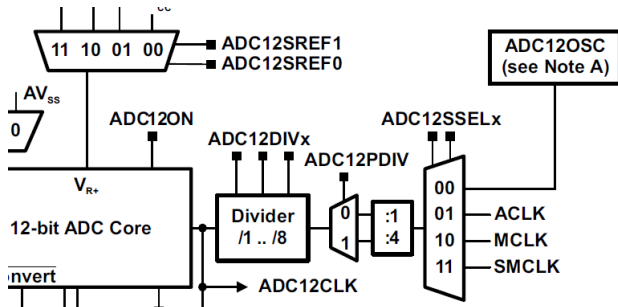
Start konverzije mogu periodično zadavati moduli **Timer_A** i **Timer_B**, ili se može direktno zadati upisom odgovarajućeg start bita u kontrolni registar

Na raspolaganju je 16 registara za čuvanje rezultata konverzije. Uz svaki registar može da se asocira bilo koji kanal

ADC12 izbor takta

Bitima ADC12SSELx bira se između SMCLK, MCLK, ACLK i ADC12OSC za izvor takta

Pomoću bita ADC12DIVx i ADC12PDIV odabrani takt se može skalirati vrednostima 1, 2, 3, ..., 8 i 4, 8, 12, ..., 32



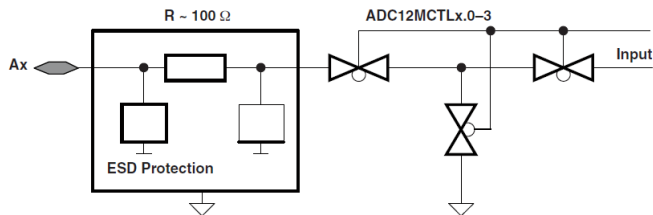
ADC12 podešavanje - uvek u neaktivnom režimu

The ADC12_A core is configured by two control registers, ADC12CTL0 and ADC12CTL1. The core is enabled with the ADC12ON bit. The ADC12_A can be turned off when it is not in use to save power. With few exceptions, the ADC12_A control bits can be modified only when ADC12ENC = 0. ADC12ENC must be set to 1 before any conversion can take place.



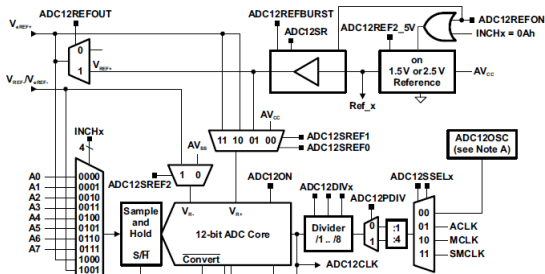
ADC12 multipleksiranje analognih ulaza

U cilju smanjenja smetnji i preslušavanja analogni ulazi koji se ne selektuju se izoluju od ADC-a



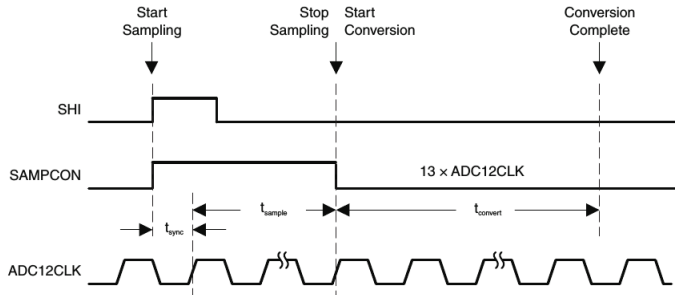
ADC12 kontrola naponske reference

U zavisnosti od stanja REFMSTR bita kontrolu nad referentnim naponom ima moduo REF ili moduo ADC12_A



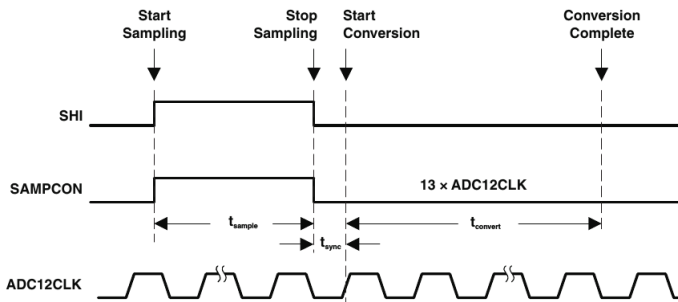
Zadavanje konverzije 1/2

Jedan način kontrole je softversko podešavanje trajanja *sampling* perioda



Zadavanje konverzije 2/2

Drugi način je direktna kontrola SHI signalom

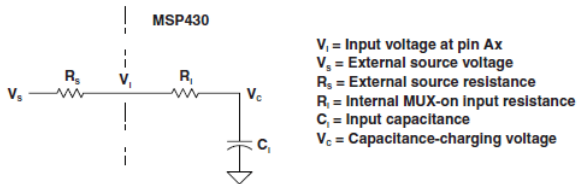


Vreme odabiranja - uslovi i preporuke

Kada je $\text{SAMPCON}=0$, svi A_x ulazi su u stanju visoke impedanse.

Kada je $\text{SAMPCON}=1$, A_x ulaz se modeluje kao low-pass RC kolo tokom vremena t_{sample} .

Napon V_C nad kapacitivnošću C_I mora biti napunjena do napona $V_S \pm \frac{LSB}{2}$ tokom vremena semplovanja.



Modovi konverzije

ADC12CONSEQx	Mode	Operation
00	Single-channel single-conversion	A single channel is converted once.
01	Sequence-of-channels (autoscan)	A sequence of channels is converted once.
10	Repeat-single-channel	A single channel is converted repeatedly.
11	Repeat-sequence-of-channels (repeated autoscan)	A sequence of channels is converted repeatedly.



Način zaustavljanja ADC-a zavisi od aktivnog moda. Preporučeni postupci zaustavljanja su:

- Resetting ADC12ENC in single-channel single-conversion mode stops a conversion immediately and the results are unpredictable. For correct results, poll the busy bit until reset before clearing ADC12ENC.
- Resetting ADC12ENC during repeat-single-channel operation stops the converter at the end of the current conversion.
- Resetting ADC12ENC during a sequence or repeat-sequence mode stops the converter at the end of the sequence.
- Any conversion mode may be stopped immediately by setting the CONSEQx = 0 and resetting the ADC12ENC bit. Conversion data are unreliable.

NOTE: No ADC12EOS bit set for sequence

If no ADC12EOS bit is set and a sequence mode is selected, resetting the ADC12ENC bit does not stop the sequence. To stop the sequence, first select a single-channel mode and then reset ADC12ENC.



1 ADC

- Principi
 - Primer – Konverzija startovana tasterom
 - Primer – Konverzija startovana tajmerom
- Prekidi
 - Primer – Očitavanje u prekidnoj rutini

2 Low Power Modes

- Primer – LPM



Zadatak – Konverzija startovana tasterom

Zadatak

Napisati program za razvojni sistem koji obezbeđuje akviziciju signala sa naponskog kanala A0 na pritisak tastera S1. Rezultat konverzije slati putem UART-a na računar. UART koristiti sa *baudrate*-om 9600, bez bita parnosti i sa jednim stop bitom (9600N1).

Rešenje

adc-button



1 ADC

- Principi
 - Primer – Konverzija startovana tasterom
 - **Primer – Konverzija startovana tajmerom**
- Prekidi
 - Primer – Očitavanje u prekidnoj rutini

2 Low Power Modes

- Primer – LPM



Zadatak – Konverzija startovana tajmerom

Zadatak

Napisati program za razvojni sistem koji obezbeđuje kontinualnu akviziciju signala sa naponskog kanala A0. Rezolucija konverzije je 12 bita. Najviših 8 bita rezultata konverzije se šalju serijskom vezom (UART9600N1) na računar. Učestanost konverzije je 2 Hz i određena je tajmerom A0.

Rešenje

`adc-timer`



ADC12 ulazi za tajmere 1/2

Table 9-11. TA0 Signal Connections

INPUT PIN NUMBER		DEVICE INPUT SIGNAL	MODULE INPUT SIGNAL	MODULE BLOCK	MODULE OUTPUT SIGNAL	DEVICE OUTPUT SIGNAL	OUTPUT PIN NUMBER	
RGC, YFF, ZXH, ZQE	PN						RGC, YFF, ZXH, ZQE	PN
18, B7, H2 - P1.0	21 - P1.0	TA0CLK	TACLK	Timer	NA	NA		
		ACLK (internal)	ACLK					
		SMCLK (internal)	SMCLK					
18, B7, H2 - P1.0	21 - P1.0	TA0CLK	TACLK					
19, B6, H3 - P1.1	22 - P1.1	TA0.0	CCI0A	CCR0	TA0	TA0.0	19, B6, H3 - P1.1	22 - P1.1
		DV _{SS}	CCI0B					
		DV _{SS}	GND					
		DV _{CC}	V _{CC}					
20, C6, J3 - P1.2	23 - P1.2	TA0.1	CCI1A	CCR1	TA1	TA0.1	20, C6, J3 - P1.2	23 - P1.2
		CBOUT (internal)	CCI1B				ADC12 (internal) ⁽¹⁾	ADC12 (internal) ⁽¹⁾
							ADC12SHSx = {1}	ADC12SHSx = {1}
		DV _{SS}	GND					
		DV _{CC}	V _{CC}					



ADC12 ulazi za tajmere 2/2

capture/compare registers.

Table 9-14. TB0 Signal Connections

INPUT PIN NUMBER		DEVICE INPUT SIGNAL	MODULE INPUT SIGNAL	MODULE BLOCK	MODULE OUTPUT SIGNAL	DEVICE OUTPUT SIGNAL	OUTPUT PIN NUMBER	
RGC, YFF, ZXH, ZQE ⁽¹⁾	PN						RGC, YFF, ZXH, ZQE ⁽¹⁾	PN
	60 - P7.7	TB0CLK	TBCLK	Timer	NA	NA		
		ACLK (internal)	ACLK					
		SMCLK (internal)	SMCLK					
	60 - P7.7	TB0CLK	TBCLK					
	55 - P5.6	TB0.0	CCI0A	CCR0	TB0	TB0.0		55 - P5.6
	55 - P5.6	TB0.0	CCI0B				ADC12 (internal) ⁽²⁾ ADC12SHSx = {2}	ADC12 (internal) ⁽²⁾ ADC12SHSx = {2}
		DV _{SS}	GND					
		DV _{CC}	V _{CC}					
	56 - P5.7	TB0.1	CCI1A	CCR1	TB1	TB0.1		56 - P5.7
		CBOUT (internal)	CCI1B				ADC12 (internal) ADC12SHSx = {3}	ADC12 (internal) ADC12SHSx = {3}
		DV _{SS}	GND					
		DV _{CC}	V _{CC}					
	57 - P7.1	TB0.2	CCI2A					57 - P7.1



1 ADC

- Principi
 - Primer – Konverzija startovana tasterom
 - Primer – Konverzija startovana tajmerom
- Prekidi
 - Primer – Očitavanje u prekidnoj rutini

2 Low Power Modes

- Primer – LPM



ADC12 prekidi 1/2

16 prekida asociranih sa ADC12IFGx flegom koji se setuje kada se u odgovarajući registar upiše rezultat konverzije

Prekid asociran sa ADC12OV flegom koji se događa kada se u neki od baferskih registara ADC12MEMx upisuje novi rezultat pre nego što je stari pročitao

ADC12TOV prekid koji se događa kada se inicira nova konverzija pre nego što je tekuća završena



Svaki od 18 izvora prekida je moguće individualno maskirati

Iako postoji samo jedan prekidni vektor za sve ADC12 prekide, korišćenjem generatora prekidnog vektora ADC12IV u kome je kodiran jedan od 18 flegova koji izazivaju prekid lako se realizuje grananje u prekidnoj rutini



1 ADC

- Principi
 - Primer – Konverzija startovana tasterom
 - Primer – Konverzija startovana tajmerom
- Prekidi
 - Primer – Očitavanje u prekidnoj rutini

2 Low Power Modes

- Primer – LPM



Zadatak – Očitavanje u prekidnoj rutini

Zadatak

Napisati program za razvojni sistem koji obezbeđuje kontinualnu akviziciju signala sa naponskog kanala A0. Rezolucija konverzije je 8 bita. Rezultat konverzije se ispisuje na sedmosegmentnom displeju u heksadecimalnom formatu (00 – FF). Osim toga, rezultat konverzije se koristi za određivanje *Duty-cycle*-a PWM signala koji se generiše pomoću tajmera A0 na izlazu CCR2. Učestanost konverzije je 2 Hz i određena je tajmerom B0.

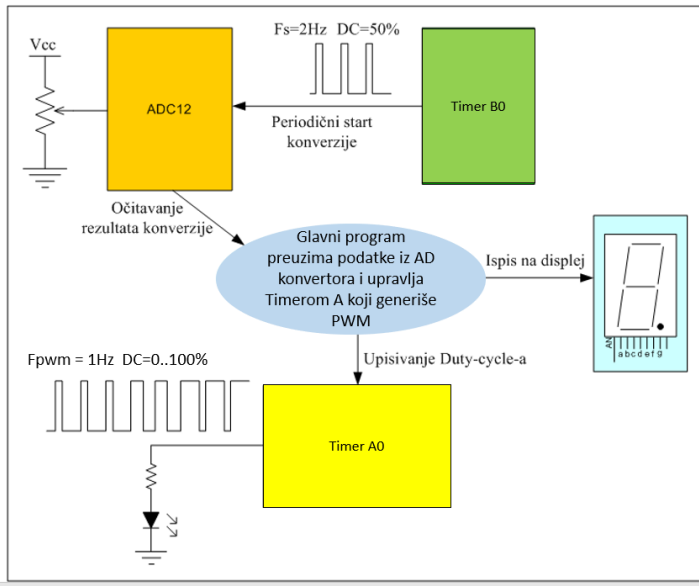
Očitavanje rezultata konverzije vršiti u prekidnoj rutini ADC

Rešenje

`adc-interrupt`



Funkcionalni hardverski model



PWM na LED out - TimerA0

Table 9-11. TA0 Signal Connections

INPUT PIN NUMBER		DEVICE INPUT SIGNAL	MODULE INPUT SIGNAL	MODULE BLOCK	MODULE OUTPUT SIGNAL	DEVICE OUTPUT SIGNAL	OUTPUT PIN NUMBER	
RGC, YFF, ZXH, ZQE	PN						RGC, YFF, ZXH, ZQE	PN
18, B7, H2 - P1.0	21 - P1.0	TA0CLK	TACLK	Timer	NA	NA		
		ACLK (internal)	ACLK					
		SMCLK (internal)	SMCLK					
18, B7, H2 - P1.0	21 - P1.0	TA0CLK	TACLK					
19, B6, H3 - P1.1	22 - P1.1	TA0.0	CCI0A	CCR0	TA0	TA0.0	19, B6, H3 - P1.1	22 - P1.1
		DV _{SS}	CCI0B					
		DV _{SS}	GND					
		DV _{CC}	V _{CC}					
20, C6, J3 - P1.2	23 - P1.2	TA0.1	CCI1A	CCR1	TA1	TA0.1	20, C6, J3 - P1.2	23 - P1.2
		CBOUT (internal)	CCI1B				ADC12 (internal) ⁽¹⁾ ADC12SHSx = {1}	ADC12 (internal) ⁽¹⁾ ADC12SHSx = {1}
		DV _{SS}	GND					
		DV _{CC}	V _{CC}					
21, C8, G4 - P1.3	24 - P1.3	TA0.2	CCI2A	CCR2	TA2	TA0.2	21, C8, G4 - P1.3	24 - P1.3
		ACLK (internal)	CCI2B					
		DV _{SS}	GND					
		DV _{CC}	V _{CC}					



1 ADC

- Principi
 - Primer – Konverzija startovana tasterom
 - Primer – Konverzija startovana tajmerom
- Prekidi
 - Primer – Očitavanje u prekidnoj rutini

2 Low Power Modes

- Primer – LPM



MSP430 mikrokontroleri podržavaju više režima smanjene potrošnje

Željeni režim smanjene potrošnje se podešava pomoću **CPUOFF**, **OSCOFF**, **SCG0** i **SCG1** bita u statusnom registru

Pošto se statusni registar čuva na steku prilikom obrade prekida, onda je nakon obrade prekida moguć povratak u stari režim smanjene potrošnje, ili ukoliko se modifikuje vrednost statusnog registra na steku, moguć odlazak u neki drugi režim smanjene potrošnje ili u aktivan režim



Table 1-2. Operation Modes

SCG1 ⁽¹⁾	SCG0	OSCOFF ⁽¹⁾	CPUOFF ⁽¹⁾	Mode	CPU and Clocks Status ⁽²⁾
0	0	0	0	Active	CPU, MCLK are active. ACLK is active. SMCLK optionally active (SMCLKOFF = 0). DCO is enabled if sources ACLK, MCLK, or SMCLK (SMCLKOFF = 0). DCO bias is enabled if DCO is enabled or DCO sources MCLK or SMCLK (SMCLKOFF = 0). FLL is enabled if DCO is enabled.
0	0	0	1	LPM0	CPU, MCLK are disabled. ACLK is active. SMCLK optionally active (SMCLKOFF = 0). DCO is enabled if sources ACLK or SMCLK (SMCLKOFF = 0). DCO bias is enabled if DCO is enabled or DCO sources MCLK or SMCLK (SMCLKOFF = 0). FLL is enabled if DCO is enabled.
0	1	0	1	LPM1	CPU, MCLK are disabled. ACLK is active. SMCLK optionally active (SMCLKOFF = 0). DCO is enabled if sources ACLK or SMCLK (SMCLKOFF = 0). DCO bias is enabled if DCO is enabled or DCO sources MCLK or SMCLK (SMCLKOFF = 0). FLL is disabled.
1	0	0	1	LPM2	CPU, MCLK are disabled. ACLK is active. SMCLK is disabled. DCO is enabled if sources ACLK. FLL is disabled.
1	1	0	1	LPM3	CPU, MCLK are disabled. ACLK is active. SMCLK is disabled. DCO is enabled if sources ACLK. FLL is disabled.
1	1	1	1	LPM4	CPU and all clocks are disabled.
1	1	1	1	LPM3.5 ⁽³⁾	When PMMREGOFF = 1, regulator is disabled. No memory retention. In this mode, RTC operation is possible when configured properly. See the RTC module for further details.
1	1	1	1	LPM4.5 ⁽³⁾	When PMMREGOFF = 1, regulator is disabled. No memory retention. In this mode, all clock sources are disabled; that is, no RTC operation is possible.

⁽¹⁾ This bit is automatically reset when exiting low power modes. Refer to [Section 1.4.1](#) for details.

⁽²⁾ The low-power modes and, hence, the system clocks can be affected by the clock request system. See the [UCS chapter](#) for details.

⁽³⁾ LPM3.5 and LPM4.5 modes are not available on all devices. See the device-specific data sheet for availability.



Example 1-2. Examples of Entering and Exiting LPM in C

```
// Enter LPM0 Example
__bis_SR_register(LPM0_bits + GIE);    // Enter LPM0 with interrupts enabled

// Exit LPM0 Interrupt Service Routine
__bic_SR_register_on_exit (LPM0_bits);  // Exit LPM0

// Enter LPM1 Example
__bis_SR_register(LPM1_bits + GIE);    // Enter LPM1 with interrupts enabled

// Exit LPM1 Interrupt Service Routine
__bic_SR_register_on_exit (LPM1_bits);  // Exit LPM1

// Enter LPM2 Example
__bis_SR_register(LPM2_bits + GIE);    // Enter LPM2 with interrupts enabled

// Exit LPM2 Interrupt Service Routine
__bic_SR_register_on_exit (LPM2_bits);  // Exit LPM2

// Enter LPM3 Example
__bis_SR_register(LPM3_bits + GIE);    // Enter LPM3 with interrupts enabled

// Exit LPM3 Interrupt Service Routine
__bic_SR_register_on_exit (LPM3_bits);  // Exit LPM3

// Enter LPM4 Example
__bis_SR_register(LPM4_bits + GIE);    // Enter LPM4 with interrupts enabled

// Exit LPM4 Interrupt Service Routine
__bic_SR_register_on_exit (LPM4_bits);  // Exit LPM4
```



Mode	$I@3V [\mu A]$ *
Active, 1 MHz	360
Active, 8 MHz	2320
LPM0	83
LPM2	7.0
LPM3	2.1
LPM4	1.1
LPM4.5	0.18

*) prema *datasheet-u*



1 ADC

- Principi
 - Primer – Konverzija startovana tasterom
 - Primer – Konverzija startovana tajmerom
- Prekidi
 - Primer – Očitavanje u prekidnoj rutini

2 Low Power Modes

- Primer – LPM



Zadatak

Napisati program za razvojni sistem koji u prekidnoj rutini AD konvertora smešta izmerene vrednosti u bafer. Nakon izmerenih 256 vrednosti potrebno je izračunati srednju vrednost tih merenja bez ugrožavanja odziva sistema, tako što će računanje da se izvrši u petlji glavnog programa.

Sistem nakon inicijalizacije treba da bude u LPM3 režimu smanjene potrošnje, iz kojeg izlazi kada se u prekidnoj rutini izmeri 256-ti odbirak

Rešenje

lpm-manage

